

• РАДИО И СВЯЗЬ •

СПРАВОЧНИК

ПРИМЕНЕНИЕ
ИНТЕГРАЛЬНЫХ
МИКРОСХЕМ
В ЭЛЕКТРОННОЙ
ВЫЧИСЛИТЕЛЬНОЙ
ТЕХНИКЕ

СПРАВОЧНИК

п 76

ПРИМЕНЕНИЕ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ В ЭЛЕКТРОННОЙ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКЕ

Под редакцией Б. Н. Файзулаева, Б. В. Тарабрина

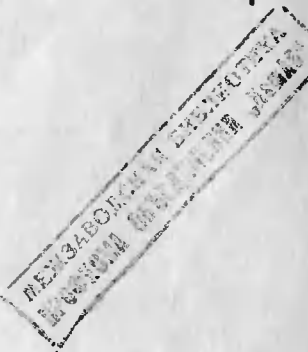
КОНТРОЛЬНЫЙ
ЭКЗЕМПЛЯР

124421

+



МОСКВА „РАДИО И СВЯЗЬ“
1987



1

ББК 32.85

П 75

УДК [621.325.652 : 621.3.049.77] (03)

Р. В. Данилов, С. А. Ельцова, Ю. П. Иванов, Е. Ф. Мещанкин,
В. М. Микитин, И. Ф. Осипов, В. В. Саморуков, Б. В. Тарабрин,
Б. Н. Файзулаев

Рецензенты: чл.-корр. АН СССР Г. П. Лопато, кандидаты
техн. наук В. А. Шахнов, В. Я. Снмхес, Л. И. Шуняков

Редакция литературы по электронной технике

Применение интегральных микросхем в электронной
П75 **вычислительной технике: Справочник / Р. В. Данилов,**
С. А. Ельцова, Ю. П. Иванов и др.; Под ред. Б. Н. Фай-
зулаева, Б. В. Тарабрина. — М.: Радио и связь, 1987. —
384 с.: ил

Описаны отечественные быстродействующие интегральные микросхемы на транзисторно-транзисторных и эмиттерно-связанных логических элементах, а также микропроцессорные и матричные БИС на основе базовых матричных кристаллов. Подробно рассмотрены вопросы применения, принципы электронного конструирования, конструктивные модули для компоновки интегральных схем в электронно-вычислительной аппаратуре.

Для инженерно-технических работников, связанных с разработкой и применением цифровой электронно-вычислительной аппаратуры на интегральных микросхемах, может быть полезна студентам вузов соответствующих специальностей.

П 2403000000-039

046(01)-87

132-86

ББК 32.85

С: Издательство «Радио и связь», 1987

ПРЕДИСЛОВИЕ

В предлагаемом читателю справочнике даются сведения по массовым биполярным цифровым интегральным схемам (ИС), а также освещаются вопросы построения узлов ЭВМ с использованием ИС на основе транзисторно-транзисторной логики (ТТЛ) и эмиттерно-связанной логики (ЭСЛ).

В настоящее время второе место по массовости выпуска занимают микросхемы с КМОП-структурой. Однако по быстродействию они пока уступают биполярным микросхемам и потому могут служить элементной базой лишь для специальных, как правило, высокоэкономичных ЭВМ.

К общим достоинствам ИС ТТЛ и ИС ЭСЛ следует отнести их схемно-технологическую отработанность, как следствие, высокий процент выхода годных схем и низкую стоимость, а также широкий функциональный набор логических элементов и высокую помехоустойчивость.

Микросхемы малой и средней степени интеграции обеспечивают универсальность применения в цифровых устройствах ЭВМ третьего поколения. В цифровой аппаратуре четвертого поколения широко используются микропроцессорные БИС и матричные БИС на основе базовых матричных кристаллов.

Микропроцессорные БИС служат элементной базой мини- и микро-ЭВМ. Благодаря алгоритмической универсальности этих БИС представляется возможным программными средствами реализовать разнообразные функции в устройствах вычислительной техники и автоматики. Эти БИС необходимы для построения микропроцессоров, контроллеров и устройств ввода—вывода. Они широко используются также в устройствах бытовой электроники.

Базовые матричные кристаллы, являясь развитием элементной базы ЭВМ, позволяют реализовать широкую номенклатуру функциональных схем заказных матричных БИС, прежде всего для высокопроизводительных ЭВМ. При изготовлении заказных матричных БИС используется один общий комплект фотошаблонов для создания полупроводниковой структуры базового матричного кристалла. По заказу потребителя меняются лишь фотошаблоны межсоединений. Такой подход позволяет наиболее полно формализовать и автоматизировать все этапы проектирования нестандартных БИС, включая размещение элементов и трассировку соединений между ними.

С использованием матричных и микропроцессорных БИС, а также новых методов и средств проектирования ЭВМ успешно решается проблема внедрения достижений микроэлектроники в электронно-вычислительную аппаратуру 4-го поколения.

Книга написана коллективом авторов: раздел I — Б. Н. Файзулаевым, Е. Ф. Мещанкиным, раздел II — Б. В. Тарабриным, Р. В. Даниловым, Е. Ф. Мещанкиным, С. А. Ельцовой, И. Ф. Осиповым, раздел III — В. В. Саморуковым, Ю. П. Ивановым, И. Ф. Осиповым, раздел IV — Б. Н. Файзулаевым, В. М. Микитиным.

*Б. Н. Файзулаев,
Б. В. Тарабрин*

ОБЩИЕ СВЕДЕНИЯ О ЦИФРОВЫХ МИКРОСХЕМАХ

Схемотехническая реализация всего многообразия цифровых ИС осуществляется на основе логических элементов (ЛЭ), которые представляют собой логические электронные схемы, выполняющие элементарные логические функции (конъюнкцию, дизъюнкцию, инверсию, запоминание и др.).

При проектировании ЭВМ используется та или иная система ЛЭ, отвечающая требованиям функциональной полноты и обеспечивающая техническую реализацию достаточно сложных логических цепей, согласованность уровней входных и выходных сигналов, общность эксплуатационных свойств, типизацию функциональных схем и конструкций ЭВМ [1].

Существует большое разнообразие систем логических элементов в зависимости от типа логической схемы (диодно-транзисторная логика, транзисторно-транзисторная логика, эмиттерно-связанная логика и др.), физических принципов построения активных приборов (биполярные, полевые, туннельные), от типа информационных сигналов (потенциальные, импульсные, импульсно-потенциальные), от способа передачи информации от одного ЛЭ к другому (синхронные, асинхронные) [2—4]. Однако несмотря на все это, ЛЭ характеризуются некоторыми общими свойствами и параметрами, выделяющими их в самостоятельный класс электронных схем, работающих по качественному признаку да—нет.

Глава I

Особенности работы логических элементов

В логических схемах ЭВМ информация, представленная двоичными сигналами «0» и «1», многократно преобразуясь и разветвляясь, проходит последовательно по длинной цепочке ЛЭ, каждый из которых нагружен на n подобных ЛЭ и имеет m информационных входов (рис. 1.1). Для нормального функционирования таких сложных логических схем необходимо, чтобы каждый ЛЭ безошибочно выполнял свои

функции при самых различных комбинациях нагрузок на входе и выходе, независимо от положения в логической цепи и длины межэлементных связей. При этом должно быть обеспечено неискаженное логическое преобразование двоичной информации, в то время как искажения формы и уровней выходных сигналов существенного значения не имеют, если эти искажения находятся в пределах зон отображения (разброса) уровней двоичных сигналов «0» и 1 и не приводят к потере информации или сбоям в работе последующих ЛЭ.

Сложность логических схем и множество сочетаний входных сигналов и нагрузок не позволяют рассчитывать на индивидуальное согласование и регулировку ЛЭ в процессе изготовления, наладки и эксплуатации ЭВМ. В связи с этим для обеспечения работоспособности ЭВМ необходимо, чтобы ЛЭ обладали следующими фундаментальными свойствами.

1.1. Совместимость входных и выходных сигналов

В логических схемах ЭВМ логические элементы соединены так, чтобы выход каждого элемента работал на один или

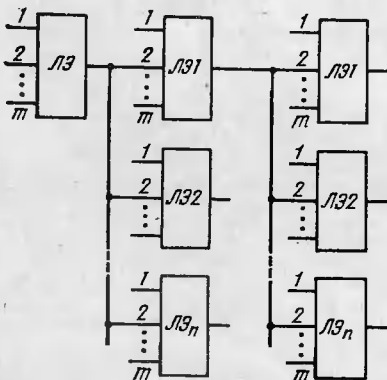


Рис. 1.1. Фрагмент логической цепи

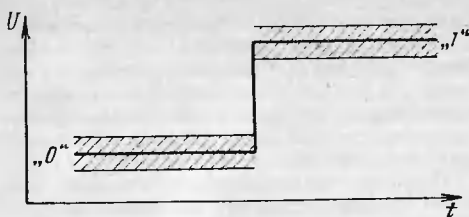


Рис. 1.2. Зоны отображения уровней сигналов «0» и «1»

несколько входов других элементов, в том числе и на свои собственные входы. Для нормального функционирования таких цепей должна быть обеспечена совместимость уровней сигналов «0» и «1» по входам и выходам, т. е. соответствующие уровни напряжений логических сигналов должны лежать в зоне отображения «0» и «1» (рис. 1.2). Только в этом случае возможна непосредственная работа одного ЛЭ на другие ЛЭ без применения специальных элементов для согласования уровней сигналов.

1.2. Нагрузочная способность

Для построения разветвленных логических цепей необходимо, чтобы каждый ЛЭ обладал определенной нагрузочной способностью по входу и выходу, т. е. мог работать по нескольким логическим входам и одновременно управлять несколькими выходами других ЛЭ (см. рис. 1.1).

Нагрузочную способность ЛЭ принято выражать коэффициентом разветвления по выходу ($K_{\text{раз}}$) и коэффициентом объединения по входу ($K_{\text{об}}$). Под коэффициентом разветвления по выходу понимают наибольшее число входов ЛЭ, которые можно подключить к выходу данного ЛЭ, не вызывая искажений формы и амплитуды сигнала, выходящих за границы зон отображения «0» и «1». Коэффициент объединения по входу равен допустимому числу входов ЛЭ. В логических схемах ЭВМ средние значения коэффициентов разветвления и объединения примерно равны и составляют 2—4.

Следует отметить, что со стороны входа каждый ЛЭ представляет собой нелинейную нагрузку, характер и значение которой определяются комбинацией и значением сигналов на других входах этого же элемента и разбросом параметров схемы ЛЭ. Кроме того, в реальной логической схеме каждый ЛЭ может быть нагружен на разное число других ЛЭ и соединен с ними линиями связи различной длины и конфигурации. В результате условия работы ЛЭ в различных схемах ЭВМ могут существенно отличаться, что не должно, однако, приводить к нарушению их функционирования.

1.3. Квантование (формирование) сигналов

В логических схемах ЭВМ информационные сигналы проходят последовательно по длинной цепочке ЛЭ. Для нормального функционирования логических схем необходимо, чтобы сигнал, проходя через каждый ЛЭ, имел некоторые стандартные амплитудные и временные параметры (амплитуду, длительность фронтов) и существенно не изменял их. Для этого требуется, чтобы ЛЭ обладали определенными формирующими свойствами. Сигнал, устанавливающийся при прохождении в цепи ЛЭ, называется стандартным или асимптотическим. Понятие асимптотического сигнала было впервые введено В. К. Левиным [5].

Наиболее полно формирующие свойства ЛЭ определяются амплитудной передаточной характеристикой $U_{\text{вых}} = f(U_{\text{вх}})$ (рис. 1.3). Рассмотрим процесс квантования сигналов на примере цепочки неинвер-

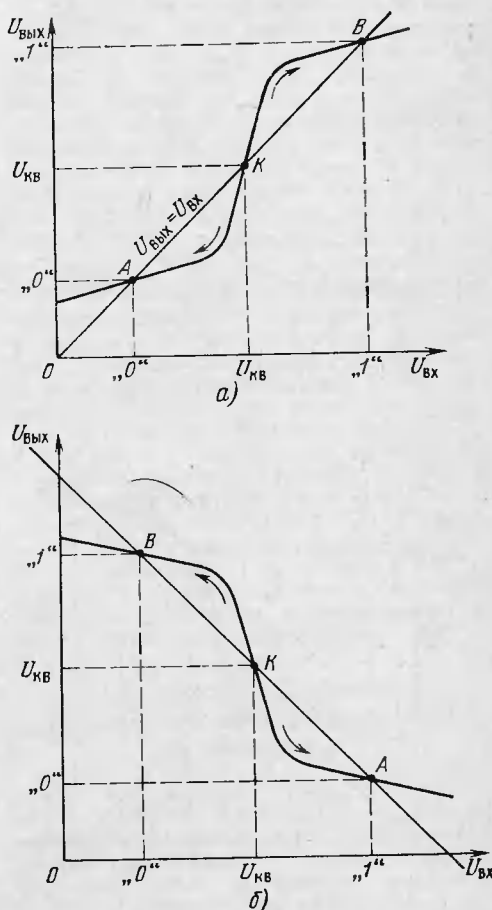


Рис. 1.3. Амплитудная передаточная характеристика неинвертирующего (а) и инвертирующего (б) ЛЭ

тирующих ЛЭ (рис. 1.3, а). Точка А соответствует асимптотическому нижнему уровню сигнала «0», а точка В — асимптотическому верхнему уровню сигнала «1». Точка К разграничивает две области сигналов: с амплитудой $U_{вх}$ меньше порога квантования $U_{кв}$ и с амплитудой $U_{вх}$ больше $U_{кв}$.

Сигналы с амплитудой $U_{вх} < U_{кв}$ асимптотически стремятся к нижнему уровню (точка А), а сигналы с амплитудой $U_{вх} > U_{кв}$ — к верхнему уровню (точка В) (рис. 1.4). Соответственно сигналы с амплитудой меньше $U_{кв}$ затухают, а сигналы с амплитудой больше $U_{кв}$ усиливаются в цепочке ЛЭ до стандартного сигнала. Таким образом, при распространении по цепочке ЛЭ входной сигнал с амплитудой ниже или выше порога квантования $U_{кв}$ асимптотически приближается к одному из уровней двоичного сигнала

(«0» или «1»), т. е. квантуется. Реально квантование стандартного сигнала происходит достаточно быстро (цепочка из одного—трех ЛЭ). Чем больше нелинейность амплитудной передаточной характеристики каждого ЛЭ, тем быстрее квантуется входной сигнал.

При проектировании логических схем ЭВМ важно обеспечить минимальный разброс амплитудных передаточных характеристик ЛЭ при изменении окружающей температуры и напряжений питания, чтобы избежать появления в них сигналов нестандартной формы и сбоев. Разброс амплитудных передаточных характеристик ЛЭ однозначно определяет зоны отображения уровней сигналов «0» и «1» и допустимый уровень помех в логических цепях.

1.4. Помехоустойчивость

При работе ЭВМ недопустимы даже кратковременные искажения информации, поскольку они приводят к ошибкам в конечных результатах либо к значительной потере машинного времени из-за необходимости проведения повторных вычислений. Поэтому ЛЭ должны обладать высокой помехоустойчивостью, т. е. нечувствительностью к действию помех при нулевом («0») и единичном («1») уровнях входных сигналов.

Помехи в ЭВМ имеют обычно характер кратковременных импульсов. Различают внешние и внутренние помехи. К внешним относятся помехи от промышленной сети электропитания, сильноточных переключателей, городского электротранспорта, электродвигателей, атмосферных грозовых разрядов и т. п. Как правило, амплитуда и длительность внешних помех не зависят от параметров ЛЭ и определяются мощностью и спектром электромагнитного излучения внешнего источника и экранящими свойствами конструкций и линий связи. Уровень внешних помех должен учитываться при электронном конструировании ЭВМ и внешних линий связи.

К внутренним относятся такие помехи, амплитуда и длительность воздействия которых находятся в прямой зависимости от амплитуды и длительности фронтов сигналов ЛЭ, т. е. помехи от ЛЭ и соединяющих их линий связи. Чем больше амплитуда рабочих сигналов ЛЭ, тем больше и амплитуда внутренних помех, и наоборот. Поэтому с точки зрения защиты от внутренних помех амплитуда рабочих сигналов ЛЭ не имеет существенного значения и выбирается обычно минимально возможной. Минимальная амплитуда сигналов определяется уровнем внешних помех и допустимым изменением параметров активных приборов и амплитудных передаточных характеристик ЛЭ.

Внутренние помехи ЭВМ принято разделять на перекрестные (обусловлены емкостными и индуктивными связями между

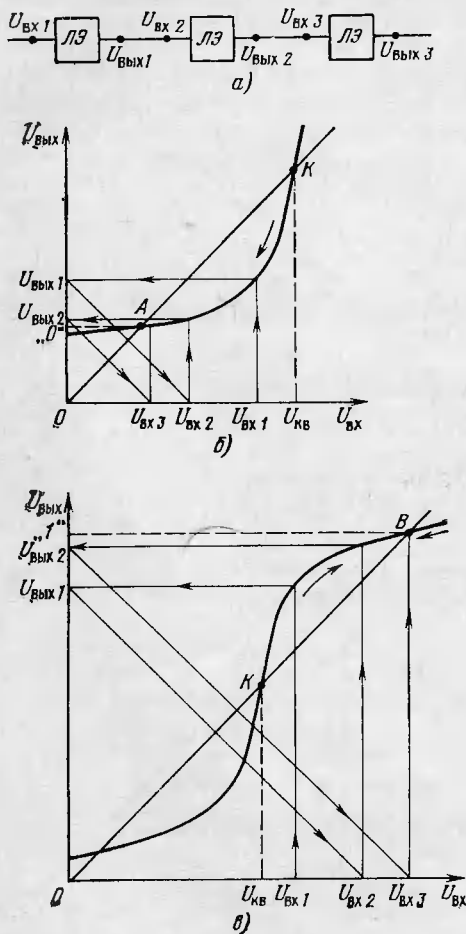


Рис. 1.4. Квантование сигналов «0» и «1» в цепочке ЛЭ

а — цепочка ЛЭ; б — квантование сигнала «0» ($U_{вх} < U_{кв}$); в — квантование сигнала «1» ($U_{вх} > U_{кв}$)

сигнальными цепями ЛЭ), кондуктивные (обусловлены наличием общих участков цепи схемной «земли», экранов и цепей питания) и колебательные (из-за неполного согласования цепей связи, колебательного режима работы эмиттерных повторителей на емкостную нагрузку, резонансных явлений в цепях и т. п.).

Для снижения уровня помех в ЭВМ проводят тщательное электронное конструирование линий связи и цепей разводки «земли» и питания, разрабатывают специальные рекомендации по электромонтажу, ограничивающие конфигурацию и длину связей между ЛЭ различных устройств в зависимости от типа соединения (кабель, печатный монтаж, витая пара проводов, одиночный провод, жгут и т. п.). Все эти меры, однако, не позволяют полностью избавиться от помех в ЭВМ, и поэтому необходимо обеспечивать определенную зону помехоустойчивости ЛЭ.

Зона помехоустойчивости ЛЭ определяется его амплитудной передаточной характеристикой (рис. 1.5, а) как разность между порогом квантования $U_{кв}$ и соответствующими уровнями сигналов «0» и «1»: $U_{пом 0} = |U_{кв} - U_A|$, $U_{пом 1} = |U_{кв} -$

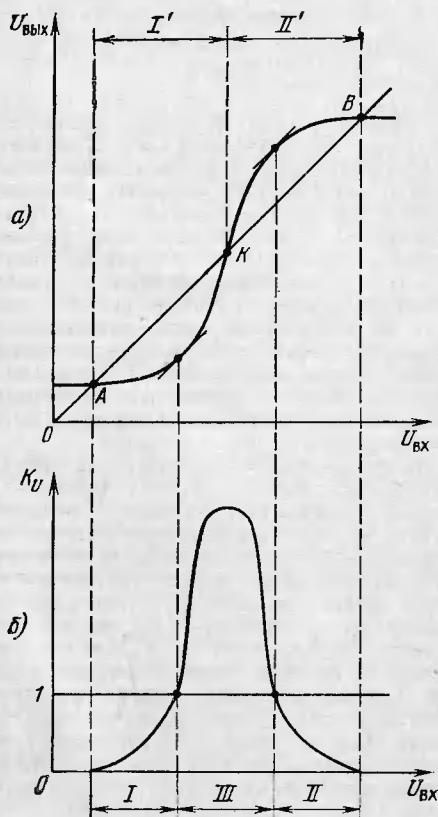


Рис. 1.5. Зоны помехоустойчивости комбинационных ЛЭ (I', II'); ЛЭ с обратной связью (I, II); зона переключения ЛЭ (III)

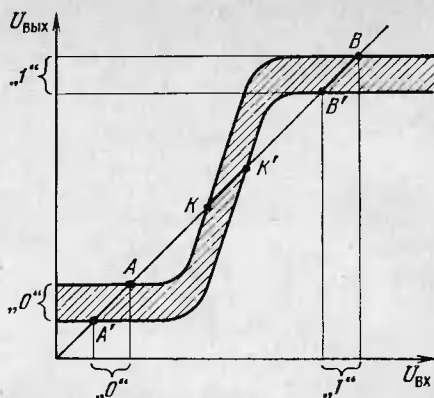


Рис. 1.6. Разброс амплитудных передаточных характеристик ЛЭ

— U_B]. Если помеха не достигает порога квантования, то на выходе появляется сигнал помехи с амплитудой, меньшей, чем на входе. Такая помеха, пройдя через несколько последовательно включенных ЛЭ, быстро затухает и не вызывает искажения информации в логической цепи.

Следует отметить, что для обеспечения надежной работы триггерных схем необходимо, чтобы амплитуда помех не превышала уровня, при котором дифференциальный коэффициент усиления по напряжению $K_U = dU_{вых}/dU_{вх} = 1$ (для инвертирующего ЛЭ $K_U = -1$). В противном случае в триггерной схеме может произойти лавинообразное изменение состояния и информация будет искажена. Поэтому зона помехоустойчивости триггерных схем несколько меньше, чем комбинационных, и определяется разностью между соответствующими уровнями сигналов 0 и 1 и уровнем, при котором дифференциальный коэффициент усиления по напряжению равен единице (рис. 1.5, б).

При расчете помехоустойчивости обязательно следует учитывать возможные разбросы амплитудных передаточных характеристик в характерных точках A, B и K (рис. 1.6), приводящие к уменьшению реальной зоны помехоустойчивости ЛЭ.

1.5. Работоспособность в широкой области допусков на параметры

Требование работоспособности ЛЭ в широкой области допусков на параметры определяется прежде всего требованиями высокой надежности и взаимозаменяемости однотипных логических элементов в ЭВМ. Большое число одновременно работающих в ЭВМ логических элементов (до 100—500 тысяч), отсутствие элементов регулировки и настройки, необходимость обеспечения непрерывной безотказной работы в течение длительного времени (до

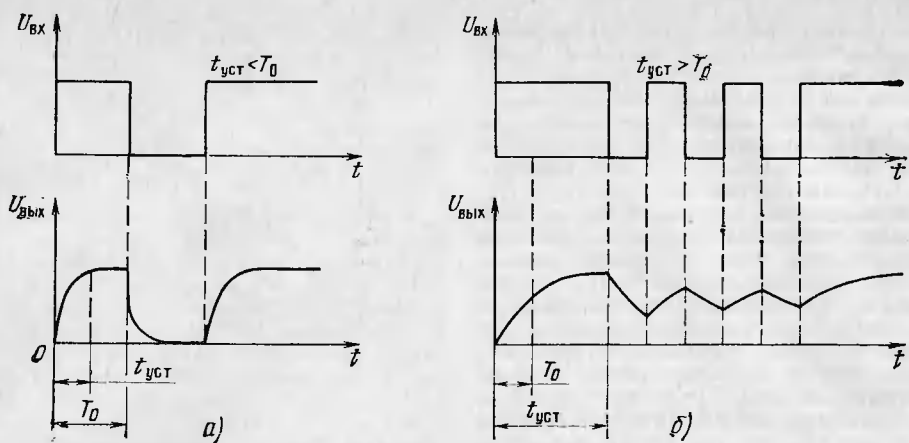


Рис. 1.7. Переходный процесс в ЛЭ без накопления (а) и с накоплением (б)

1000 ч и более) при колебаниях окружающей температуры и напряжения питания, а также при наличии разброса параметров и старения элементов — все это требует достаточно большой области допустимых отклонений параметров ЛЭ, т. е. большой области их работоспособности.

Условия работоспособности ЛЭ определяются обычно уравнениями вида $y_i = f_i(x_1, x_2, x_3, \dots, x_n) \geq Y_i$, где $x_1, x_2, \dots, x_n$ — параметры компонентов, источников питания и нагрузки ЛЭ; y_i — параметры ЛЭ; Y_i — нормы, определяющие допустимую границу изменения параметров ЛЭ.

Совокупность этих условий описывает n -мерную область допустимых отклонений параметров. Любая точка области соответствует работоспособному состоянию ЛЭ, любая точка вне этой области соответствует неработоспособному состоянию ЛЭ. Область работоспособности рассчитывается вероятностными методами по параметрам распределения допусков, либо методом наихудших сочетаний параметров и проверяется обычно экспериментально. Количественное исследование этой области и оценка степени влияния на ее размеры различных параметров ЛЭ, окружающей температуры и напряжения питания являются одним из наиболее важных этапов проектирования ЛЭ и ЭВМ в целом.

Применительно к интегральным схемам задача проектирования ЛЭ сводится по существу к отысканию оптимальных значений параметров их компонентов, обеспечивающих получение наилучших выходных параметров и характеристик ЛЭ (быстродействие, нагрузочная способность, энергия переключения и т. п.) при заданных допусках на параметры компонентов ИС и отклонениях температуры окружающей среды и напряжений питания. Это обусловлено тем, что параметры распределения допусков на компоненты ИС определяются технологией и технологичес-

ким оборудованием и нельзя проводить отбор отдельных компонентов ИС по допускам, как это имело место в схемах на дискретных электрорадиоэлементах в ЭВМ второго поколения.

1.6. Затухание переходных процессов за время одного такта

Частота переключения логических элементов ЭВМ изменяется в широких пределах в зависимости от программы вычислений, выполняемой операции, решаемой задачи, системы синхронизации и т. п. Минимальный временной интервал между двумя соседними переключениями ЛЭ определяется максимальной частотой синхронизации и равен длительности такта (T_0) ЭВМ; максимальный интервал не ограничен сверху. Временные интервалы между двумя соседними переключениями ЛЭ, как правило, различны и в синхронных системах кратны длительности такта синхронизации.

Логический элемент должен сохранять работоспособность (т. е. выполнять физические и логические функции) при изменении частоты переключения вплоть до максимальной тактовой частоты. (Отметим, что длительность такта синхронизации ЭВМ обычно значительно (в 10–20 раз) превышает задержку и длительность фронта переключения ЛЭ.) Для этого необходимо, чтобы переходные процессы в ЛЭ и цепях связи при каждом переключении полностью затухали за время одного такта синхронизации и к моменту прихода последующего переключающего сигнала устанавливался бы статический режим (рис. 1.7, а).

Накопление переходных процессов приводит, как правило, к уменьшению нагрузочной способности и помехоустойчи-

ности, амплитуды и длительности сигналов и в результате к искажению информации и снижению надежности функционирования логических схем ЭВМ. Поскольку эффект накопления имеет место лишь при высокой частоте переключения, нарушение работоспособности ЛЭ носит обычно кратковременный характер и проявляется в виде единичных и перемежающихся сбоев, обнаружение которых весьма затруднительно.

Глава 2

Основные характеристики и параметры логических элементов

2.1. Основные характеристики логических элементов

Амплитудная передаточная характеристика $U_{\text{вых}} = f(U_{\text{вх}})$ определяет формирующие свойства ЛЭ, его помехоустойчивость, амплитуду и уровни стандартного сигнала. Вид характеристики зависит от типа логического элемента (ЭСЛ, ТТЛ) и может изменяться в определенных пределах в зависимости от разброса параметров схем, изменений напряжения питания, нагрузки, температуры окружающей среды.

Рассмотрим типовую амплитудную передаточную характеристику (АПХ) инвертирующего ЛЭ (рис. 2.1). В статическом состоянии выходной сигнал ЛЭ может находиться либо на верхнем (U^B), либо на нижнем (U^H) уровне напряжения.

Асимптотический верхний (т. В) и асимптотический нижний (т. А) уровни логических сигналов находятся как точки пересечения АПХ (кривая 1) с ее зеркальным отображением (кривая 2) относительно прямой единичного усиления $U_{\text{вых}} = U_{\text{вх}}$. Разность $U_{\text{вых}}^B - U_{\text{вых}}^H$ является логическим перепадом $U_{\text{л}}$ выходных уровней ЛЭ. На практике из-за влияния помех и разбросов амплитудных передаточных характеристик для каждого типа ЛЭ устанавливается минимальный логический перепад: $U_{\text{л min}} = U_{\text{вых пор}}^B - U_{\text{вых пор}}^H$, где $U_{\text{вых пор}}^B$ и $U_{\text{вых пор}}^H$ — соответственно верхний и нижний уровни выходного порогового напряжения. Выходные пороговые напряжения находят с помощью пороговых точек b и a на характеристике, в которых дифференциальный коэффициент усиления по напряжению $K_U = -1$.

Зоны статической помехоустойчивости ЛЭ по нижнему ($U_{\text{пом}}^H$) и верхнему ($U_{\text{пом}}^B$) уровням напряжения в комбинационных

Поэтому при выборе ЛЭ и максимальной тактовой частоты следует обеспечивать полное затухание переходных процессов в ЛЭ и межэлементных цепях связи за время одного такта. Это требование эквивалентно требованию равномерности частотных характеристик ЛЭ вплоть до максимальной тактовой частоты ЭВМ и проверяется на практике снятием зависимостей основных параметров ЛЭ от тактовой частоты.

логических цепях определяются выражениями:

$$(U_{\text{пом}}^H)' = U_{\text{кв}} - U_{\text{вых пор}}^H,$$

$$(U_{\text{пом}}^B)' = U_{\text{вых пор}}^B - U_{\text{кв}},$$

где $(U_{\text{пом}}^H)'$, $(U_{\text{пом}}^B)'$ характеризуют максимально допустимые уровни статической помехи на входе ЛЭ в комбинационных логических цепях; $U_{\text{вых пор}}^H$ — выходное пороговое напряжение нижнего уровня; $U_{\text{вых пор}}^B$ — выходное пороговое напряжение верхнего уровня. Однако из-за наличия схем с положительной обратной связью в технической документации на все ИС зоны статической помехоустойчивости по входу ограничиваются входными поро-

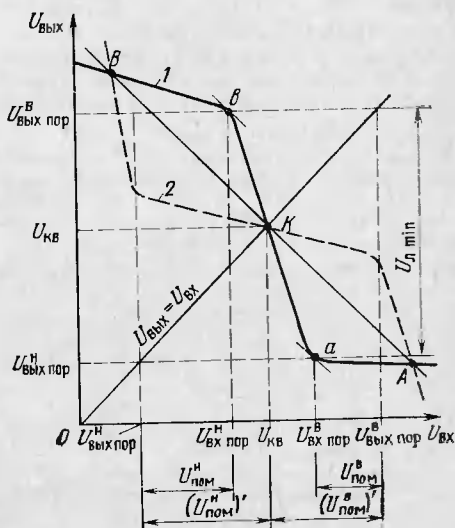


Рис. 2.1. Амплитудная передаточная характеристика инвертирующего ЛЭ

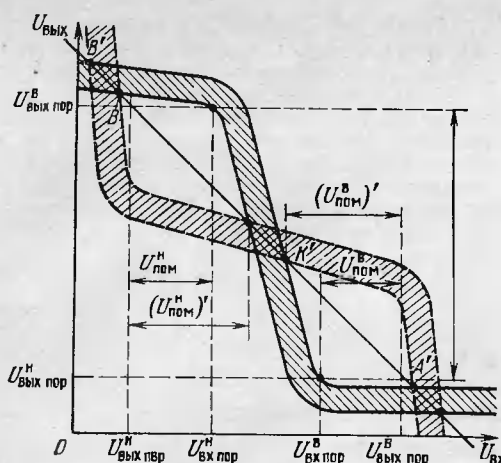


Рис. 2.2. Разброс амплитудных передаточных характеристик логических элементов

говыми напряжениями: $U_{вх пор}^H$ — по нижнему уровню и $U_{вх пор}^B$ — по верхнему. Эти пороговые напряжения называются соответственно пороговым напряжением зоны переключения (порог зоны переключения) нижнего уровня и пороговым напряжением зоны переключения верхнего уровня. В зоне переключения, заключенной между пороговыми напряжениями, работа ЛЭ в статическом режиме запрещается.

Таким образом, статическая помехоустойчивость ЛЭ по нижнему уровню входного сигнала определяется выражением $U_{пом}^H = U_{вх пор}^H - U_{вх пор}^H$, а по верхнему уровню входного сигнала — выражением $U_{пом}^B = U_{вх пор}^B - U_{вх пор}^B$.

Максимальная помехоустойчивость ЛЭ по нижнему и верхнему уровням достигается при идеальной амплитудной передаточной характеристике, для которой $U_{вх пор}^H = U_{вх пор}^B = U_{кв}$.

Реализация характеристик, близких к идеальным, связана с известными труд-

ностями вследствие технологического разброса параметров микросхем при изготовлении, изменения пороговых напряжений в зависимости от изменения напряжения питания и температуры окружающей среды в процессе эксплуатации. Поэтому реально зоны статической помехоустойчивости для каждого типа ЛЭ устанавливаются на основании статистического анализа амплитудных передаточных характеристик. На рис. 2.2 заштрихованная область соответствует возможному разбросу амплитудных передаточных характеристик ЛЭ одного типа.

При сопоставлении амплитудных передаточных характеристик ЛЭ разных типов часто используют не абсолютные значения статической помехоустойчивости, а их отношение к минимальному логическому перепаду:

$$K_{пом}^H = U_{пом}^H / U_{Л}, \quad K_{пом}^B = U_{пом}^B / U_{Л}.$$

Чем ближе амплитудная передаточная характеристика к идеальной, тем ближе значения этих коэффициентов к 0,5.

Входная характеристика $I_{вх} = f(U_{вх})$ — зависимость входного тока ЛЭ от входного напряжения определяет нагрузочную способность ЛЭ и режим работы линий связи. На рис. 2.3, 2.4 приведены типовые входные характеристики логических элементов ИС ЭСЛ и ТТЛ. На входной характеристике ЛЭ ЭСЛ можно выделить следующие зоны, соответствующие возможным режимам работы входной цепи ЛЭ: I, V — зоны, определяющие рабочие режимы ЛЭ, т. е. входные токи при входных напряжениях низкого и высокого уровней, при которых входные цепи имеют большое входное сопротивление (точки A и B соответствуют нижнему и верхнему уровням напряжений ЛЭ серии К500); II и IV — зоны статической помехоустойчивости; III — зона переключения ЛЭ (опорное напряжение $U_{оп}$, определяемое как среднее напряжение между высоким и низким уровнями, для ЛЭ ЭСЛ серии К500 составляет примерно —1,3 В; зона ограничивается пороговыми напряжениями $U_{вх пор}^B$ и $U_{вх пор}^H$); VI — зона нерабочих режимов ($U_{вх нас}$ — на-

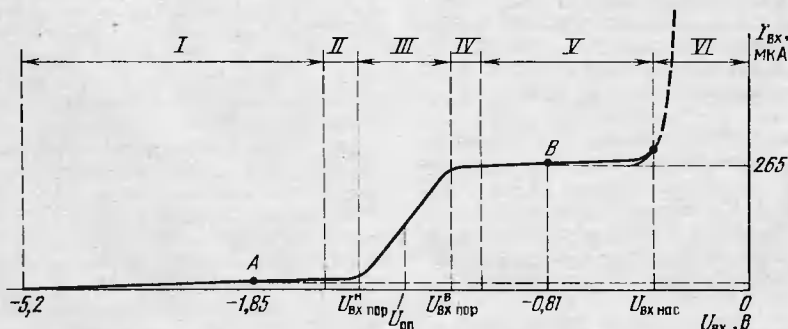


Рис. 2.3. Типовая входная характеристика ЛЭ ЭСЛ

пряжение насыщения входного транзистора — при увеличении входного напряжения входной ток резко увеличивается).

На входной характеристике ЛЭ ТТЛ (см. рис. 2.4) можно выделить следующие зоны: I, IX — зоны недопустимых входных напряжений; II, VIII — зоны предельно допустимых входных напряжений, оговоренных в технических условиях; III, VII — зоны, определяющие рабочий режим ЛЭ; наиболее характерный режим при напряжении низкого уровня («0») — точка A, при напряжении верхнего уровня — точка B; IV, VI — зоны допустимых статических помех; V — зона переключения.

Выходная характеристика $U_{\text{вых}} = f(I_{\text{вых}})$ — зависимость выходного напряжения ЛЭ от выходного тока нагрузки. Эта характеристика в совокупности с входной позволяет определить нагрузочную способность ЛЭ, режим его работы и способ согласования переходных процессов в линиях связи.

Так как в каждом из двух состояний ЛЭ в активном режиме находятся различные компоненты схемы, то различают выходные характеристики по нижнему $U_{\text{вых}}^{\text{H}}$ и по верхнему $U_{\text{вых}}^{\text{B}}$ уровням выходного напряжения. Точка B на графике выходной характеристики ИС ЭСЛ (рис. 2.5) расположена в рабочей зоне верхнего логического уровня, точка A — в зоне нижнего уровня. Для определения рабочих точек A и B на выходную характеристику накладывают нагрузочные характеристики (R_{H}).

Рабочие зоны выходных характеристик по верхнему и по нижнему уровням напряжения ЛЭ ТТЛ (рис. 2.6), как и ЛЭ ЭСЛ, ограничены выходными пороговыми напряжениями и допустимыми уровнями напряжений. Статическому состоянию выходного верхнего уровня при малой нагрузке соответствует точка B. Точка A, находящаяся на пересечении выходной характеристики нижнего уровня управляющего ЛЭ с входной характеристикой управляемого ЛЭ, определяет статическое состояние нижнего уровня.

Входные и выходные характеристики ЛЭ ТТЛ могут использоваться для оценки уровня помех, возникающих в линиях связи при переключении ЛЭ. В частности, для оценки отражений в длинных линиях связи используют также нагрузочную характеристику линии связи.

Характеристика импульсной (динамической) помехоустойчивости $U_{\text{пом}} = f(t_{\text{пом}})$ — зависимость допустимой амплитуды импульсной помехи от ее длительности — необходима для оценки допустимого уровня импульсных помех малой длительности.

Эта характеристика зависит от амплитуды, длительности, формы сигнала помехи и скорости переключения ЛЭ. Обычно импульсная помехоустойчивость выше статической. Отсутствие в настоящее время до-

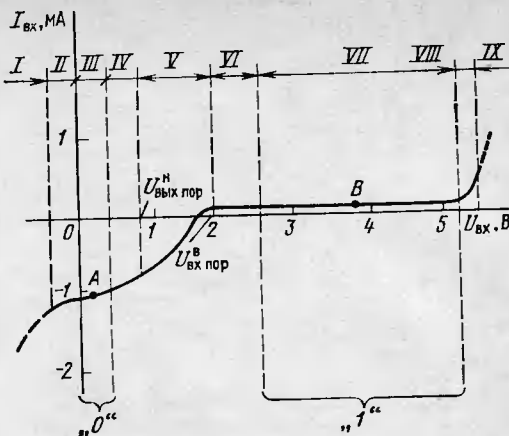


Рис. 2.4. Типовая входная характеристика ЛЭ ТТЛ

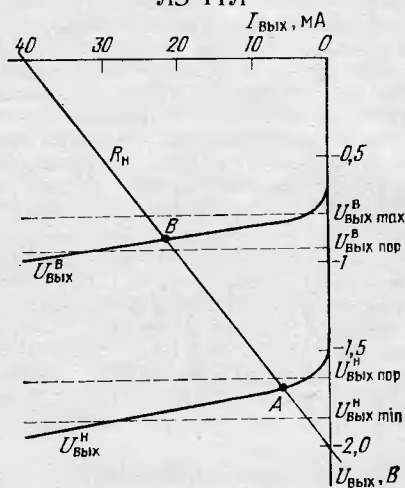


Рис. 2.5. Типовая выходная характеристика ЛЭ ЭСЛ

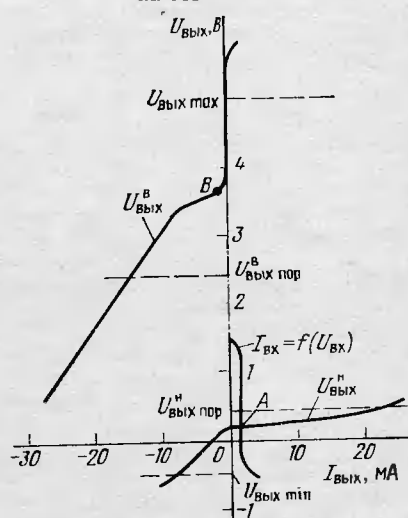


Рис. 2.6. Типовая выходная характеристика ЛЭ ТТЛ

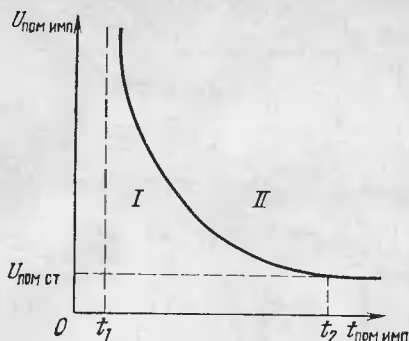


Рис. 2.7. Типовая характеристика импульсной помехоустойчивости ЛЭ

статочно надежных критериев ее оценки при массовом производстве микросхем со значительными технологическими разбросами импульсных параметров и их зависимостью от условий работы не позволяет приводить в технических условиях на ИС допустимую импульсную помехоустойчивость. Наиболее широкое распространение получил метод ее оценки с помощью характеристики, приведенной на рис. 2.7. Зависимость $U_{\text{пом.ст}} = f(t_{\text{пом.имп}})$ разделяет области допустимых (I) и недопустимых (II) импульсных помех. При больших длительностях импульсов $t_{\text{дом.имп}} > t_2$ динамическая помехоустойчивость приближается к статической. При очень малых длительностях помехи ($t_{\text{дом.имп}} < t_1$) ЛЭ нечувствителен к ее амплитуде.

2.2. Основные параметры логических элементов

Динамические параметры. Быстродействие ЛЭ при переключении определяется электрической схемой, технологией

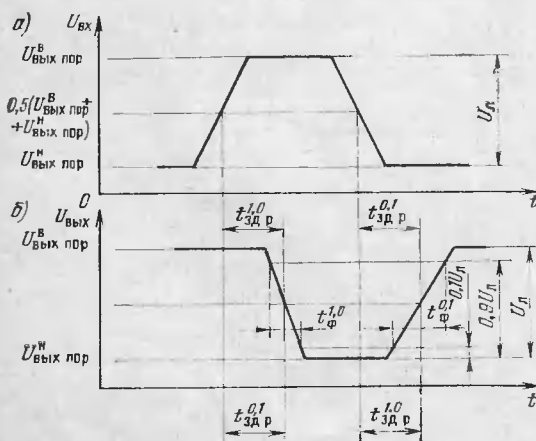


Рис. 2.8. Входной (а) и выходной (б) сигналы инвертирующего ЛЭ

изготовления и характером нагрузки. Для идентификации измерений динамических параметров в технической документации на ИС приводятся параметры эквивалентной нагрузки, устанавливаются требования к амплитуде и длительности фронта входного сигнала. Уровни отсчета напряжений для определения динамических параметров устанавливаются относительно выходных пороговых напряжений «1» и «0» (рис. 2.8). Временные зависимости напряжений в зонах выше или ниже указанных на рисунке пороговых уровней не влияют на работу ЛЭ и поэтому не представляют интереса.

Основными динамическими параметрами ЛЭ являются задержка распространения сигнала $t_{\text{зд.р}}$ при переключении и длительность положительного (нарастающего) и отрицательного (спадающего) фронтов $t_{\text{ф}}$ выходных сигналов.

Задержка распространения сигнала при переходе выходного напряжения от «1» к «0» $t_{\text{зд.р}}^{1,0}$ (при положительной логике* это соответствует отрицательному фронту, при отрицательной — положительному фронту выходного сигнала) определяется как интервал времени между фронтами входного и выходного сигналов ЛЭ, измеренного по заданному уровню.

Задержка распространения сигнала при переходе выходного напряжения от «0» к «1» $t_{\text{зд.р}}^{0,1}$ (при положительной логике это соответствует положительному фронту, при отрицательной логике — отрицательному фронту выходного сигнала) определяется как интервал времени между фронтами входного и выходного сигнала ЛЭ, измеренного по заданному уровню. Задержки распространения ($t_{\text{зд.р}}^{0,1}$, $t_{\text{зд.р}}^{1,0}$) измеряются, как правило, по уровню $0.5(U_{\text{вых.пор}} + U_{\text{вх.пор}})$.

При расчете временной задержки сигнала последовательно включенных ЛЭ используется средняя задержка распространения сигнала ЛЭ:

$$t_{\text{зд.р ср}} = (t_{\text{зд.р}}^{0,1} + t_{\text{зд.р}}^{1,0}) / 2.$$

Длительность фронта выходного сигнала при переходе напряжения из «1» в «0» ($t_{\text{ф}}^{1,0}$) для положительной логики соответствует отрицательному фронту, для отрицательной логики — положительному фронту.

Длительность фронта выходного сигнала при переходе напряжения из 0 в 1

* Для положительной логики более положительное значение напряжения (высокий уровень) соответствует лог. 1, а менее положительное значение напряжения (низкий уровень) — лог. 0.

Для отрицательной логики менее положительное значение напряжения (низкий уровень) соответствует лог. 1, а более положительное значение напряжения (высокий уровень) — лог. 0.

($I_{\Phi}^{0,1}$) для положительной логики соответствует положительному фронту, для отрицательной логики — отрицательному фронту. Иногда в технической документации на ИС $I_{\Phi}^{0,1}$, $I_{\Phi}^{1,0}$ — обозначаются соответственно $\tau_{\Phi}^{0,1}$, $\tau_{\Phi}^{1,0}$. Длительности положительных и отрицательных фронтов измеряют по уровням 0,1 и 0,9 (см. рис. 2.8).

Статические параметры определяют условия формирования и значения напряжений высокого и низкого уровней на выходе ЛЭ, его нагрузочную способность, потребляемую мощность при заданных напряжении питания, нагрузке и температуре окружающей среды.

К статическим параметрам ЛЭ относятся:

выходные и входные напряжения лог. 0 и 1 ($U_{\text{вых}}^0$, $U_{\text{вых}}^1$, $U_{\text{вх}}^0$, $U_{\text{вх}}^1$);

входные и выходные пороговые напряжения лог. 0 и 1 ($U_{\text{вх пор}}^0$, $U_{\text{вх пор}}^1$, $U_{\text{вых пор}}^0$, $U_{\text{вых пор}}^1$);

входные и выходные токи лог. 0 и 1 ($I_{\text{вх}}^0$, $I_{\text{вх}}^1$, $I_{\text{вых}}^0$, $I_{\text{вых}}^1$);

токи потребления в состоянии лог. 0 и 1 ($I_{\text{пот}}^0$, $I_{\text{пот}}^1$);

потребляемая мощность ($P_{\text{пот}}$).

Выходное пороговое напряжение лог. 0 $U_{\text{вых пор}}^0$ есть максимальное или минимальное (в зависимости от типа логики) выходное напряжение лог. 0, определяемое пороговой точкой амплитудной передаточной характеристики в области лог. 0, в которой дифференциальный коэффициент усиления по напряжению $K_U = 1$ для неинвертирующего ЛЭ и $K_U = -1$ для инвертирующего ЛЭ (см. рис. 2.1).

Выходное пороговое напряжение лог. 1 $U_{\text{вых пор}}^1$ есть минимальное или максимальное (в зависимости от типа логики) выходное напряжение лог. 1, определяемое пороговой точкой амплитудной передаточной характеристики в области лог. 1, в которой $K_U = 1$ для неинвертирующего ЛЭ, $K_U = -1$ для инвертирующего ЛЭ.

Порог зоны переключения лог. 0 $U_{\text{вх пор}}^0$ есть пороговое напряжение лог. 0, определяемое пороговой точкой амплитудной передаточной характеристики в области лог. 0, в которой $K_U = 1$ для неинвертирующего ЛЭ и $K_U = -1$ для инвертирующего ЛЭ (см. рис. 2.1).

Порог зоны переключения лог. 1 $U_{\text{вх пор}}^1$ есть пороговое напряжение лог. 1, определяемое пороговой точкой амплитудной передаточной характеристики в области лог. 1, в которой $K_U = 1$ для неинвертирующего ЛЭ и $K_U = -1$ для инвертирующего ЛЭ.

Входной ток ЛЭ задается для неблагоприятного режима работы в пределах допустимых температур окружающей среды и напряжения питания как для уровня

лог. 0 ($I_{\text{вх}}^0$), так и для уровня лог. 1 ($I_{\text{вх}}^1$). Выходные токи $I_{\text{вых}}^0$, $I_{\text{вых}}^1$ характеризуют нагрузочную способность ЛЭ. (Втекающие токи имеют положительный знак, вытекающие токи — отрицательный знак.) Помехоустойчивость определяется отношением этих токов. Поэтому увеличение коэффициента разветвления приводит к снижению помехоустойчивости.

Входной ток лог. 1 $I_{\text{вх}}^1$ определяется как входной ток при напряжении лог. 1 на входе ЛЭ.

$I_{\text{вх}}^0$ — входной ток лог. 0 определяется как входной ток при напряжении лог. 0 на входе ЛЭ.

$I_{\text{вых}}^1$ — выходной ток лог. 1 определяется как выходной ток при напряжении лог. 1 на выходе ЛЭ.

$I_{\text{вых}}^0$ — выходной ток лог. 0 определяется как выходной ток при напряжении лог. 0 на выходе ЛЭ.

Ток, потребляемый от источника (источников) питания ЛЭ ($I_{\text{пот}}$), зависит от типа ЛЭ. Для ЛЭ ЭСЛ он почти постоянен (если не принимать во внимание нагрузку) и не зависит от его логического состояния, для ЛЭ ТТЛ ток имеет разные значения для состояния «0» ($I_{\text{пот}}^0$) и «1» ($I_{\text{пот}}^1$). Кроме того, ЛЭ ТТЛ имеют выбросы тока во время переходных процессов при переключении ЛЭ, что приводит к существенному увеличению тока потребления на высоких частотах. Амплитуда и длительность выброса зависят от характера и величины нагрузки, схемотехники выходного каскада ЛЭ ТТЛ, длины линии связи и пр.

Мощность, потребляемая ЛЭ от источников питания, $P_{\text{пот}} = \sum_{i=1}^n U_i I_i$, где U_i — напряжение i -го источника питания; I_i — ток в соответствующей цепи питания.

Если потребляемая мощность зависит от выходного напряжения лог. 0 ($P_{\text{пот}}^0$) или 1 ($P_{\text{пот}}^1$), то в качестве основного параметра используют среднюю потребляемую мощность $P_{\text{пот ср}} = (P_{\text{пот}}^0 + P_{\text{пот}}^1)/2$. Для ЛЭ, потребляющих значительную мощность при переключении, средняя потребляемая мощность в технической документации задается в виде зависимости $P_{\text{пот ср}} = f(F_{\text{имп}})$, где $F_{\text{имп}}$ — частота следования импульсов.

Интегральные параметры отражают уровень развития технологии и схемотехники и качество цифровых ИС. Основными интегральными параметрами ИС являются энергия переключения $P\tau$ и уровень интеграции N .

Энергия переключения $P\tau = P_{\text{пот ср}} \times \tau_{\text{ад ср}}$. Как правило, при определении энергии переключения используют типовые значения задержки распространения и потребляемой мощности. (Если потребляемая мощность выражается в милливаттах, а задержка распространения —

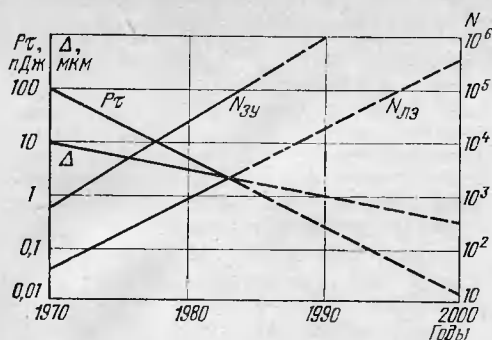


Рис. 2.9. Изменение основных параметров цифровых интегральных схем:

Δ — минимальный топологический размер компонентов, мкм; $N_{ЛЭ}$ — степень интеграции ЛЭ; $N_{ЗУ}$ — число бит памяти на кристалле

в наносекундах, то энергия переключения имеет размерность пикоджоуль.) По мере совершенствования технологии и схемотехники и уменьшения размеров элементов на кристалле энергия переключения P_t непрерывно снижается — примерно на полтора порядка за десятилетие (рис. 2.9). При заданных технологии и схемотехнике, или при заданной энергии переключения ($P_t = \text{const}$), можно создавать различные серии ИС, обладающие либо высоким быстродействием (малым значением $t_{ад}$) и большой потребляемой мощностью, либо низким быстродействием и малой потребляемой мощностью. По этому параметру в настоящее время производят оценку уровня развития цифровой микроэлектроники и сравнение различных типов ИС.

Степень интеграции N логических цифровых микросхем определяется числом простейших эквивалентных ЛЭ — обычно двухвходовых вентилях — на кристалле (см. рис. 2.9 и табл. 2.1). Иногда степень интеграции микросхем измеряют числом элементов (резисторов, транзисторов, диодов) на кристалле, но при этом совершенно не учитывается специфика логических цифровых ИС, где межэлементные связи занимают существенную часть площади кристалла. Функциональную сложность

Таблица 2.1

Условное обозначение	Число вентилях на кристалл	Число бит памяти на кристалл
ИС	До 10	До 10^2
СИС	10^2	10^3
БИС	10^3	10^4
СБИС	10^4	10^5
СБИС более высокой степени интеграции	10^5 10^6	10^6 10^7

ИС запоминающих устройств, имеющих регулярную структуру, можно оценивать числом бит памяти на кристалле.

2.3. Условные обозначения серий цифровых микросхем

По конструктивно-технологическому исполнению все цифровые ИС делятся на группы. По характеру выполняемых функций в аппаратуре ИС подразделяются на подгруппы (например, логические элементы, триггеры и т. д.) и виды внутри подгрупп (например, триггеры универсальные, счетные, с задержкой и т. д.). Разделение цифровых ИС на подгруппы и виды по функциональному назначению приведено в табл. 2.2.

Таблица 2.2

Подгруппа и вид ИС	Обозначение
Формирователи: импульсов прямоугольной формы импульсов специальной формы прочие	АГ АФ АП
Схемы вычислительных средств: схемы сопряжения с магистрально схемы синхронизации схемы управления вводом—выводом (схемы интерфейса) контроллеры микро-ЭВМ специализированные схемы времензадающие схемы комбинированные схемы микропроцессоры схемы управления прерыванием прочие	ВА ВБ ВВ ВГ ВЕ ВЖ ВИ ВК ВМ ВН ВП ВР
функциональные расширители (в том числе расширители разрядности данных) микропроцессорные секции схемы управления памятью схемы микропрограммного управления функциональные преобразователи информации (арифметические, тригонометрические, логарифмические, быстрого преобразования Фурье и др.)	ВС ВТ ВУ ВФ
Генераторы: прямоугольных сигналов сигналов специальной формы	ГГ ГФ
Схемы арифметических и дискретных устройств: арифметическо-логические устройства шифраторы дешифраторы счетчики	ИА ИВ ИД ИЕ

Подгруппа и вид ИС	Обозначение	Подгруппа и вид ИС	Обозначение
комбинированные	ИК	матрицы постоянных ЗУ	РВ
полусумматоры	ИЛ	постоянные ЗУ (масочные)	РЕ
сумматоры	ИМ	матрицы оперативных ЗУ	РМ
прочие	ИП	прочие	РП
регистры	ИР	постоянные ЗУ с возможностью многократного электрического перепрограммирования	РР
Коммутаторы и ключи:		постоянные ЗУ с возможностью однократного программирования	РТ
напряжения	КН	оперативные ЗУ	РУ
прочие	КП	постоянные ЗУ с ультрафиолетовым стиранием и электрической записью информации	РФ
тока	КТ	Триггеры:	
Логические элементы:		универсальные (типа JK)	ТВ
элемент И — НЕ	ЛА	динамические	ТД
элемент И — НЕ/ИЛИ — НЕ	ЛБ	комбинированные	ТК
расширители	ЛД	Шмитта	ТЛ
элемент ИЛИ — НЕ	ЛЕ	с задержкой (типа D)	ТМ
элемент И	ЛИ	прочие	ТП
элемент И — ИЛИ — НЕ/И — ИЛИ	ЛК	с раздельным запуском (типа RS)	ТР
элемент ИЛИ	ЛЛ	счетные (типа Т)	ТТ
элемент ИЛИ — НЕ/ИЛИ	ЛМ	Многофункциональные схемы:	
элемент НЕ	ЛН	цифровые	ХЛ
прочие	ЛП	комбинированные	ХК
элемент И — ИЛИ — НЕ	ЛР	Цифровые матрицы	ХМ
элемент И — ИЛИ	ЛС	Прочие	ХП
Преобразователи сигналов:			
уровня (согласователи)	ПУ		
код — код	ПР		
Схемы запоминающих устройств (ЗУ):			
ассоциативные ЗУ	РА		

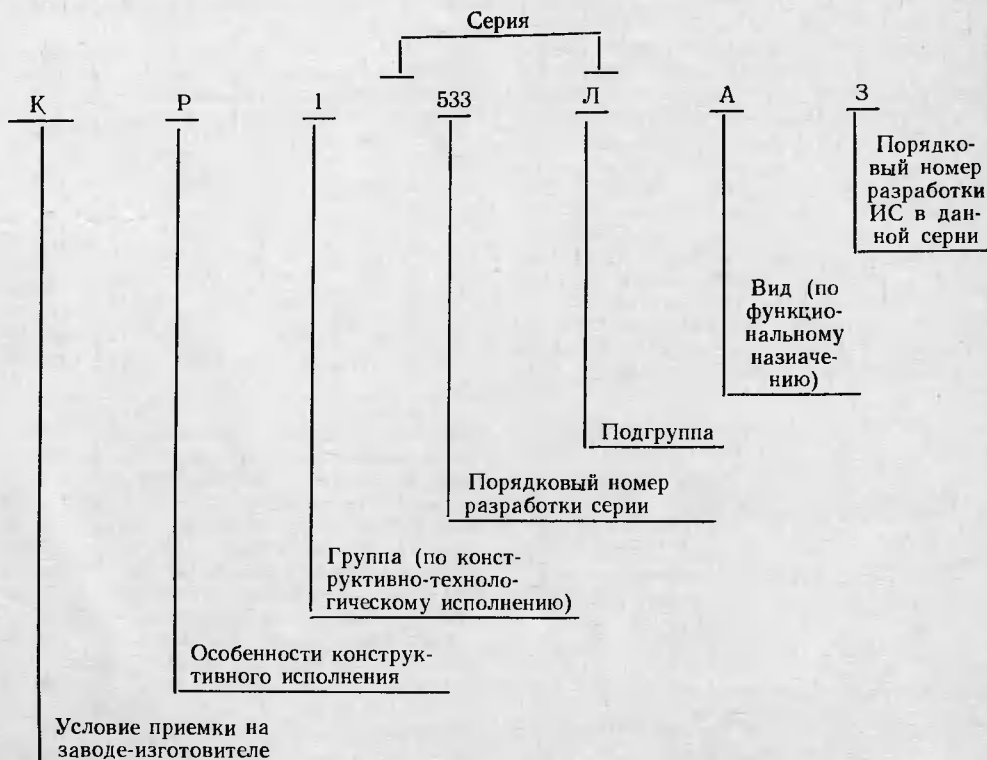


Таблица 2.3

Тип логики	Серия	Параметры логического элемента (вентиля)			Степень интеграции	Функциональный аналог
		$\tau_{\text{ад р, ис}}$	P , мВт	$P\tau_{\text{ад р, пДж}}$		
ТТЛ	K155 KM155	10	10	100	ИС, СИС	SN74
ТТЛШ	K531	3	20	60	ИС, СИС	SN74S
	KP1531	3	4	12	ИС, СИС	SN74F
	K555	10	2	20	ИС, СИС	SN74LS
	KM555					
	KP1533	4	2	8	ИС, СИС	SN74ALS
	K589	5	8	40	МП БИС	13000
ЭСЛ	KP1802	5	4	20	МП БИС	—
	K1804	5	4	20	МП БИС	Am2900
	K500	2	25	50	ИС, СИС	MC10K
	K1500	0,75	40	30	ИС, СИС	F100K
	K1800	1,5	20	30	МП БИС	MC10800
	K1520XM1	0,8	12	10	МаБИС	F200
	K1520XM2	1	10	10	МаБИС	—

По принятой системе ГОСТ 17021—75 обозначение ИС должно состоять из четырех элементов. Первый — цифра (1, 5, 7), обозначающая конструктивно-технологическое исполнение ИС; второй — цифры, обозначающие порядковый номер серии микросхемы от 000 до 999 либо от 00 до 99. Первые два элемента определяют номер серии ИС. Третий элемент — две буквы, соответствующие подгруппе и виду по функциональному назначению, четвертый — порядковый номер ИС по функциональному признаку в данной серии. Буквы К, КМ, КР перед условным обозначением микросхем характеризуют условия их приемки на заводе-изготовителе и осо-

бенности конструктивного исполнения. Иногда в конце условного обозначения добавляется буква, определяющая технологический разброс электрических параметров данного типонаминала.

Например, запись KP1533ЛАЗ обозначает, что имеем микросхему широкого применения (К), в пластмассовом корпусе (Р), полупроводниковую (Л), серии 533, выполняющую функцию логического элемента И—НЕ, порядковый номер в подгруппе — 3.

В табл. 2.3 приведены условные обозначения и основные параметры серий биполярных цифровых ИС и БИС, рассматриваемых в данном справочнике.

МИКРОСХЕМЫ НА ОСНОВЕ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ

Глава 3

Характеристики и параметры микросхем серий К155, К555, К531, КР1531, КР1533

Микросхемы на основе транзисторно-транзисторной логики (ИС ТТЛ) являются в настоящее время распространенными логическими схемами, которые используются в качестве элементной базы ЭВМ. В последние годы усилия разработчиков и технологов ИС ТТЛ были направлены как на расширение функционального состава отдельных серий, усложнение выполняемых функций, так и на улучшение рабочих характеристик ИС благодаря увеличению быстродействия и уменьшению потребляемой мощности. Отечественной промышленностью выпускается ряд серий ИС ТТЛ. К наиболее перспективным можно отнести: стандартные (К155, КМ155); быстродействующие с диодами Шоттки (К531, КР1531); маломощные с диодами Шоттки (К555, КМ555, КР1533).

Таблица 3.1

Серия	Функциональный аналог	$t_{\text{зд р}}$, нс	$P_{\text{пот}}$, мВт	$t_{\text{зд р}}$, нДж
К155, КМ155	SN74	10	10	100
К531	SN74S	3	20	60
К555, КМ555	SN74LS	10	2	20
КР1531	74F	3	4	12
КР1533	SN74ALS	4	2	8

Все перечисленные серии микросхем работают от источника напряжения питания 5 В и электрически совместимы друг с другом. Электронные узлы, выполненные на основе ИС одной из серий, могут быть непосредственно соединены с узлами, выполненными на основе ИС другой серии, при условии обеспечения требований к нагрузочной способности схем. Серии К155, К531, К555, КР1531, КР1533 выпускаются в пластмассовом, а КМ155, КМ555 в керамическом корпусе типа ДИП со штыревыми выводами.

Для интегральной оценки различных серий ИС используется энергия переключе-

ния, т. е. произведение задержки распространения (в наносекундах) на рассеиваемую мощность (в милливаттах) для базового логического элемента.

Типовые параметры базового ЛЭ различных серий приведены в табл. 3.1.

3.1. Электрические схемы и принципы работы

Стандартные серии ИС ТТЛ К155, КМ155. Базовым логическим элементом серий является логический элемент И—НЕ (рис. 3.1). Схема содержит три основных каскада: входной на транзисторе VT_1 , реализующий функцию И; фазоразделительный на транзисторе VT_2 ; выходной усилительный на транзисторах VT_4 , VT_5 .

Входной каскад работает следующим образом. При одновременной подаче на все входы напряжения высокого уровня (лог. 1) ток через резистор R_1 потечет через переход база—коллектор транзистора VT_1 в базу транзистора VT_2 ; при этом на коллекторе транзистора VT_1 будет высокий уровень напряжения. Если хотя бы на один из входов подано напряжение низкого уровня (лог. 0), то ток через резистор R_1 будет вытекать из схемы через переход база—эмиттер транзистора VT_1 ; на коллекторе VT_1 установится низкий уровень напряжения. Ко всем входам входного каскада подключены демпфирующие диоды VD_1 — VD_4 , служащие для

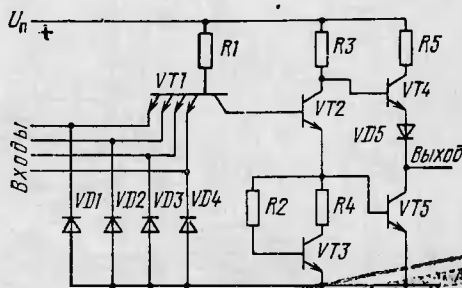


Рис. 3.1. Схема базового логического элемента серий К155

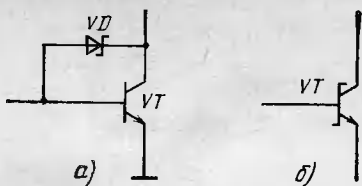


Рис. 3.2. Транзистор с диодом Шоттки (а) и транзистор Шоттки (б)

ограничения импульсов напряжения помехи отрицательной полярности.

Фазоразделительный каскад выполнен на транзисторе VT_2 , в эмиттерную цепь которого включена корректирующая цепь R_2, R_4, VT_3 , улучшающая передаточную характеристику и помехоустойчивость схемы. Когда транзистор VT_1 пропускает в базу транзистора VT_2 управляющий ток, напряжение на эмиттере транзистора VT_2 может возрасти только до значения $U_{бэ}$ транзистора VT_5 . Когда транзистор VT_1 не пропускает управляющий базовый ток транзистора VT_2 , через резистор R_3 и цепь R_2, R_4, VT_3 протекает только ток утечки, поэтому напряжение на эмиттере транзистора VT_2 близко к нулю, а на коллекторе — к напряжению питания. При параллельном соединении двух или более подобных фазоразделительных каскадов может быть реализована логическая функция ИЛИ.

Выходной каскад включает транзисторы VT_4, VT_5 , диод VD_5 . Если хотя бы на один из входов схемы подан лог. 0, то транзисторы VT_2, VT_3 и VT_5 закрыты. Через резистор R_3 протекает ток утечки транзистора VT_2 и базовый ток транзистора VT_4 , поэтому напряжение на коллекторе транзистора VT_2 будет близко к напряжению питания, а напряжение на выходе схемы будет ниже напряжения коллектора транзистора VT_2 на величину $U_{VD_5} + U_{бэ VT_4}$. Если на все входы схемы по-

дана лог. 1, транзисторы VT_2, VT_3 и VT_5 открыты и выходное напряжение равно напряжению коллектор—эмиттер насыщенного транзистора VT_5 .

Серия ТТЛ ИС с диодами Шоттки (ТТЛШ) К531, К555, КМ555, КР1531, КР1533.

В качестве активных элементов в этих сериях использованы транзисторы с диодами Шоттки, диоды Шоттки и в отдельных узлах транзисторы без диодов Шоттки.

Чтобы транзистор не входил в насыщение, между его базой и коллектором включают диод (рис. 3.2). Применение диода обратной связи для устранения насыщения было впервые предложено Б. Н. Кононовым [16]. Идеальным диодом является диод с барьером Шоттки. Он представляет собой контакт металл—полупроводник, образованный между металлом и слегка легированным n -полупроводником. В металле только часть электронов (те, что находятся вне зоны валентности) являются свободными. В полупроводнике свободные электроны существуют на границе проводимости, созданной добавлением атомов примеси. При нулевом напряжении смещения число электронов, пересекающих барьер с обеих сторон, равно, т. е. ток отсутствует. При прямом смещении электроны обладают тепловой энергией для пересечения потенциального барьера и прохождения в металл. С увеличением напряжения смещения ширина барьера уменьшается и прямой ток быстро возрастает.

Когда диод Шоттки смещен в обратном направлении, электронам в полупроводнике требуется больше энергии для преодоления потенциального барьера. Для электронов в металле потенциальный барьер не зависит от напряжения смещения, поэтому протекает небольшой обратный ток, который не увеличивается до тех пор, пока не произойдет лавинный пробой.

Ток в диодах Шоттки определяется основными носителями, тогда как в $p-n$ переходах он обусловлен неосновными носителями. В результате запас неосновных носителей ограничивает время переключения $p-n$ перехода. Среди диодов одной и той же площади диод Шоттки, независимо от типа используемого металла, имеет больший ток при одном и том же прямом смещении (рис. 3.3). Другими словами, прямое падение напряжения на диоде Шоттки меньше, чем на $p-n$ переходе при данном токе. Диод Шоттки обеспечивает ненасыщенный режим $n-p-n$ транзистора.

Базовый логический элемент серии К555 (рис. 3.4) состоит из трех основных каскадов: входного, реализующего функцию И, на диодах VD_3, VD_4 и резисторе R_1 ; фазоразделительного на транзисторе VT_1 , резисторе коллекторной нагрузки R_3 и резисторно-транзисторной (R_3, R_4, VT_2) эмиттерной нагрузки; выходного двухканального усилителя с верхним плечом, состоящим из транзисторов VT_3, VT_4 .

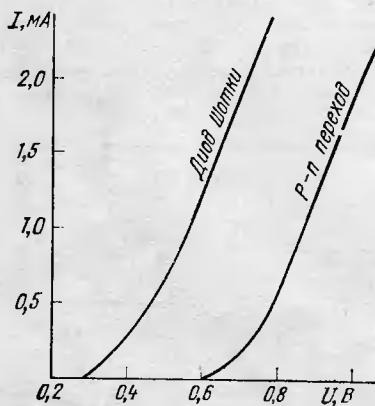


Рис. 3.3. Вольт-амперные характеристики $p-n$ перехода и диода Шоттки

включенных по схеме Дарлингтона с резистором R_5 нагрузкой VT_3 и ограничительного резистора R_6 , и нижним плечом на транзисторе VT_5 .

Входной каскад реализует функцию И при напряжении высокого уровня на входах в положительной логике. При этом выходное напряжение равно входному напряжению минус прямое падение напряжения на входном диоде Шоттки: $U_{\text{вых}} = U_{\text{вх}}^1 - U_D$. Напряжение $U_{\text{вых}}$ превышает в этом случае суммарное прямое падение напряжения на переходах база-эмиттер транзисторов VT_1 и VT_5 последующих каскадов и создает ток в базу транзистора VT_1 второго каскада из цепи питания через резистор R_1 . Входной ток элемента соответствует обратному току входных диодов, является втекающим и незначительным. При напряжении низкого уровня на одном из входов (или всех входах) каскада реализуется функция ИЛИ в отрицательной логике. При этом напряжение на выходе каскада $U_{\text{вых}} = U_{\text{вх}}^0 + U_D$. Значения его для этого случая ниже $2U_{\text{бэ}}$ последовательно включенных транзисторов VT_1 , VT_5 ; ток через резистор R_1 из цепи питания вытекает на вход элемента. Значение тока определяется разностью напряжения питания и входного напряжения с учетом прямого падения напряжения на входном диоде и номиналом резистора R_1 :

$$I_{\text{вх}}^0 = [U_{\text{п}} - (U_{\text{вх}}^0 + U_D)] / R_1.$$

В фазоразделительном каскаде (при напряжении высокого уровня на входе) протекает ток через его нагрузку. На эмиттерной нагрузке каскада поддерживается напряжение выше напряжения $U_{\text{бэ}}$ транзистора VT_5 , и при этом обеспечивается базовый ток транзистора. На коллекторной нагрузке за счет протекающего через транзистор VT_1 тока создается падение напряжения на резисторе R_2 и напряжение на диоде VD_5 ниже $2U_{\text{бэ}}$ транзисторов верх-

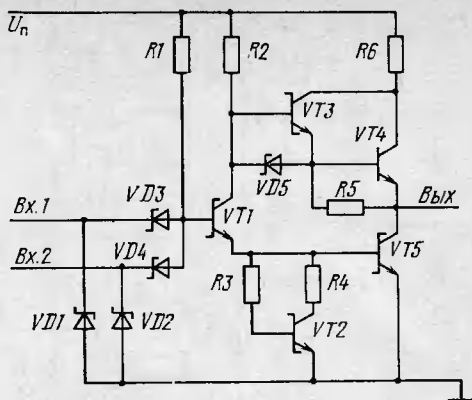


Рис. 3.4. Схема базового логического элемента серии К555

него плеча выходного каскада VT_3 и VT_4 . Ток в цепи диода VD_5 — втекающий для фазоразделительного каскада. При напряжении низкого уровня на входе транзистор VT_1 устанавливается в 0 по базе и на эмиттерной нагрузке напряжение близко 0, напряжение $U_{\text{к}}$ транзистора VT_1 превышает примерно $2U_{\text{бэ}}$ транзисторов VT_3 и VT_4 и обеспечиваются базовые токи этих транзисторов.

Для выходного каскада нижнее плечо (транзистор VT_5) находится в открытом состоянии за счет тока, протекающего в базу. Верхнее плечо каскада в этом случае закрыто. Выходное напряжение каскада соответствует напряжению на коллекторе открытого транзистора с диодом Шоттки $U_{\text{вых}}^0 \approx U_{\text{бэ}} - U_D$. Ток нагрузки каскада для этого режима — втекающий. В режиме низкого уровня на входе нижнее плечо закрыто, верхнее открыто. Каскад создает на выходе ток, втекающий в нагрузку, ограничиваемый резистором R_6 . Выходное напряжение соответствует высокому уровню $U_{\text{вых}}^1 \approx U_{\text{п}} - (2U_{\text{бэ}}) - IR_2$.

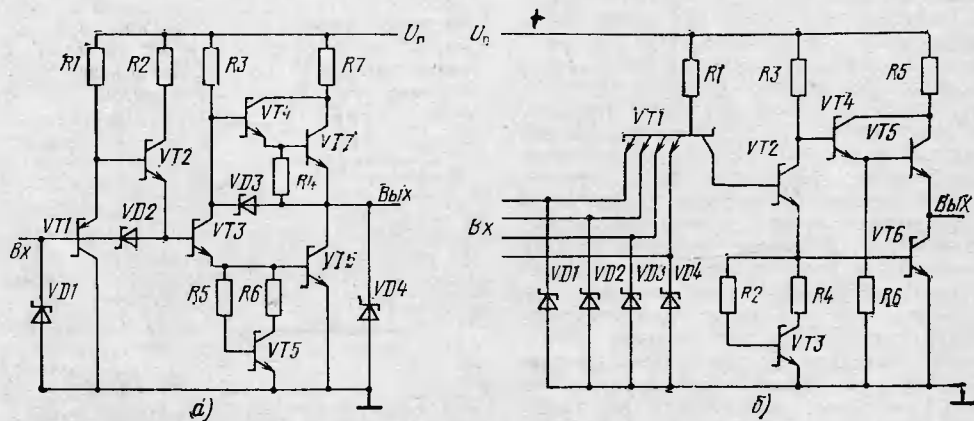


Рис. 3.5. Схемы базового логического элемента:

а — серия КР1533; б — серия К531

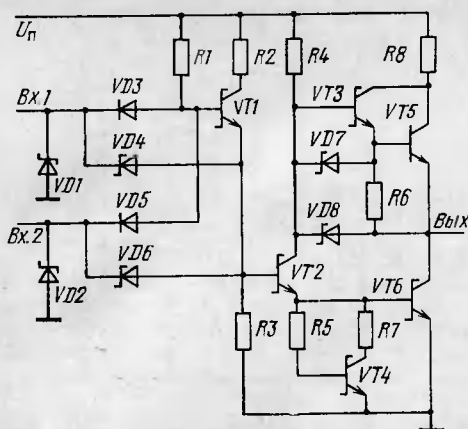


Рис. 3.6. Схема базового логического элемента серии КР1531

Резистор $R5$ верхнего плеча выходного каскада создает необходимое напряжение на базе транзистора $VT4$ для его открывания. Для уменьшения потребляемой мощности при напряжении высокого уровня на выходе схемы резистор $R5$ подключен не к общей шине, а к выходу элемента. Диод $VD5$, включенный последовательно с $R5$ и параллельно резистору коллекторной нагрузки фазоразделительного каскада $R2$, позволяет уменьшить задержку включения схемы за счет использования части энергии, запасенной в емкости нагрузки, для увеличения тока коллектора транзистора $VT1$ в переходном режиме. Верхнее плечо выходного каскада выполнено на транзисторах $VT3$ и $VT4$ по схеме Дарлингтона, что обеспечивает высокий коэффициент усиления каскада в состоянии высокого уровня, повышает нагрузочную способность схемы и улучшает динамические свойства. Ток заряда емкости нагрузки в динамическом режиме пропорционален току короткого замыкания. Транзистор $VT4$ реализуется без диодов Шотки, т. е. работает в активном режиме. К внешним входам ИС подключены антизвонные диоды, ограничивающие напряжение отрицательных помех. В некоторых случаях целесообразно выполнять входные каскады на многоэмиттерных транзисторах вместо диодных.

Преимущества ИС с диодами Шотки: введение диодов Шотки исключает накопление лишних базовых зарядов, увеличивающих время выключения транзистора, и обеспечивает стабильность времени переключения в диапазоне температур. Для получения крутой передаточной характеристики добавляется схема активного выключения, что повышает динамическую помехозащищенность при высоком напряжении. Фиксация входов с помощью диодов Шотки уменьшает отрицательные выбросы импульсов напряжения на входе. Схемы базовых логических элементов ИС серий К531, КР1533 и КР1531 приведены на рис. 3.5, 3.6

3.2. Типовые характеристики и параметры

Передаточные характеристики. При проектировании цифровых устройств необходимо знать основные статические и динамические параметры используемых логических схем: выходные напряжения $U_{\text{вых}}^0$, $U_{\text{вых}}^1$; входные токи $I_{\text{вх}}^0$, $I_{\text{вх}}^1$; пороговые напряжения $U_{\text{пор}}^0$, $U_{\text{пор}}^1$; число входов (коэффициент объединения по входу $K_{об}$); коэффициент разветвления на выходе $K_{раз}$; помехоустойчивость схемы $U_{\text{пом}}$; задержку распространения при включении $t_{зд}^0$ и выключении $t_{зд}^1$; мощность $P_{\text{пот}}$ или ток потребления $I_{\text{пот}}$.

Параметры логических схем определяются с помощью статических и переходных характеристик. Важнейшей статической характеристикой логических схем является передаточная характеристика $U_{\text{вых}} = f(U_{\text{вх}})$. Основная схема ТТЛ выполняет операцию И—НЕ и относится к логическим схемам инвертирующего типа (рис. 3.7). При $U_{\text{вх}} = 0$ переход база—эмиттер транзистора $VT1$ открыт. Однако напряжение $U_{VT1} = 0,8$ В не достаточно, чтобы открыть три $p-n$ перехода: база—коллектор транзистора $VT1$, база—эмиттер транзистора $VT2$ и база—эмиттер транзистора $VT4$ (для открывания этой цепи

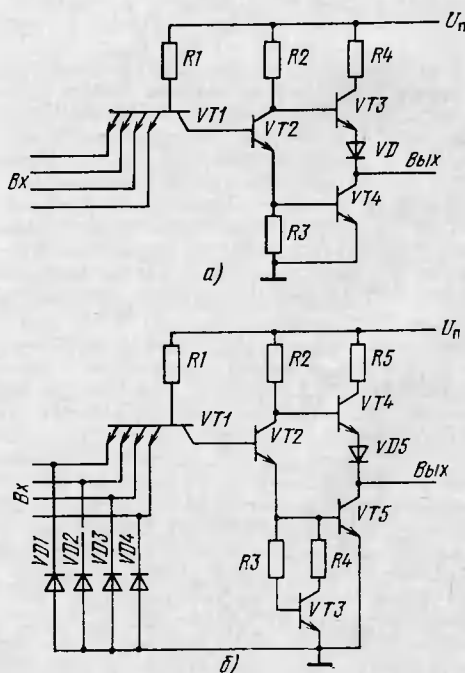


Рис. 3.7. Упрощенная схема базового логического элемента (а) и реальная схема базового логического элемента с корректирующей цепочкой (б)

необходимо напряжение примерно $3 \times 0,6 = 1,8$ В). Напряжение на базе транзистора VT4 близко к нулю, и транзистор VT4 закрыт. Напряжение на коллекторе VT2 и на базе VT3, близкое к напряжению источника питания +5 В, открывает переход база—эмиттер транзистора VT3 и диод VD, вызывая ток $I_{\text{вых}}^1$. Напряжение на коллекторе транзистора VT4 соответственно равно $U_{\text{вых}}^1$ (участок 1—2 на рис. 3.8).

При увеличении $U_{\text{вх}}$ (на всех эмиттерных входах транзистора VT1) до значения порогового напряжения $U_{\text{вх пор}}^0 = 0,8$ В (точка 2 на передаточной характеристике) транзистор VT2 начинает открываться. Однако при этом транзистор VT4 еще закрыт; при дальнейшем увеличении $U_{\text{вх}}$ до напряжения 1,25 В транзистор VT2 открывается, а транзистор VT4 только начинает открываться (точка 3 на передаточной характеристике). Дальнейшее увеличение $U_{\text{вх}}$ приводит к увеличению напряжения на базе транзистора VT1 до 1,2 В. Этого вполне достаточно, чтобы открыть два перехода: база—коллектор транзистора VT1 и база—эмиттер транзистора VT2. Транзистор VT2 открывается; ток через резистор R2 увеличивается, что вызывает уменьшение напряжения $U_{\text{к}}$ транзистора VT2. Увеличение тока через резистор R3 вызывает увеличение напряжения на базе транзистора VT4 и приводит к его открытию. Открытый транзистор VT4 (участок 3—4 передаточной характеристики) шунтирует резистор R3, что резко увеличивает коэффициент передачи транзистора VT2 и вызывает дальнейшее уменьшение $U_{\text{кVT2}}$. Однако некоторое время транзистор VT4 уже открыт, а транзистор VT3 еще не закрыт, что приводит к резкому увеличению тока и мощности, потребляемой от источника питания. При дальнейшем увеличении $U_{\text{вх}}$ транзисторы VT3 и VT4 переходят в режим насыщения (участок 4—5 передаточной характеристики). Напряжения $U_{\text{кVT3}}$ и $U_{\text{кVT4}}$ соответственно равны 1,2 и 0,3 В. Их разности, равной 0,9 В, недостаточно, чтобы открыть переход база—эмиттер транзистора VT3 и переход диода VD (см. рис. 3.7, а). Диод обеспечивает

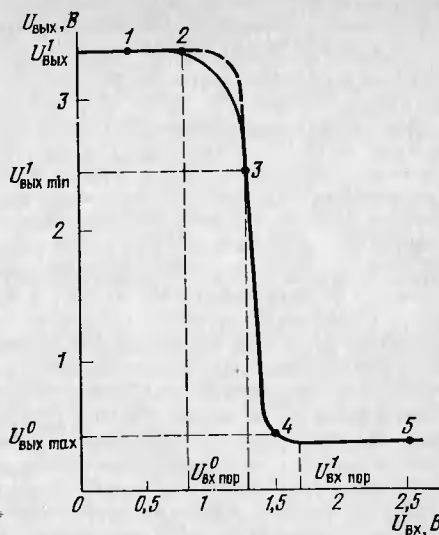


Рис. 3.8. Передаточная характеристика базового логического элемента

смещение уровней открывания транзистора VT3 и надежное закрывание его при $U_{\text{вых}}^0 = 0,3$ В.

В реальных схемах ТТЛ (рис. 3.7, б) в отличие от упрощенной схемы И—НЕ (рис. 3.7, а) в базу выходного транзистора вместо резистора R3 включена корректирующая цепь, состоящая из резисторов R3, R4 и транзистора VT3. Введение корректирующей цепи позволяет получить форму передаточной характеристики, близкую к прямоугольной (штриховая кривая на рис. 3.8).

Входные характеристики. Входные и выходные характеристики помогают правильно использовать логические элементы (ЛЭ) в системе, если в ней применяются различные серии ИС ТТЛ. Например, выражение «нагрузочная способность» имеет смысл только при нагрузке ЛЭ на другие ЛЭ этой же серии. На рис. 3.9, а показана зависимость входного тока от входного напряжения для ТТЛ ЛЭ. Любой прибор,

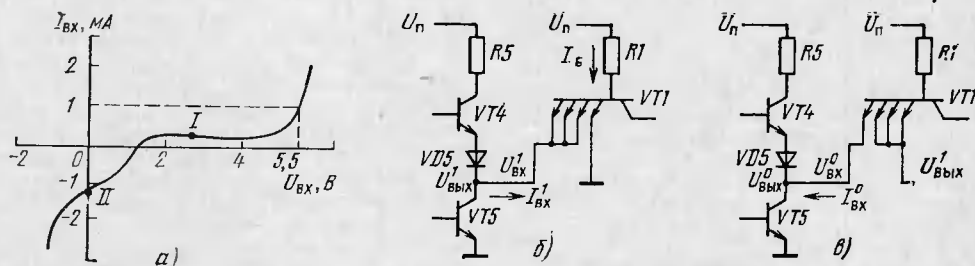


Рис. 3.9. Входная характеристика ТТЛ ЛЭ (а), схема работы ТТЛ ИС при высоком выходном уровне и нагрузки (б) и схема работы ТТЛ ИС при низком выходном уровне и нагрузки (в)

работающий на ЛЭ, должен обеспечивать втекание и вытекание тока. Обычно ток, втекающий в прибор $I_{вх}^1$, называется положительным, а вытекающий из прибора $I_{вх}^0$ — отрицательным.

При совместной работе ТТЛ схем одна из схем служит нагрузкой для другой. При этом возможны два режима. Когда управляющая ИС находится в состоянии высокого уровня (точка I на рис. 3.9, а) и напряжение на ее выходе равно $U_{вых}^1$ (рис. 3.9, б), переход база—эмиттер транзистора VT1 нагрузочной ИС закрыт и ток $I_{вх}^1$, определяемый только обратным током через закрытый переход, очень мал. Когда управляющая ИС находится в состоянии низкого уровня (точка II на рис. 3.9, а) и напряжение на ее выходе равно $U_{вых}^0$, переход база—эмиттер VT1 ИС нагрузки открыт, и входной ток меняет свое направление; он течет от источника питания через открытый переход база—эмиттер VT1 и открытый транзистор VT5 управляющей ИС на «землю» (рис. 3.9, в). Как видно из входной характеристики, при $U_{вх} = 5,5$ В входной ток $I_{вх}^1$ резко увеличивается, достигая значения 1 мА. Напряжение $U_{вх} = 5,5$ В является предельным и превышение его может вывести схему из строя. Аналогично резко увеличивается входной ток $I_{вх}^0$ при увеличении отрицательного напряжения на входе. Для большинства ИС ТТЛ серий предельное напряжение на входе микросхемы составляет —0,4 В. В реальных схемах сигнал, поступающий на вход ИС, не имеет строго прямоугольной формы. В момент окончания сигнала в монтажных цепях возникают затухающие колебания, которые могут вызывать ложное срабатывание схемы. Для исключения таких срабатываний на входах некоторых серий ИС ТТЛ включены так называемые демпфирующие диоды (рис. 3.7, б). При отсутствии колебательного процесса на входе такой диод закрыт и дополнительно вносит на вход схемы емкость меньше 1 пФ, что практически не ухудшает динамические характеристики схемы.

Выходные характеристики. Основным выходом ИС ТТЛ является стандартный выход с общей точкой двух последовательно соединенных транзисторов, обеспечивающий низкое переходное сопротивление для высокого и низкого уровней напряжения (см. рис. 3.1).

В семействе ИС ТТЛ включены микросхемы и с другими выходами: с выходом, представляющим собой схему Дарлингтона при высоком уровне выходного напряжения и транзистором с глубоким насыщением при низком уровне напряжения (рис. 3.4, 3.5); с выходом для работы на линию связи, имеющим улучшенные характеристики выхода при высоком уровне напряжения для работы на 50-ом нагрузку; с выходом шинного формирователя, имеющим третье состояние (с высоким переходным сопротивлением), которое не воздействует на шину. К одной шине может быть подключено несколько выходов, если система позволяет все выходы, кроме одного, переводить в состояние высокого переходного сопротивления.

Выходные характеристики ИС ТТЛ $U_{вых}^0 = f(I_{вх}^0)$, $U_{вых}^1 = f(I_{вх}^1)$ приведены на рис. 3.10. Выходной ток втекает в схему и представляет собой сумму токов

схем-нагрузок $I_{вых}^0 = \sum_{i=1}^n I_{вхi}^0$; ток $I_{вых}^1$ вытекает из схемы и представляет собой сумму

токов схем-нагрузок $I_{вых}^1 = \sum_{i=1}^n I_{вхi}^1$, где

n — число нагрузок. С помощью выходных характеристик определяется коэффициент разветвления на выходе. По известным значениям пороговых напряжений $U_{пор}^1$, $U_{пор}^0$ и заданным значениям помехоустойчивости $U_{пом}^1$, $U_{пом}^0$ находим максимально допустимое значение напряжения низкого уровня $U_{мах}^0$ и минимальное значение напряжения высокого уровня $U_{мин}^1$. По выходным характеристикам определяем максимально допустимые токи нагрузок $I_{нмах}^0$, $I_{нмах}^1$, при которых выходные напряжения достигают значений $U_{мах}^0$ и $U_{мин}^1$.

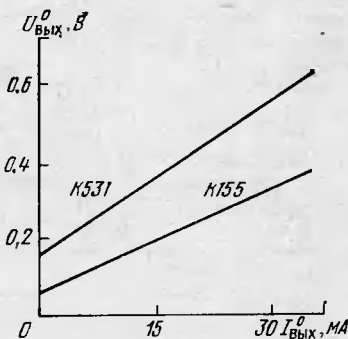
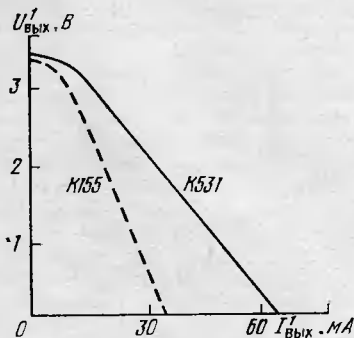


Рис. 3.10. Выходные характеристики базовых логических элементов серий К155, К531

Таблица 3.2а

Серия	Входные параметры				Выходные параметры			
	$I_{вх}^0$, мА	$U_{вх}^0$ max, В	$I_{вх}^1$, мА	$U_{вх}^1$ min, В	$U_{вых}^0$, В	$I_{вых}^0$, мА	$U_{вых}^1$, В	$I_{вых}^1$, мА
K155	-1,6	0,8	0,04	2,0	0,4	16	2,4	-0,4
K531	-2,0	0,8	0,05	2,0	0,5	20	2,7	-1
K555	-0,36	0,8	0,02	2,0	0,5	8	2,7	-0,4
KP1531	-0,6	0,8	0,02	2,0	0,5	20	2,7	-1
KP1533	-0,2	0,8	0,02	2,0	0,4	4	2,5	-0,4

Таблица 3.2б

Серия	Параметры				Нагрузочная способность
	$t_{здp}^{1,0}$, нс	$t_{здp}^{0,1}$, нс	$I_{пот}^0$, мА	$I_{пот}^1$, мА	
K155	15	22	22	8	10
K531	5	4,5	36	16	10
K555	20	20	4,4	1,6	20
KP1531	3,6	3,9	10,2	2,8	10
KP1533	14	14	3,0	0,85	20

Затем, зная максимальные значения входных токов $I_{вх}^0$ max, $I_{вх}^1$ max схем-нагрузок, по уровням U^0 и U^1 находим $K_{раз}^0 = I_{н max}^0 / I_{вх max}^0$, $K_{раз}^1 = I_{н max}^1 / I_{вх max}^1$, минимальный из которых соответствует коэффициенту разветвления на выходе. Таким образом, коэффициент разветвления на выходе определяется как допустимое число схем-нагрузок, при котором напряжение на выходе схемы сохраняется в заданных пределах $U_{вых}^0 \leq U^0$, $U_{вых}^1 \leq U^1$ min, т. е. обеспечивается заданная помехоустойчивость.

Мощность P и ток $I_{пот}$, потребляемые схемой от источника питания, зависят от ее логического состояния. Схема потребляет ток $I_{пот}^0$, когда на ее выходе напряжение $U_{вых}^0$, и ток $I_{пот}^1$, когда на ее выходе напряжение $U_{вых}^1$. Средняя мощность в статическом режиме $P = 0,5 U_{п} (I_{пот}^0 + I_{пот}^1)$.

В процессе переключения логической схемы ток в цепи источника питания существенно увеличивается, т. е. схема потребляет дополнительную (динамическую) мощность $P_{дин}$, которая расходуется, например, на перезаряд паразитных емкостей. Величина $P_{дин}$ возрастает при увеличении частоты переключения. Таким образом, средняя мощность в режиме переключения оказывается больше, чем мощность в статическом режиме. Поэтому в качестве параметра наряду с величиной P часто приводят также $P_{дин}$, близкую к предельно допустимой.

Динамические параметры. Для ТТЛ серий ИС гарантируются два временных параметра; задержка распространения сигнала при переключении выходного напря-

жения от высокого до низкого уровня ($t_{здp}^{1,0}$) и задержка распространения сигнала при переключении выходного напряжения от низкого до высокого уровня ($t_{здp}^{0,1}$). Оба параметра измеряются относительно входного импульса по уровню 1,5 В, как показано на рис. 3.11. Эквивалент нагрузки, состоящий из диодов и резистора, используется для имитации нагрузки по постоянному току при наихудших условиях нагрузки. Максимальное значение времени переключения гарантируется в большинстве случаев при емкости нагрузки 15 пФ. Измерение временных параметров производится при нормальных условиях: напряжении питания 5 В и температуре окружающей среды 25 °С. Для основного логи-

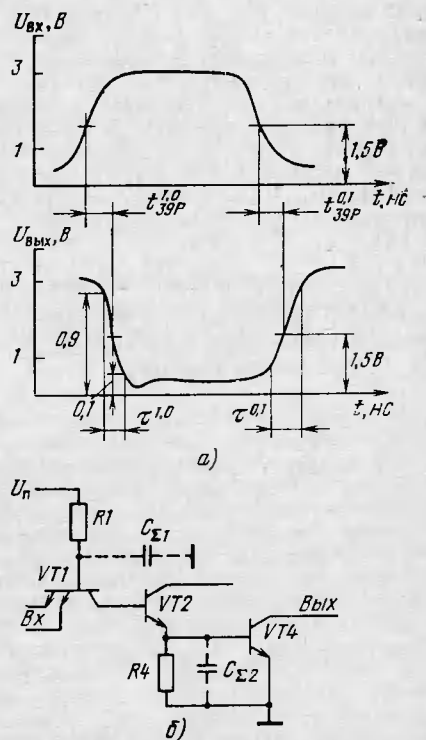


Рис. 3.11. Динамическая характеристика ТТЛ серий (а) и эквивалентная схема формирования динамических параметров (б)

ческого элемента стандартной ТТЛ серий К155ЛА3 $t_{зд\ p}^{1,0}/t_{зд\ p}^{0,1} \leq 20$ нс. Типовые значения времен переключения равны 10 нс. Для ЛЭ К531ЛА3 $t_{зд\ p}^{1,0} = 5$ нс, $t_{зд\ p}^{0,1} = 4,5$ нс. Типовые значения $t_{зд\ p}^{1,0}$ ($t_{зд\ p}^{0,1}$) ≈ 3 нс.

Рассмотрим работу ЛЭ И—НЕ в динамическом режиме. При его включении (рис. 3.11, б) временем задержки распространения транзистора $VT1$ можно пренебречь, считая, что он закрывается мгновенно. Тогда суммарная задержка распространения сигнала в схеме будет определяться задержкой распространения транзисторов $VT2$ и $VT4$. В свою очередь задержка из-за транзистора $VT2$ определяется в основном временем заряда паразитной емкости $C_{\Sigma 1}$, представляющей собой сумму паразитных емкостей резистора $R1$, коллектора транзистора $VT1$ на подложку и перехода баз—эмиттер транзистора $VT1$. Задержка, обусловленная транзистором $VT4$, определяется временем заряда паразитной емкости $C_{\Sigma 2}$, представляющей собой сумму емкостей структуры резистора $R4$ и перехода баз—эмиттер транзистора $VT4$.

При выключении задержка распространения сигнала элемента И—НЕ $t_{зд\ p}^{0,1}$ определяется главным образом временем рассасывания неосновных носителей в базах транзисторов $VT2$ и $VT4$. В табл. 3.2а, б приведены основные эксплуатационные электрические параметры различных ТТЛ серий. Все параметры указаны для ЛЭ И—НЕ и позволяют проследить особенности каждой серии, оценить их преимущества и недостатки и дают общую ориентацию при выборе серий на этапе разработки. Приведенные параметры указаны для полного рабочего диапазона температур.

3.3. Зависимость типовых характеристик и параметров от режимов и условий эксплуатации

При разработке аппаратуры следует учитывать изменение основных параметров ИС при изменении температуры, напряжения питания и нагрузки. При совокупном воздействии следует учитывать суммарное изменение параметра. Аппаратура должна быть спроектирована так, чтобы ее нормальная работа сохранялась при установке любого образца ИС данного типа, т. е. обеспечивалась взаимозаменяемость.

Быстродействие. Повышение температуры кристалла приводит к увеличению времени рассасывания носителей всех транзисторов, их коэффициентов усиления и насыщения. Номиналы резисторов также возрастают, что приводит к небольшому уменьшению переключаемых токов, так что суммарное влияние температуры сказывается на временах задержки распрост-

ранения транзисторов. При этом задержка $t_{зд\ p}^{1,0}$ с ростом температуры несколько снижается, тогда как более чувствительная задержка $t_{зд\ p}^{0,1}$ — возрастает. Типовое значение изменения $t_{зд\ p}^{0,1}$ и $t_{зд\ p}^{1,0}$ составляет 0,04 нс/°С. Емкость на выходе ТТЛ схем увеличивает время задержки при включении и выключении примерно на 0,07 нс/пФ.

Повышение напряжения питания увеличивает управляющие базовые токи транзисторов и способствует более быстрому их переключению. Обычно это повышение больше сказывается на задержке при выключении, чем на задержке при включении.

При проектировании цепей ЭВМ, содержащих ТТЛ ИС, влияние коэффициента разветвления на быстродействие можно не учитывать. Если коэффициент разветвления можно изменить без изменения емкости нагрузки, то при увеличении коэффициента разветвления незначительно возрастает задержка $t_{зд\ p}^{1,0}$ и уменьшается задержка $t_{зд\ p}^{0,1}$, в результате уменьшение средней задержки невелико.

Мощность рассеивания. Ток потребления линейно зависит от напряжения питания, так как логический элемент ведет себя практически как резистор, поэтому рассеиваемая мощность с ростом напряжения питания возрастает по обычному квадратичному закону. При изменении температуры происходит незначительное изменение токов ИС, поэтому для практических целей зависимость рассеиваемой мощности от температуры можно не учитывать. С ростом частоты переключения рассеиваемая мощность возрастает. Так как емкость на входе ИС увеличивает длительность выброса тока, то с увеличением емкости возрастает и рассеиваемая мощность, причем это возрастание зависит от частоты переключения логического элемента, его характеристик и емкостной нагрузки. В большинстве практических случаев (при частотах значительно меньше предельных) эту зависимость можно не учитывать.

Нагрузочная способность. Так как коэффициенты усиления транзисторов и сопротивления резисторов зависят от температуры, то следовало бы ожидать и влияния температуры на нагрузочную способность. Однако значения токов, по которым рассчитываются коэффициенты разветвления по выходу, даются с учетом температурного диапазона, поэтому изменения фактических значений токов можно не учитывать. Емкость межсоединений не оказывает влияния на нагрузочную способность, если не учитывать токи утечки внешних конденсаторов. Если эти токи имеют существенное значение, то их необходимо вычитать из выходных токов и пересчитать коэффициенты разветвления заново. Снижение напряжения питания практически не влияет на ток выходного транзистора при низком уровне, а следовательно, и на нагрузочную способность. При высоком выход-

ном уровне уменьшение напряжения питания вызывает такое уменьшение $U_{\text{вых}}^1$, что ИС, выходное напряжение которых было равно или близко к предельному значению высокого уровня, не сможет при напряжении питания 4,5 В обеспечить заданный выходной ток. Поэтому следует рассматривать не влияние изменений напряжения питания на нагрузочную способность по высокому уровню, а влияние снижения напряжения питания на помехоустойчивость по высокому уровню.

Помехоустойчивость. Помехоустойчивость также зависит от различных факторов. Запасы помехоустойчивости по постоянному току в любой точке соединения ИС определяются выходными уровнями напряжения управляющей ИС и входными пороговыми напряжениями управляемой ИС. Напряжение $U_{\text{вых}}^0$ определяется напряжением насыщения основного выходного транзистора. При повышении температуры ток, протекающий через выходную цепь в этот транзистор, немного уменьшится, что вызовет незначительное изменение напряжения насыщения. Этими изменениями можно пренебречь.

Повышение температуры вызывает уменьшение напряжений на переходах примерно на 0,002 В/°С, поэтому с ростом температуры напряжение $U_{\text{вых}}^1$ также будет расти. Следовательно, при повышении температуры статическая помехоустойчивость по низкому уровню будет уменьшаться, а по высокому увеличиваться. Повышение температуры влияет и на динамическую помехоустойчивость, т. е. уменьшает помехоустойчивость положительных импульсов на низком уровне и повышает помехоустойчивость отрицательных импульсов на высоком уровне.

Емкость межсоединений не влияет на запасы помехоустойчивости ИС ТТЛ, однако связь между соседними проводниками может сказаться на помехоустойчивости. Изменения напряжения питания не оказывают заметного влияния на низкий выходной уровень. Так как входное напряжение порога переключения определяется падениями напряжения на $p-n$ переходах, то оно не зависит от изменений напряжения питания. Однако высокий выходной уровень определяется падениями напряжения на переходах, отсчитываемыми от напряжения питания $U_{\text{п}}$, поэтому любые (низкочастотные) изменения будут непосредственно накладываться на высокий выходной уровень. Следовательно, если напряжение питания (схемы, для которой рассматриваемый узел является выходным) снижается на 0,25 В, то помехоустойчивость по высокому уровню для управляемых этой схемой входов также снижается на 0,25 В. Запасы помехоустойчивости по низкому уровню не зависят от изменения напряжения питания. То же можно сказать о высокочастотной помехоустойчивости. Однако в связи с тем, что изменения напряжения питания влия-

ют на быстродействие ИС, косвенное влияние эти изменения будут оказывать на высокочастотную помехоустойчивость, так как чем выше быстродействие прибора, тем меньше его динамическая помехоустойчивость. Увеличение напряжения питания будет, следовательно, вызывать небольшое снижение динамической помехоустойчивости, которое для высокого уровня будет перекрыто непосредственным увеличением статического запаса помехоустойчивости. При повышении коэффициента разветвления помехоустойчивость (входных цепей ИС, управляемых сильно нагруженными схемами) может ухудшаться из-за увеличения длины соединительных проводников и возрастания переходных помех.

3.4. Функциональный состав

Одним из преимуществ серий ИС ТТЛ является наличие в их составе кроме логических элементов таких схем как триггеры, дешифраторы, регистры сдвига, счетчики, сумматоры и элементы памяти со схемами управления. Наличие схем, представляющих собой готовые узлы ЭВМ, включающие сразу несколько двоичных разрядов, позволяет уменьшить число корпусов ИС и получить существенный выигрыш в объеме. Микросхемы на основе ТТЛ нашли широкое применение в единой системе электронно-вычислительных машин ЕС ЭВМ «Ряд». Функциональный состав ТТЛ серий приведен в табл. 3.3. Там же приведены функциональные аналоги этих ИС.

Логические элементы. Функциональная группа логических элементов включает все типы устройств, реализующих основные логические функции: НЕ, И—НЕ, И, ИЛИ—НЕ, ИЛИ, И—ИЛИ—НЕ, Исключающее ИЛИ. Все основные элементы группы выполнены с двухтактным выходом. Для реализации монтажных функций И почти все типы ИС имеют открытый коллекторный выход. Логические элементы с повышенной нагрузочной способностью используются в разветвленных и межплатных соединениях. Для межплатных и магистральных связей в составе группы имеются ЛЭ с повышенной помехоустойчивостью. Функциональные характеристики логических элементов с функциями НЕ, И—НЕ, ИЛИ, ИЛИ—НЕ, И, И—ИЛИ—НЕ и номинальной нагрузочной способностью не имеют каких-либо особенностей и полностью определяются логической функцией. Условные графические обозначения микросхем и назначение выводов приведены в приложении П1.

Микросхема ТЛ1 представляет собой два триггера Шмитта, каждый из которых логически функционирует как 4-входовая схема И—НЕ с учетом пороговых напряжений (напряжение срабатывания 1,5 В, напряжение отпускания 1,1 В) и имеет передаточную характеристику гистерезисного вида.

Таблица 3.3

Функциональное назначение	Подгруппа и порядковый номер разработки	Аналог
Четыре логических элемента 2И—НЕ (К155, КМ155, К531, К555, КМ555, КР1531)	ЛА3	00
Четыре логических элемента 2И — НЕ с открытым коллекторным выходом (элементы контроля) (К155, КМ155)	ЛА8	01
Четыре логических элемента 2ИЛИ — НЕ (К155, КМ155, К531, К555, КМ555, КР1531)	ЛЕ1 <	02
Четыре логических элемента 2И — НЕ с открытым коллекторным выходом (К531, К555, КМ555)	ЛА9	03
Шесть логических элементов НЕ (К155, КМ155, К531, К555, КМ555, КР1531)	ЛН1 <	04
Шесть логических элементов НЕ с открытым коллекторным выходом (К155, К531, К555)	ЛН2 <	05
Шесть буферных инверторов с повышенным коллекторным напряжением (К155, КМ155)	ЛН3	06
Шесть буферных формирователей с открытым коллекторным выходом (К155, КМ155)	ЛП9	07
Четыре логических элемента 2И (К155, КМ155, К531, КМ155, КР1531)	ЛИ1	08
Четыре логических элемента 2И с открытым коллекторным выходом (К555)	ЛИ2	09
Три логических элемента 3И — НЕ (К155, КМ155, К531, К555, КМ555, КР1531)	ЛА4	10
Три логических элемента 3И (К531, К555, КМ555, КР1531)	ЛИ3	11
Три логических элемента 3И — НЕ с открытым коллекторным выходом (К155, КМ155, К555)	ЛА10	12
Два триггера Шмитта с логическим элементом на входе (К155)	ТЛ1	13
Шесть триггеров Шмитта с инвертором (К155, К555, КМ555)	ТЛ2 <	14
Три логических элемента 3И с открытым коллекторным выходом (К555)	ЛИ4	15
Шесть буферных элементов НЕ (К155, КМ155)	ЛН5	16
Шесть буферных формирователей с открытым коллекторным выходом (К155)	ЛП4	17
Два логических элемента 4И — НЕ, один расширяемый по ИЛИ (К155, КМ155, К531, К555, КМ555, КР1531)	ЛА1 <	20
Два логических элемента 4И (К555, КМ555)	ЛИ6	21
Два логических элемента 4И — НЕ с открытым коллекторным выходом и повышенной нагрузочной способностью (К155, КМ155, К531, К555)	ЛА7	22
Два логических элемента ИЛИ — НЕ со стробированием на одном элементе и возможностью расширения по ИЛИ на другом (К155)	ЛЕ2	23
Два логических элемента 4ИЛИ — НЕ со стробированием (К155, КМ155)	ЛЕ3	25
Четыре высоковольтных логических элемента 2И — НЕ с открытым коллекторным выходом (К155, КМ155)	ЛА11	26
Три логических элемента 3ИЛИ — НЕ (К155, К555, КМ555)	ЛЕ4	27
Четыре буферных логических элемента 2ИЛИ — НЕ (К155, КМ155)	ЛЕ5	28
Логический элемент 8И — НЕ (К155, КМ155, К531, К555, КМ555)	ЛА2	30
Четыре логических элемента 2ИЛИ (К155, КМ155, К531, К555, КМ555, КР1531)	ЛЛ1 <	32
Четыре логических элемента 2И — НЕ с повышенной нагрузочной способностью (К155, КМ155, К531, К555, КМ555)	ЛА12	37
Четыре буферных логических элемента 2И — НЕ с открытым коллекторным выходом (К155, КМ155, К531, К555)	ЛА13	38
Два логических элемента 4И — НЕ с большим коэффициентом разветвления (К155, КМ155, К555)	ЛА6	40
Дешифратор 4 на 10 (КМ555)	ИД6	42

Функциональное назначение	Подгруппа и порядковый номер разработки	Аналог
Два логических элемента 2—2И—2ИЛИ—НЕ, один расширяемый по ИЛИ (К155, КМ155)	ЛР1	50
Два логических элемента 4—2—3—2И—4ИЛИ—НЕ (К531, К555, КМ555)	ЛР11	51
Логический элемент 2—2—2—3И—4ИЛИ—НЕ с возможностью расширения по ИЛИ (К155, КМ155)	ЛР3	53
Логический элемент 2—3—3—2И—4ИЛИ—НЕ (К555)	ЛР13	54
Логический элемент 4—4И—2ИЛИ—НЕ с расширением по ИЛИ (К155, КМ155)	ЛР4	55
Два 4-входовых логических расширителя по ИЛИ (К155, КМ155)	ЛД1	60
Логический элемент 4—2—3—2И—4ИЛИ—НЕ (К531)	ЛР9П	64
Д-триггер с логикой на входе 3И (К155, КМ155)	ТВ1	72
Два D-триггера (К155, КМ155, К531, КМ555)	ТМ2	74
Четыре D-триггера с прямым и инвентарным выходами (К155, КМ155, КМ555)	ТМ7	75
Четыре D-триггера (К155, КМ155)	ТМ5	77
Одноразрядный полный сумматор (К155, КМ155)	ИМ1	80
ОЗУ на 16 бит со схемами управления (К155, КМ155)	РУ1	81
2-разрядный (двоичный) полный сумматор (К155, КМ155)	ИМ2	82
4-разрядный двоичный сумматор (К155, КМ155)	ИМ3	83
4-разрядная схема сравнения чисел (К531, К555)	СП1	85
Четыре 2-входовых логических элемента Иключающее ИЛИ (К155, КМ155, К531, К555, КМ555)	ЛП5 <	86
ОЗУ на 64 бит (К155, КМ155)	РУ2	89
Двоично-десятичный 4-разрядный счетчик (К155, КМ155, К555)	ИЕ2	90
Счетчик-делитель на 12 (К155, КМ155)	ИЕ4	92
Двоичный счетчик (К155, КМ155, К555)	ИЕ5 <	93
4-разрядный универсальный сдвигающий регистр (К155, КМ155)	ИР1	95
Делитель частоты с переменным коэффициентом деления (К155, КМ155)	ИЕ8	97
Два JK-триггера со сбросом (К555)	ТВ6	107
Два JK-триггера (К155)	ТВ15	109
Два JK-триггера (К531, К555)	ТВ9	112
Два JK-триггера (К531)	ТВ10П	113
Сдвоенный JK-триггер (К531)	ТВ11П	114
Одновибратор с логическим элементом на выходе (К155)	АГ1	121
Сдвоенный одновибратор с повторным запуском (К155, КМ155, КМ555)	АГ3 <	123
Двойной генератор, управляемый напряжением (К531)	ГГ1П	124
Четыре буферных усилителя с тремя состояниями (К155, КМ155)	ЛП8	125
Магистральный усилитель (четыре логических элемента 2ИЛИ—НЕ) К155, КМ155	ЛЕ6 <	128
Четыре триггера Шмитта с логикой 2И—НЕ на входе (К155, К531)	ТЛ3 <	132
Логический элемент 12И—НЕ с тремя состояниями (К531)	ЛА19П	134
Четыре 2-входовых логических элемента Иключающее ИЛИ с открытым коллекторным выходом (К555)	ЛЛ3	136
Двоичный дешифратор (К531, К555)	ИД7 <	138
Два дешифратора-демультиплексора 2 на 4 (К531)	ИД14П	139
Два логических элемента 4И—НЕ (магистральный усилитель) К531	ЛА16П	140
Высоковольтный дешифратор управления газоразрядными индикаторами (К155, КМ155)	ИД1	141
Двоично-десятичный дешифратор (К155, К555)	ИД10	145
Шифратор приоритетов (К555)	ИБ3	147
Шифратор приоритетов 8—3 (К155, К555)	ИБ1	148

Функциональное назначение	Подгруппа и порядковый номер разработки	Аналог
Селектор-мультиплексор данных на 16 каналов со стробированием (K155)	КП1	150
Селектор-мультиплексор на 8 каналов со стробированием (K155, KM155, K531, K555)	КП7	151
Селектор-мультиплексор данных на 8 каналов (K155, KM155)	КП5	152
Сдвоенный цифровой селектор-мультиплексор 4—1 (K155, KM155, K531)	КП2	153
Дешифратор-мультиплексор 4 на 16 (K155)	ИД3	154
Сдвоенный дешифратор-мультиплексор 2—4 (K155, KM155, K555)	ИД4	155
Сдвоенный дешифратор 2—4 с открытым коллектором (K555)	ИД5	156
4-разрядный селектор-мультиплексор 1 из 2 (K555)	КП16	157
Синхронный десятичный 4-разрядный счетчик (K155, K555)	ИЕ9	160
Двоичный синхронный 4-разрядный счетчик (K555)	ИЕ10	161
Синхронный 4-разрядный двоичный счетчик (K555)	ИЕ18	163
8-разрядный последовательный сдвигающий регистр с параллельным выходом (KM555)	ИР8	164
8-разрядный последовательный регистр сдвига. (KM555)	ИР9	165
8-разрядный сдвиговый регистр (KM555)	ИР10	166
Синхронный 4-разрядный декадный реверсивный счетчик (K531)	ИЕ16П	168
Синхронный 4-разрядный двоичный реверсивный счетчик (K531)	ИЕ17П	169
16-разрядное регистровое ЗУ (K155)	РП1	170
Регистровая память на 16 бит с тремя состояниями (K155)	РП3	172
Регистр 4-разрядный с тремя состояниями на входе (K155, KM155, K555)	ИР15	173
Шесть синхронных D-триггеров (K531, K555, KM555)	ТМ9	174
Счетверенный D-триггер (K155, K531, KM555)	ТМ8	175
8-разрядная схема контроля четности и нечетности (K155, KM155)	ИП2	180
АЛУ для записи двух 4-разрядных слов (K155, K531, K555)	ИП3	181
Схема ускоренного переноса для АЛУ (K155, KM155, K531, KM555)	ИП4	182
Два одноразрядных двоичных полных сумматора (K555)	ИМ5	183
Преобразователь двоично-десятичного кода в двоичный (K155, KM155)	ПР6	184
Преобразователь двоичного кода в двоично-десятичный (K155)	ПР7	185
ПЗУ на 1024 бит (K155)	РЕ21—24	187
ОЗУ на 64 бит (K531)	РУ8П	189
Синхронный реверсивный двоичный счетчик (K555)	ИЕ13	191
Двоично-десятичный реверсивный счетчик (K155, KM155, K555)	ИЕ6	192
4-разрядный двоичный реверсивный счетчик (K155, KM155, K555)	ИЕ7	193
Универсальный 4-разрядный сдвиговый регистр (K531, KM555)	ИР11	194
4-разрядный параллельный сдвиговый регистр (K531)	ИР12П	195
Быстродействующий десятичный счетчик (K531, K555)	ИЕ14	196
Двоичный счетчик (K531, K555)	ИЕ15	197
8-разрядный реверсивный регистр сдвига (K155)	ИР13	198
Магистральный буферный 8-канальный усилитель с тремя состояниями и инверсией (K531, K555)	АП3	240
Магистральный буферный 8-канальный усилитель с тремя состояниями без инверсии (K531, K555)	АП4	241
4-линейный передатчик (KM555)	ИП6	242
8-канальный однонаправленный шинный формирователь (K555)	АП5—	244
8-канальный двунаправленный шинный формирователь (K555)	АП6—	245

Функциональное назначение	Подгруппа и порядко- вый номер разработки	Аналог
8-входовый селектор-мультиплексор с тремя состояниями (K531, K555, KM555)	КП15	251
2-разрядный 4-канальный коммутатор (K555)	КП12	253
4-разрядный селектор 2—1 с тремя состояниями (K531, K555)	КП11	257
4-разрядный селектор 2—1 с тремя состояниями с инверсиями выходами (K531, K555)	КП14	258
8-разрядный регистр хранения с адресацией (K555)	ИР30	259
Два логических элемента БИЛИ—НЕ (K531)	ЛЕ7П	260
Параллельный двоичный умножитель 2×4 разряда (K555)	ИП8	261
Четыре RS-триггера (K555, KM555)	ТР2	279
9-разрядная схема контроля четности (K531)	ИП5П	280
4-разрядный двоичный полный сумматор с ускоренным переисом (K555)	ИМ6	283
ОЗУ на 64 бит с открытым коллекторным выходом (K531)	РУ9П	289
Универсальный 4-разрядный сдвиговый регистр (K555)	ИР16	295
Четыре 2-входовых мультиплексора с запоминанием (K555)	КП13	298
8-разрядный универсальный сдвиговый регистр (K531)	ИР24П	299
8-разрядный последовательно-параллельный регистр (K555)	ИР28	322
Шесть повторителей с элементом управления по входам и тремя состояниями на выходе (K155)	ЛП10	365
Шесть инверторов с элементом управления по входам и тремя состояниями на выходе (K155)	ЛН6	366
Шесть повторителей с раздельными элементами управления входами по двуми и четырем с тремя состояниями на выходе (K155)	ЛП11	367
Восемь D-триггеров с общим потенциальным входом синхронизации с тремя состояниями на выходе (K531, K555)	ИР22	373
Восемь D-триггеров с общим динамическим входом синхронизации с тремя состояниями на выходе (K531, K555, KM555)	ИР23	374
8-разрядный регистр с разрушением записи (K555)	ИР27	377
АЛУ с умножением (K531)	ИК2П	381
4-разрядный последовательный сумматор (K555)	ИМ7	385
16-разрядная схема контроля по коду Хемминга (K555)	ВЖ1	630
Регистровый файл 4 слова на 4 разряда (K555)	ИР26	670
Два 2-входовых логических элемента с общим входом 2И—НЕ и двумя мощными транзисторами (K155)	ЛП7	SN75450
Два логических элемента 2И с мощным открытым коллекторным выходом (K155)	ЛИ5	SN75451
Два логических элемента 2И—НЕ с мощным открытым коллекторным выходом (K155)	ЛА18	SN75452
Два логических элемента 2ИЛИ с мощным открытым коллекторным выходом (K155)	ЛЛ2	SN75453
12-разрядный регистр последовательного приближения (K155)	ИР17	AM25S04
Схема быстрого умножителя 2×4 разряда (K531)	ИК1П	AM25S05
6-разрядный параллельный регистр с D-триггерами (K531)	ИР18П	AM25S07
4-разрядный параллельный регистр с D-триггерами (K531)	ИР19П	AM25S08
4-разрядный двухвходовый регистр (K531)	ИР20П	AM25S09
4-разрядное сдвигающее устройство (K531)	ИР21П	AM25S10
ОЗУ на 1024 бит (K155)	РУ7	93425APC
ОЗУ на 256 бит (K155)	РУ5	93410ДС
ПЗУ на 256 бит с однократным электрическим программированием (K155)	РЕ3	8223В
8-входовый расширитель по ИЛИ (K155, KM155)	ЛД3	—
Декадный счетчик с фазоимпульсным представлением информации (K155)	ИЕ1	—
Дешифратор для управления неполной матрицей 7×5 на дискретных светозлучающих диодах (KM155)	ИД8А, Б	—
Многофункциональный элемент для ЭВМ (K155, KM155, K531)	ХЛ1	—
Дешифратор для управления дискретной матрицей на светодиодах (KM155)	ИД9	—

Функциональное назначение	Подгруппа и порядковый номер разработки	Аналог
Дешифратор 3 на 8 для управления шкалой с заполнением (КМ155)	ИД11	—
Дешифратор 3 на 8 для управления шкалой со сдвигом одной точки (КМ155)	ИД12	—
Дешифратор 3 на 8 для управления шкалой со сдвигом двух точек (КМ155)	ИД13	—
Дешифратор для управления шкалой с общими анодами (К155)	ИД15	—
Двунаправленный усилитель-формирователь (К531)	АП2П	—
Два логических элемента 4И—НЕ с тремя состояниями (К531)	ЛА17П	—

Микросхема ТЛ2 (триггер Шмитта) обеспечивает гистерезисную передаточную характеристику. При повышении входного напряжения низкого уровня переключение происходит при более высоком напряжении (1 В), чем для типичных ЛЭ и при понижении напряжения высокого уровня от рабочего переключение происходит при более низком уровне (1,4 В). Микросхема ЛП5 выполняет функцию неравнозначности — сигнал на выходе принимает состояние высокого уровня при несовпадении сигналов на входах ИС. Логическая функция элемента записывается в виде: $Y = X1 \cdot X2 + X1 \cdot X2$. Логический элемент является сумматором по модулю 2, так как выходная величина равна сумме двух входных 1-разрядных величин с основанием два.

Микросхема ЛП3 представляет собой три логических элемента мажоритарной логики 2 из 3. При подаче на любые два входа

из трех напряжения высокого уровня на выходе ИС устанавливается напряжение низкого уровня.

Триггеры. Триггер ТВ1 типа JK (рис. 3.12) состоит из двух триггеров: основного (элементы Е7, Е8) и вспомогательного (элементы Е3—Е6). С приходом фронта импульса синхронизации на вход С происходит запись информации во вспомогательный триггер в соответствии с логическими уровнями сигналов на входах J и K. Одновременно импульс синхронизации блокирует цепи перезаписи информации из вспомогательного триггера в основной. На время действия импульса синхронизации в основном триггере сохраняется информация, записанная в предыдущем такте. С приходом среза импульса синхронизации блокировка снимается и происходит перезапись информации из вспомогательного триггера в основной. Запись информации в JK-триггер происходит по фронту, а изменение состояния на выходе — по срезу импульса синхронизации. Временная диаграмма его работы приведена на рис. 3.13.

В асинхронном режиме при управлении по входам R и S JK-триггер работает аналогично RS-триггеру (состояния входов J, K, C — произвольны). Режим работы JK-триггера в синхронном режиме иллюстрирует табл. 3.4.

Микросхемы ТВ6, ТВ9 в отличие от микросхем ТВ1 имеют по одному входу J и K. У триггера ТВ6 отсутствует вход S. При подаче на информационные входы J и K напряжений высокого уровня осуществляется инверсия предыдущего состояния по выходам Q и $\bar{Q}$ (счетный режим работы). Низкий уровень напряжения на входе R (сброс) устанавливает выход Q в состояние низкого уровня (соответственно выход $\bar{Q}$ — в состояние высокого) независимо от уровней на других входах. Низкий уровень напряжения на входе S устанавливает на выходах Q и $\bar{Q}$ высокий и низкий уровни соответственно, независимо от состояний на входах J, K и C. Наличие низкого уровня одновременно на входах R и S дает неопре-

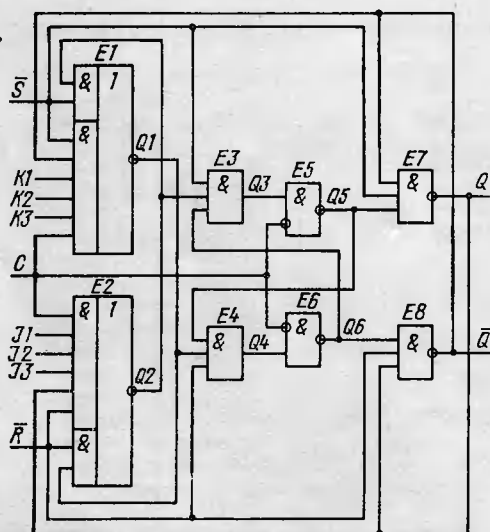
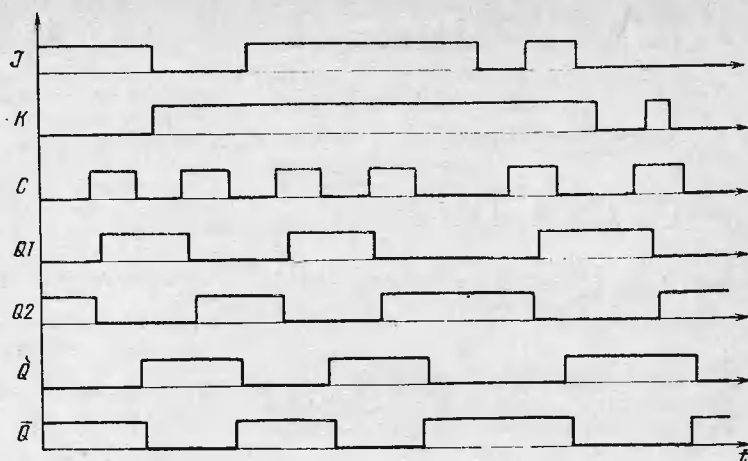


Рис. 3.12. Логическая структура микросхемы ТВ1

Рис. 3.13. Временная диаграмма работы микросхемы ТВ1



деленное состояние на выходах Q и $\bar{Q}$. Логические уровни на входах J и K могут изменяться при высоком уровне на тактовом входе, и во время прихода среза импульса входная информация передается на выходы.

В процессе работы триггеров может возникнуть ситуация, когда смена информации на входах J и K происходит в течение времени установки триггера. В этом случае на выходе триггера могут иметь место оба устойчивых состояния, что приведет к сбою в работе устройства. Поэтому устанавливаются ограничения на время опережения и запаздывания смены информации на входах J и K по отношению к моменту переключения триггера. Режим работы триггера ТВ9 приведен в табл. 3.5.

Микросхема TP2 является триггером RS с парафазными входами для записи информации. Триггер TP2 выполнен из двух логических элементов 2И—НЕ с обратными связями. Назначение входов R и S выбрано относительно выхода Q так, что записываемая информация соответствует высокому или низкому уровню напряжения с учетом инверсии входных сигналов R и S .

Микросхема TP2 включает четыре триггера. Для расширения функциональных возможностей ИС два триггера из четырех имеют по два входа S , логически объединенных по И, в отрицательной логике по ИЛИ. Достаточно на одном из входов S триггера установить низкий уровень напряжения, а на входе R разрешить запись соответствующей информации высоким уровнем и триггер установится в состояние высокого уровня. Установка триггера в состояние высокого или низкого уровня осуществляется кодом 01 или 10 на входах S и R со сменой кода информации. Триггер является асинхронным. Временная диаграмма его работы приведена на рис. 3.14.

Микросхема ТВ10 представляет собой два триггера JK, переключающиеся по срезу сигнала синхронизации. Каждый триг-

Таблица 3.4

t_n				$t+1$	
Выходы		Входы		Выходы	
Q	$\bar{Q}$	J	K	Q	$\bar{Q}$
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	1	0
0	1	1	1	1	0
1	0	0	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	0	1	1	0	1

Таблица 3.5

t_n					t_n+1	
J	K	S	R	C	Q	$\bar{Q}$
d	d	1	1	0	Q_n	$\bar{Q}_n$
d	d	1	1	1	Q_n	$\bar{Q}_n$
d	d	0	0	d	H	H
d	d	0	1	d	1	0
d	d	1	0	d	0	1
0	0	1	1	$\overline{1}$	Q_n	$\bar{Q}_n$
0	1	1	1	$\overline{1}$	1	1
1	0	1	1	$\overline{1}$	0	0
1	1	1	1	$\overline{1}$	$\bar{Q}_n^*$	Q_n^*

Примечание. d —информация низкого или высокого уровня на соответствующем входе; Q_n —предыдущее состояние выхода; t_n — момент времени до подачи отрицательного фронта тактового импульса; t_n+1 — момент времени после подачи отрицательного фронта тактового импульса; H— неопределенное состояние; *—счетный режим работы; $\overline{1}$ —переход от высокого уровня к низкому.

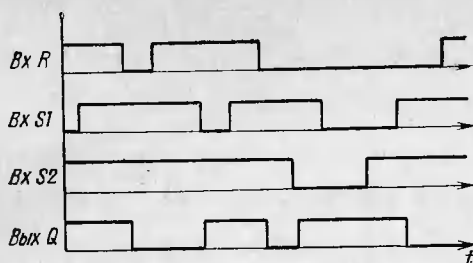


Рис. 3.14. Временная диаграмма работы микросхемы TP2

гер имеет информационные входы J и K, счетный вход C, прямой Q и инверсный $\bar{Q}$ выходы. Принцип работы ТВ10 аналогичен принципу работы ТВ9.

Микросхема ТВ11 включает два триггера JK, переключающиеся по срезу сигнала синхронизации. Каждый триггер имеет информационные входы J и K, установочный вход S, общие для обоих триггеров, тактовый вход C и установочный вход R, прямой Q и инверсионный $\bar{Q}$ выходы. Работа триггера ТВ11 аналогична принципу работы

Таблица 3.6

t_n				t_{n+1}	
J	K	S	C	Q	$\bar{Q}$
d	d	1	0	Q_n	$\bar{Q}_n$
d	d	1	1	Q_n	$\bar{Q}_n$
d	d	0	d	1	0
0	0	1	$\bar{L}$	Q_n	Q_n
0	1	1	$\bar{L}$	0	1
1	0	1	$\bar{L}$	1	0
1	1	1	$\bar{L}$	$\bar{Q}^*$	Q_n^*

Таблица 3.7

t_n					t_{n+1}	
S	K	S	R	G	Q	$\bar{Q}$
d	d	1	1	0	Q_n	$\bar{Q}_n$
d	d	1	1	1	Q_n	$\bar{Q}_n$
d	d	0	0	1	X	X
d	d	0	1	d	1	0
d	d	1	0	d	0	1
0	0	1	1	$\bar{L}$	Q_n	$\bar{Q}_n$
0	1	1	1	$\bar{L}$	0	1
1	0	1	1	$\bar{L}$	1	0
1	1	1	1	$\bar{L}$	$\bar{Q}_n^*$	Q_n^*

ТВ9. Таблица истинности ИС ТВ10, ТВ11 приведена в табл. 3.6—3.7.

Микросхема ТМ2 является универсальным D-триггером с однофазным приемом информации и с независимой установкой в состояние низкого и высокого уровней. Логическая структура D-триггера (рис. 3.15) содержит следующие элементы: основной асинхронный RS-триггер (ТЗ); вспомогательный синхронный RS-триггер записи высокого уровня в основной триггер Т1; вспомогательный синхронный RS-триггер записи низкого уровня в основной триггер (Т2).

Запись информации в D-триггере происходит по фронту импульса синхронизации. С приходом фронта импульса синхронизации в момент времени t информация, поступающая на вход D, принимается во все вспомогательные триггеры Т1, Т2, но на выходе появляется с задержкой в момент времени $t+1$: $Q(t+1) = D(t)$. Таким образом D-триггер следит за изменением входной информации в момент прихода фронта импульса синхронизации.

Микросхемы ТМ5, ТМ7 представляют собой четыре D-триггера, входы синхронизации которых попарно соединены (рис. 3.16, а). Они используются в основном в качестве 4-разрядного регистра хранения информации с попарным тактированием разрядов, а также в качестве буферной памяти и элемента задержки. Информация, поступающая на входы D1—D4 передается на выход при наличии высокого уровня на входе синхронизации. При низком уровне на входе синхронизации на

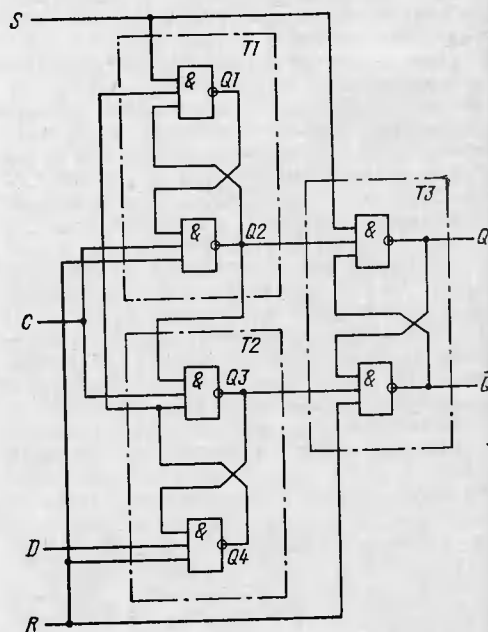


Рис. 3.15. Логическая структура микросхемы ТМ2

выходе сохраняется предыдущее состояние. Микросхема ТМ7 имеет дополнительные инверсные выходы $\overline{Q1}$ — $\overline{Q4}$. Диаграмма ее работы приведена на рис. 3.16, б.

Микросхема ТМ8 представляет собой четыре триггера D, ИС ТМ9 — шесть триггеров D. Микросхемы ТМ8, ТМ9 имеют общие шины для всех разрядов по входам синхронизации и установки в состояние низкого уровня. Запись информации осуществляется по фронту сигнала синхронизации на входе С. При низком уровне на входе С на выходе сохраняется предыдущее состояние. В отличие от ИС ТМ9 ИС ТМ8 имеет прямые и инверсные выходы. Режим работы ИС ТМ8, ТМ9 приведен в табл. 3.8.

Формирователи. Микросхемы АГ1, АГ3 представляют собой одновибратор с логическим элементом на входе, на выходе которого появляется импульс после поступления на его входы запускающих импуль-

Таблица 3.8

t			t+1	
Входы			Выходы	
С	R	D _i	Q _i	Q _i
0	1	×	Q _n	Q _n
┐	1	1	1	0
┐	1	0	0	1
×	0	×	0	1

Примечание. × — безразличное состояние;

┐ — переход от низкого уровня к высокому.

Таблица 3.9

Режим на входах					Режим на выходе				
до изменения состояния			после изменения состояния		до изменения состояния на входах	после изменения состояния на входах		6	6
3	4	5	3	4		3	4		
1	1	0	1	1	1	0	0	0	0
0	×	1	0	×	0	0	0	0	0
×	0	1	×	0	0	0	0	0	0
0	×	0	0	×	1	0	0	┐	┐
×	0	0	×	0	1	0	0	┐	┐
1	1	1	×	0	1	0	0	┐	┐
1	1	1	0	×	1	0	0	┐	┐
×	0	0	×	1	0	0	0	0	0
0	×	0	1	×	0	0	0	0	0
×	0	1	1	1	1	0	0	0	0
0	×	1	1	1	1	0	0	0	0
1	1	0	×	0	0	0	0	0	0
1	1	0	0	×	0	0	0	0	0

Примечание. ┐ — одиночный импульс

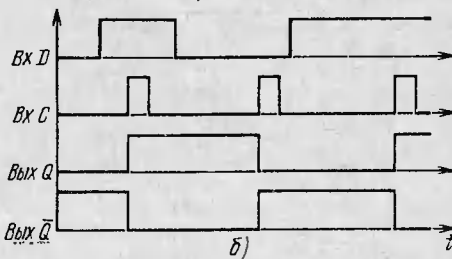
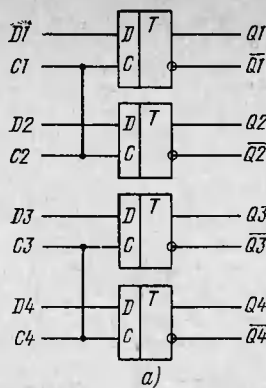


Рис. 3.16. Логическая структура микросхем ТМ5, ТМ7 (а) и временные диаграммы работы (б)

сов. Микросхема АГ1 имеет входы запуска А1, А2 (входы управления — выводы 3, 4) и вход С (вход синхронизации — вывод 5). Работа ИС описывается таблицей истинности (табл. 3.9). Как видно из таблицы переброс схемы происходит в двух случаях: если на одном из входов А1 или А2 (или на обоих сразу) — низкий уровень, а на вход С поступает сигнал синхронизации положительной полярности или если на входе С присутствует сигнал синхронизации, а на входах А1 и А2 высокий уровень сигнала меняется на низкий (или хотя бы на одном из них). В исходном состоянии на выходе Q (вывод 6) низкий уровень сигнала, на выходе $\overline{Q}$ (вывод 1) — высокий. Микросхема работает в двух режимах. В первом режиме длительность выходного импульса определяется внутренними параметрами схемы и составляет 20—30 нс, выводы 10, 11 — свободны, вывод 9 подключен к выводу 14. В этом случае отсутствует регулировка длительности импульса. Во втором режиме длительность выходного импульса определяется внешними элементами R и C: $\tau = 0,7 RC$. Конденсатор C включается между выводами 10 и 11, резистор R между выводами 11 и 14.

Сдвоенный одновибратор с повторным запуском ИС АГ3 характеризуется длительностью выходного импульса, управляемого следующими способами:

1. Длительность выходного импульса задается подбором внешних резистора и кон-

Таблица 3.10

Сброс	Входы		Выходы	
	A	B	Q	$\bar{Q}$
0	×	×	0	1
×	1	×	0	1
×	×	0	0	1
1	0	1	1	0
1	1	1	1	0
1	0	1	1	0

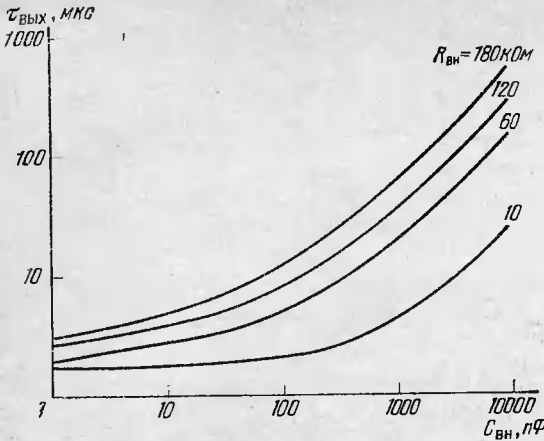


Рис. 3.17. График зависимости длительности выходного импульса от емкости внешнего конденсатора для микросхем АГЗ

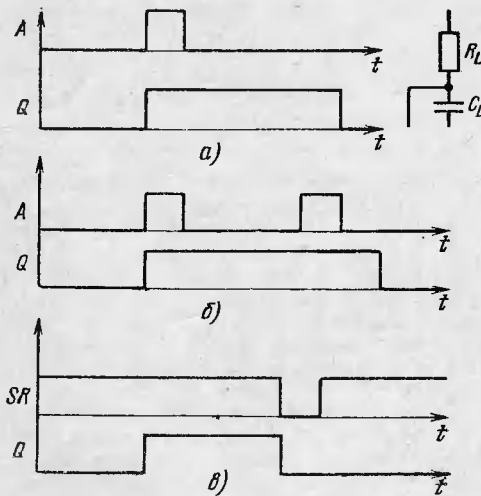


Рис. 3.18. Временные диаграммы запуска (а), повторного запуска (б) и стирания (в) микросхемы АГЗ

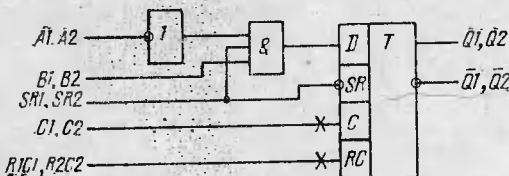


Рис. 3.19. Логическая структура микросхемы АГЗ

денсатора. При $C_L \geq 1000$ пФ длительность импульсов $\tau_{\text{вых}} \approx 0,45 R_L C_L$. При $C_L \leq 1000$ пФ $\tau_{\text{вых}}$ определяется из характеристик рис. 3.17. Запуск одновибратора осуществляется по инвертирующему или неинвертирующему входу. Подключение времязадающих элементов к ИС показано на рис. 3.18, а.

2. Длительность выходного импульса задается повторным запуском или стиранием (рис. 3.18, б, в). Повторный запуск также осуществляется по инвертирующему или неинвертирующему входу. При этом второй запускающий импульс должен подаваться в течение времени, соответствующему времени запуска $t_{\text{зап}} < \tau_{\text{вых}}$ для выбранной пары внешних элементов, а досрочное стирание осуществляется по входам SR1 и SR2. Длительность выходного импульса можно уменьшить до минимального значения, которое определяется быстродействием ИС.

Из таблицы истинности (табл. 3.10), поясняющей функционирование одновибратора, видно, что при работе схемы от неинвертирующего входа (B1, B2), на инвертирующий вход (A1, A2) необходимо подавать напряжение низкого уровня, а на входе «Сброс» (SR1, SR2) — напряжение высокого уровня. При этом устройство срабатывает при переходе сигнала на входе из состояния лог. 0 в состояние лог. 1. Логическая структура микросхемы приведена на рис. 3.19, а схемы расширителей входного импульса — на рис. 3.20.

Счетчики. Микросхема ИЕ2 (рис. 3.21) состоит из четырех триггеров, внутренние соединенных для деления на 2 и 5. Установочные входы осуществляют запрет счета по счетным входам и возвращение всех выходов в состояние низкого уровня или отсчет двоично-десятичного числа 9. Так как выход Q1 внутренне не соединен с последующими триггерами, то можно осуществить три независимых режима работы.

1. Использование ИС как двоично-десятичного счетчика. В этом случае вход C2 должен быть внешне соединен с выходом Q1. На вход C1 поступают счетные импульсы и счетная последовательность реализуется

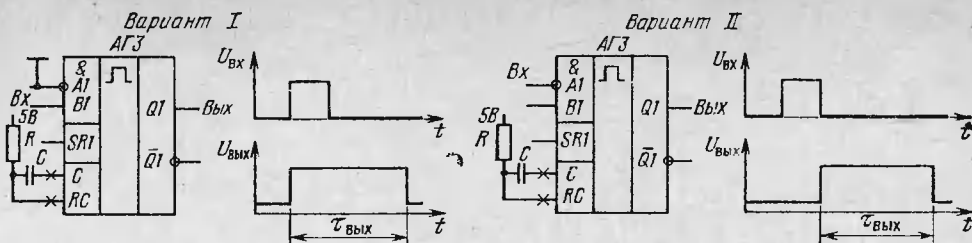


Рис. 3.20. Схемы расширителей входного импульса

в соответствии с таблицей истинности, приведенной в табл. 3.11, 3.12.

2. Деление выходного импульса на 10 со скважностью 2. При этом выход Q4 должен быть внешне соединен со входом C1, а входные счетные импульсы подаются на вход C2. Требуемый сигнал снимается с выхода Q1.

3. Деление на 2 и 5. В этом случае не требуется внешних соединений. Триггер А используется как двоичный элемент для деления на 2, вход C2 — для деления на 5. Оба счетчика работают независимо.

Микросхема ИЕ4 (рис. 3.22) состоит из четырех триггеров JK, которые внутри ИС объединены так, чтобы получить деление на 2 и 6, имеющих общую установку в 0. Чтобы произвести деление на 12 выход 1 соединяют со входом C2. При этом происходит одновременное деление на 2, 6 и 12 (выходы Q1, Q3, Q4 соответственно). Когда счетчик используют как делитель на 6 и 3 (выходы Q3, Q4 соответственно), входную последовательность импульсов подают на вход C2 (выводы Q1 и C2 не соединяют). Таблица истинности приведена в табл. 3.13.

Таблица 3.11

Счет	Выходы				Счет	Выходы			
	Q4	Q3	Q2	Q1		Q4	Q3	Q2	Q1
0	0	0	0	0	5	0	1	0	1
1	0	0	0	1	6	0	1	1	0
2	0	0	1	0	7	0	1	1	1
3	0	0	1	1	8	1	0	0	0
4	0	1	0	0	9	1	0	0	1

Таблица 3.12

Входы установки				Выходы			
R0 (1)	R0 (2)	R9 (1)	R9 (2)	Q4	Q3	Q2	Q1
1	1	0	×	0	0	0	0
1	1	×	0	0	0	0	0
×	×	1	1	1	0	0	1
×	0	×	0				
0	×	0	×				
0	×	×	0				
×	0	0	×				

Микросхема ИЕ5 (рис. 3.23) состоит из четырех триггеров JK, которые внутренне соединены для образования счетчика делителя на 2 и 8. Установочные входы обеспечивают прекращение счета и одновременно возвращают все четыре триггера в состояние низкого уровня (на входы R (0)1, R (0)2 — подают высокий уровень). Так как выход Q1 внутренне не соединен с последующими триггерами, то можно осуществить два независимых режима работы. При использовании микросхемы как 4-разрядного двоичного счетчика входные счетные импульсы поступают на вход C1. Одновременное деление на 2, 4, 8 и 16 выполняется по выходам Q1, Q2, Q3, Q4, как показано в таблице истинности (табл. 3.14). При использовании микросхемы как 3-разрядно-

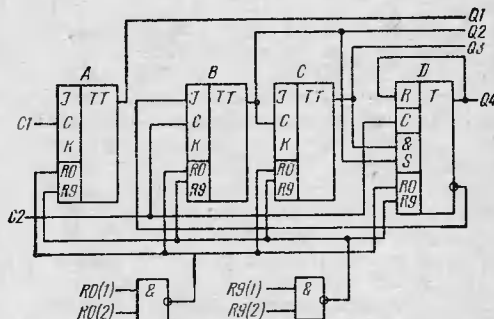


Рис. 3.21. Логическая структура микросхемы ИЕ2

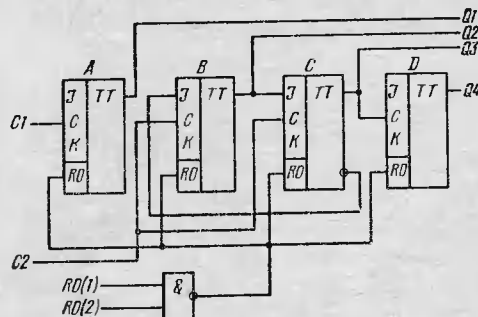


Рис. 3.22. Логическая структура микросхемы ИЕ4

Таблица 3.13

Счет	Выходы				Счет	Выходы			
	Q4	Q3	Q2	Q1		Q4	Q3	Q2	Q1
0	0	0	0	0	6	1	0	0	0
1	0	0	0	1	7	1	0	0	1
2	0	0	0	1	8	1	0	1	0
3	0	0	1	1	9	1	0	1	1
4	0	1	0	0	10	1	1	0	0
5	0	1	0	1	11	1	1	0	1

Таблица 3.14

Счет	Выходы				Счет	Выходы			
	Q4	Q3	Q2	Q1		Q4	Q3	Q2	Q1
0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1

го двоичного счетчика счетные импульсы поступают на вход С2. Триггер А можно использовать как двоичный элемент для деления на 2.

Логические структуры и временные диаграммы работы микросхем ИЕ6 и ИЕ7 — счетчиков приведены на рис. 3.24—3.27.

Основной особенностью данных счетчиков является их построение по синхронному принципу, при котором все триггеры переключаются одновременно от одного счетного импульса. Счетный разряд построен на основе типового триггера JK. Направление счета определяется тем, на какой из счетных входов (вывод 3 или 4) подается импульс. В это время на другом счетном входе поддерживается высокий уровень напряжения. Наличие информационных входов (выводы 1, 9, 10, 15) и входа предварительной записи (вывод 11) позволяют осуществлять предварительную запись в счетчики (предустановку) необходимого числа (в пределах емкости счетчика) по-

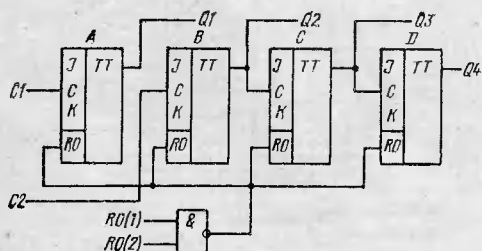


Рис. 3.23. Логическая структура микросхемы ИЕ5

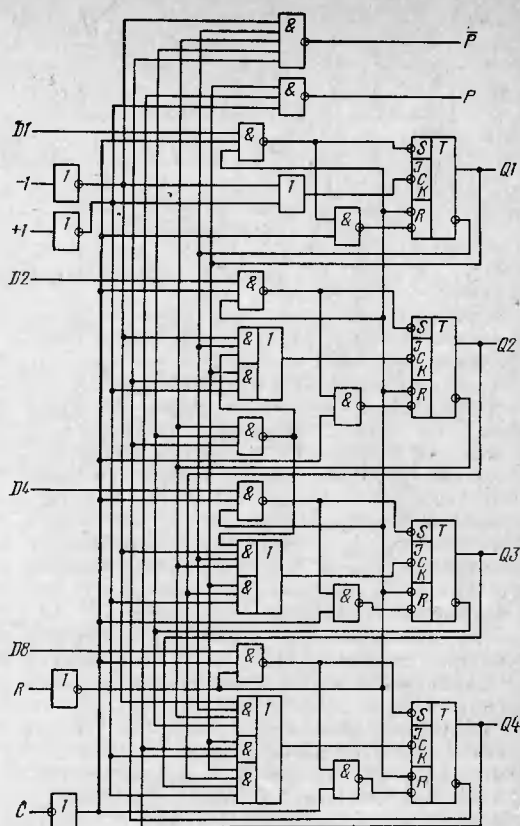


Рис. 3.24. Логическая структура микросхемы ИЕ6

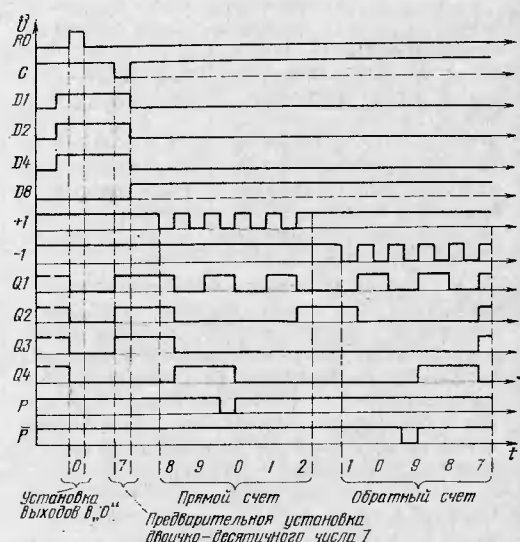


Рис. 3.25. Временная диаграмма микросхемы ИЕ6

дачей соответствующих данных на информационные входы и положительного импульса на вход предварительной записи, следующего с некоторой задержкой относительно информационных сигналов (не менее 20 нс). Выходные сигналы будут изменяться в соответствии с сигналами на информационных входах независимо от информации на счетных входах.

Вход установки 0 (вывод 14) предназначен для установки счетчика в код 0000, когда на этот вход подан высокий уровень напряжения. Работа счетчика по входу установки 0 осуществляется независимо от состояний счетных входов и входа предварительной записи. Для построения счетчика с большей разрядностью используются выходы прямого и обратного переноса (выводы 12 и 13). С выхода прямого переноса импульсы переноса подаются на вход прямого счетчика следующего каскада. Аналогично, импульсы обратного переноса подаются на вход обратного счета следующего каскада. Входы предварительной записи и установки 0 каждой ИС при каскадном включении схемы объединяются в отдельные шины.

Делитель частоты с переменным коэффициентом деления ИЕ8 (рис. 3.28) включает 6-разрядный счетчик (триггеры которого переключаются все время, пока подаются счетные импульсы) и логическую схему, которая обеспечивает выдачу на вход схемы заданного числа импульсов. Частоту и число импульсов на выходе при подаче на счетный вход С последовательности из 64 импульсов определяют по формуле

$$f_{\text{вых}} = M f_{\text{вх}} / 64, \text{ где } M = V32 \cdot 2^3 + V16 \cdot 2^4 +$$

$$+ V8 \cdot 2^3 + V4 \cdot 2^2 + V2 \cdot 2^1$$

$+ V1 \cdot 2^0$. Таким образом, в зависимости от комбинации напряжений логических уровней на входах умножения V1, V2, V4, V8, V16, V32 на выходах Z и Y (выводы 5 и 6) получим 1, 2, 4, 8, 16, 32 положительных или отрицательных импульсов или любую их сумму. На входы T и V (выводы 10 и 11) при этом должно быть подано напряжение низкого уровня. На выходе разрешения счета (вывод 7) получаем отрицательный импульс после подачи последовательности из 64 импульсов.

Микросхема ИЕ9 — синхронный десятичный счетчик с возможностью синхронной установки в произвольное состояние от 0 до 9 асинхронным сбросом и с дешифрирующим счетным выходом. Структурная схема ИС ИЕ9 (рис. 3.29) регулярная, каждый из четырех разрядов имеет совершенно аналогичное построение. В качестве запоминающего элемента используется триггер JK с внутренней задержкой. Счетчик устанавливается в предварительное состояние при наличии на контрольном входе $\bar{I}$ низкого уровня. В этом случае разрешена подача сигналов на входы J и K триггеров через входы предваритель-

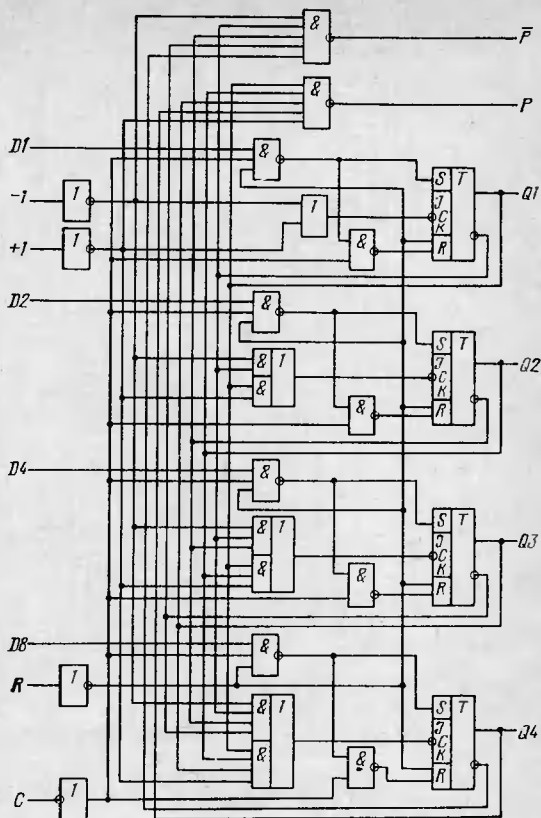


Рис. 3.26. Логическая структура микросхемы ИЕ7

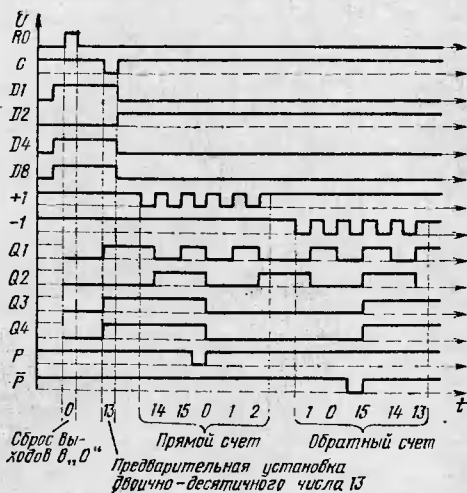


Рис. 3.27. Временная диаграмма микросхемы ИЕ7

ной установки D1 — D4. Эти сигналы передаются на выходы Q1 — Q4 при поступлении положительного перепада тактового импульса на вход синхронизации. Счет происходит при наличии на входах R, T и $\bar{L}$ высокого уровня. Схема устанавливается в нулевое состояние подачей на вход R напряжения, соответствующего низкому уровню. В режиме записи на шину $\bar{L}$ подается высокий уровень, а состояния входов R и T могут быть любыми. Для осуществления переноса импульсов в следующий каскад предусмотрена схема И, имеющая три входа: вход разрешения переноса и два входа, которые соединяются с выходами Q1 и Q4 счетчика. При поступлении девятого счетного импульса на выходе CR появляется лог. 1, а после десяти, когда счетчик устанавливается в нуль, — лог. 0. Таким образом, на каждые десять счетных импульсов формируется один импульс переноса на вход счетчика старшего разряда. Временная диаграмма счетчика представлена на рис. 3.30.

Микросхема ИЕ10 построена на основе четырех триггеров D, управляемых фронтом импульса по входу С. Данный триггер относится к классу триггеров MS и состоит из основного и вспомогательного триггеров. По фронту импульса синхронизации происходит запись информации с входа D в основной триггер и передача информации из основного триггера во вспомогательный (рис. 3.31). Перед началом счета выходы счетчика могут быть предварительно установлены в любое состояние. Предварительная установка счетчика является синхронной, т. е. при поступлении разрешающего сигнала (низкого уровня) на вход V2 счетчик блокируется, и с приходом очередного импульса синхронизации выходы триггеров устанавливаются в состояние, определяемые информационными входами D1 — D4 счетчика независимо от состояния на входах разрешения V1 и P1. Вход R служит для установки счетчика в состояние низкого уровня. Установка в 0 данного счетчика является асинхронной, т. е. низкий уровень на входе R приводит к установке всех триггеров в нуль независимо от синхроимпульса и состояний на любых других входах. Управление режимов счета осуществляется с помощью двух входов V1 и P1. В режиме счета на обоих входах должен быть высокий уровень.

Схема переноса позволяет организовать на основе данных счетчиков каскадные счетчики на n разрядов без применения дополнительных логических схем. Вход P1 непосредственно управляет выходом схе-

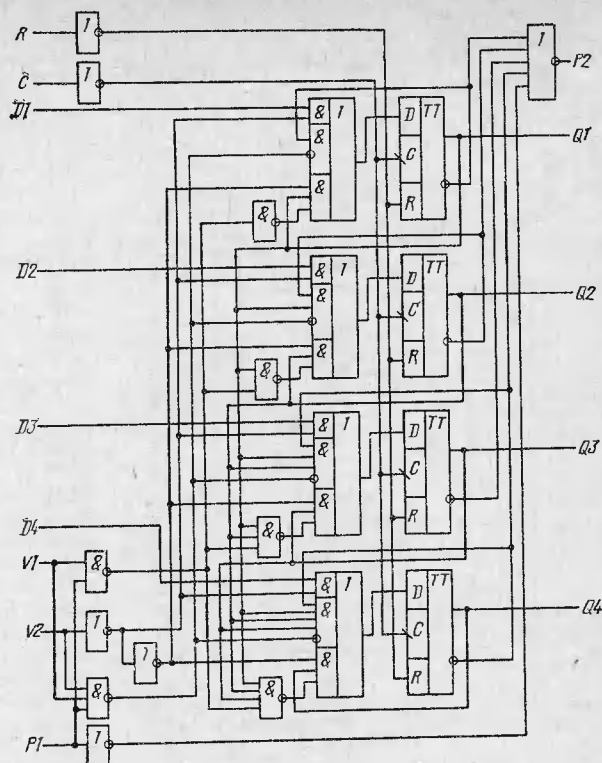


Рис. 3.31. Логическая структура микросхемы ИЕ10

мы переноса. Для осуществления переноса необходимо, чтобы на входах V1 и P1 был сигнал высокого уровня. Если вход разрешает перенос, то на выходе P2 схемы переноса при достижении последней кодовой комбинации вырабатывается положительный импульс переноса длительности, приблизительно равной длительности положительного импульса на выходе Q4. Этот положительный импульс переноса, свидетельствующий о переполнении счетчика, может быть использован в качестве разрешающего для последующих ступеней. Режим работы ИС ИЕ10 приведен в табл. 3.15.

Микросхема ИЕ14 (рис. 3.32) состоит из четырех триггеров MS. Счетный режим

Таблица 3.15

R	Входы				V1	V2	P1	Выходы				P2
	D1	D2	D3	D4				Q4	Q3	Q2	Q1	
1	0	0	0	0	1	0	1	0	0	0	0	0
1	1	1	1	1	0	0	1	1	1	1	1	1
1	0	1	1	1	1	0	1	1	1	1	0	1
1	1	0	1	1	1	0	1	1	1	0	1	0
1	1	1	0	1	1	0	1	1	0	1	1	0
1	1	1	1	0	1	0	1	0	1	1	1	0
1	1	1	1	1	1	0	0	1	1	1	1	0

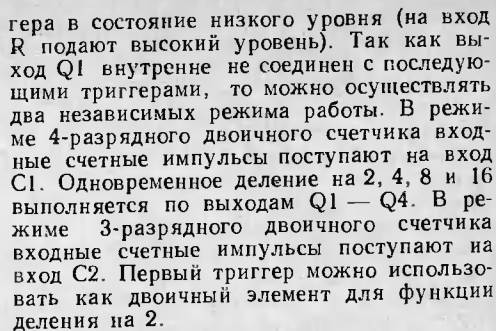


Рис. 3.32. Логическая структура микросхемы ИЕ14

Вход разрешения предварительной установки Е позволяет начинать счет с произвольной цифры или от нуля до девяти. Такая организация дает возможность использовать ИС ИЕ14 в режиме 4-разрядных регистров-защелок. Режим работы ИС ИЕ14 приведен в табл. 3.16.

[illegible]

Рис. 3.33. Логическая структура микросхемы ИЕ15

Счет	Выходы				Счет	Выходы			
	Q4	Q3	Q2	Q1		Q4	Q3	Q2	Q1
0	0	0	0	0	5	0	1	0	1
1	0	0	0	1	6	0	1	1	0
2	0	0	1	0	7	0	1	1	1
3	0	0	1	1	8	1	0	0	0
4	0	1	0	0	9	1	0	0	1

Т а б л и ц а 3.17

Режим работы	Входы				
	EWR	SERD	ERD	ECR	C
Параллельная запись	0	×	×	×	⌋
Счет в режиме суммирования	1	1	0	0	⌋
Счет в режиме вычитания	1	0	0	0	⌋
Хранение	1	×	1	×	×
Хранение, за- чет переноса	1	×	×	1	×

С приходом высокого уровня на вход EWR запрещается занесение новой информации в счетчик. Направление счета определяется состоянием входа SERD. Если на вход SERD подан высокий уровень, то счетчик работает в режиме суммирования, и изменение состояния счетчика происходит в последовательности двоично-десятичного счета от 0 до 9 по каждому положительному перепаду входного счетного импульса. Если на вход SERD подан низкий уровень, то счетчик работает в режиме вычитания, и изменение состояния счетчика происходит в обратном порядке по каждому положительному перепаду счетного импульса. Низкий уровень на входе ECR отпирает выход переноса, на котором формируется импульс отрицательной полярности. Длительность импульса переноса на выходе CR равна периоду тактовой частоты. Режим работы ИС ИЕ16 приведен в табл. 3.17.

Микросхема ИЕ17 имеет четыре информационных входа параллельной записи D1, D2, D4, D8, вход разрешения записи EWR, тактовый вход С, управляющий вход выбора направления счета SERD, вход разрешения счета ERD, вход разрешения переноса ECR, выход переноса CR и четыре выхода каждого разряда счетчика 1, 2, 4, 8. Предварительная установка счетчика обеспечивается подачей сигналов на входы параллельной записи D1 — D8 при наличии на входе EWR низкого уровня и осуществляется по положительному перепаду

Таблица 3 18

Режим работы	Входы				
	EWR	SERD	ERD	ECR	С
Параллельная запись	0	×	×	×	—
Счет в режиме суммирования	1	1	0	0	—
Счет в режиме вычитания	1	0	0	0	—
Хранение	1	×	1	×	×
Хранение за прет переноса	1	×	×	1	×

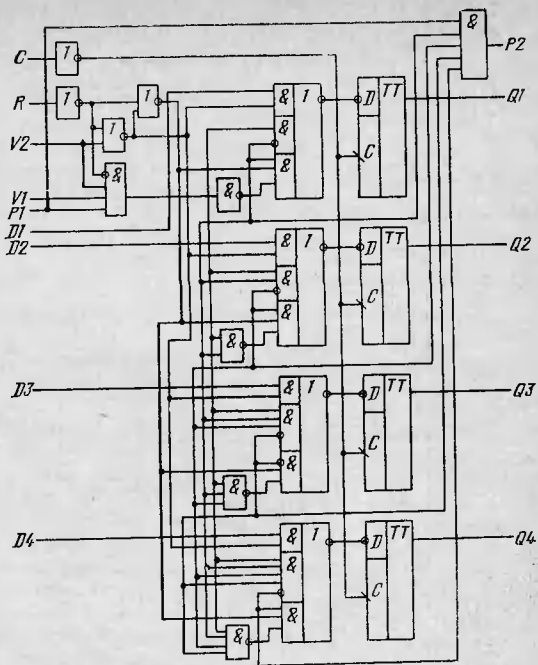


Рис. 3.34. Логическая структура микросхе-
мы ИЕ18

импульса на входе С. Синхронная работа счетчика достигается тем, что изменение состояния выходов триггеров осуществляется одновременно по положительному перепаду счетного импульса. Такой режим работы исключает появление промежуточных кодовых комбинаций, которые обычно присущи асинхронным счетчикам вследствие последовательного переключения триггера. С приходом высокого уровня на вход EWR запрещается занесение новой информации в счетчик. Направление счета определяется состоянием входа SERD. Если на вход SERD подан низкий уровень, то счетчик работает в режиме вычитания. При высоком уровне на входе SERD счетчик работает в режиме суммирования. Низкий уровень на входе ECR отпирает выход переноса, на котором формируется импульс отрицательной полярности. Длительность импульса переноса на выходе CR равна периоду тактовой частоты. Режим работы счетчика приведен в табл. 3.18.

Логическая структура ИС ИЕ18 приведена на рис. 3.34 В счетчике используется четыре триггера D. Синхронизируемых срезов синхронимпульса, проходящего через инвертор со входа синхронизации С. Предварительная установка счетчика и установка в 0 являются также синхронными, т. е. осуществляются с приходом синхронимпульса на вход С при наличии разрешающих сигналов на входах V2 и установок R соответственно. Управление режимом счета осуществляется с помощью двух входов

Таблица 3 19

Режим работы	Сигналы управления		
	V2	C1	C2
Запись параллельным кодом	1	×	⌋
Запись последовательным кодом (сдвиг)	0	⌋	×

разрешения счета V и разрешения переноса P1. В режиме счета на обоих входах должен быть высокий уровень.

Регистры. В микросхеме ИР1 каждый разряд образован синхронным двухступенчатым триггером RS с логикой на входе (рис. 3.35). Регистр сдвига позволяет реализовать следующие режимы работы: запись информации параллельным кодом; сдвиг вправо; сдвиг влево. Управление режимом работы регистра осуществляется по входам V1, V2, C1, C2 (выводы 1, 6, 9, 8).

Для записи в регистр информации параллельным кодом следует на вход управления режимом V2 подать напряжение высокого уровня, а информационные сигналы на входы D1 — D8. Напряжение на входах

C1, V1 может быть любым. Для сдвига записанной параллельным кодом информации вправо тактовые импульсы подаются на вход C2 (вывод 8). При этом на входе V2 (вывод 6) следует поддерживать напряжение высокого уровня. При операциях с данными, представленными в последовательном коде, входную информацию в виде последовательности импульсов подают на вход информации V1 (вывод 1), тактовые импульсы на вход синхронизации C1 (вывод 9), а на входах V2, D1 — D8 поддерживают напряжение низкого уровня. Режимы работы ИС ИР1 при различных видах записи информации представлены в табл. 3.19.

При сдвиге влево на вход выбора режима V2 подается напряжение высокого уровня, которое блокирует прохождение тактовых импульсов для сдвига вправо. Если при этом на входы параллельного кода разрядов D1 — D8 не подавать параллельный код числа, а выход последнего разряда соединить с входом параллельного кода предыдущего разряда, его выход с аналогичным входом предшествующего ему разряда и т. д., то получим регистр сдвига влево. Входом последовательного кода в этом случае служит вход параллельного кода последнего разряда регистра сдвига.

Микросхемы ИР1 могут быть использованы в качестве основного элемента в арифметических устройствах буферной памяти, элемента задержки на n тактов, преобразователя последовательных кодов в параллельные и наоборот, делителя частоты, закольцованного распределителя импульсов и т. д.

Микросхема ИР13 построена на триггерах RS.

На рис. 3.36 приведена логическая структура реверсивного регистра с одноканальным сдвигом. Каждый из триггеров имеет схемы управляющей логики И — ИЛИ — НЕ. Через одну логическую схему осуществляется прямая последовательная передача информации в регистре от старших разрядов к младшим, а через другие — обратная последовательная передача информации в регистре от младших разрядов к старшим. Информация на каждый разряд поступает по двум каналам (прямо и инверсному), тактирующие импульсы открывают логические схемы прямого и инверсного каналов одновременно. Регистр является одноканальным и характеризуется тем, что при поступлении одного тактового импульса обеспечивается сдвиг одновременно всего числа на один разряд вправо или влево. Для записи числа в регистр в параллельном коде используются входы D0 — D7. Так как в регистре может осуществляться и последовательная запись кода числа, то для этой цели используются входы DR (вход последовательного сдвига вправо) для записи кода числа, начиная с младших разрядов и D1 (вход последовательного сдвига влево), начиная со старших разрядов. В схеме регистра исполь-

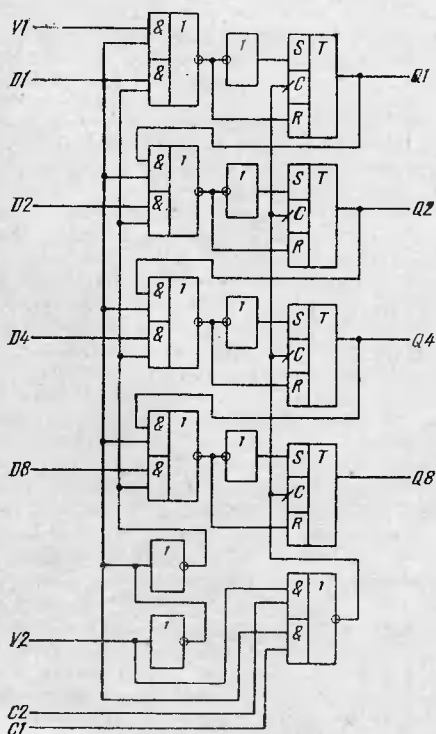


Рис. 3.35. Логическая структура микросхемы ИР1

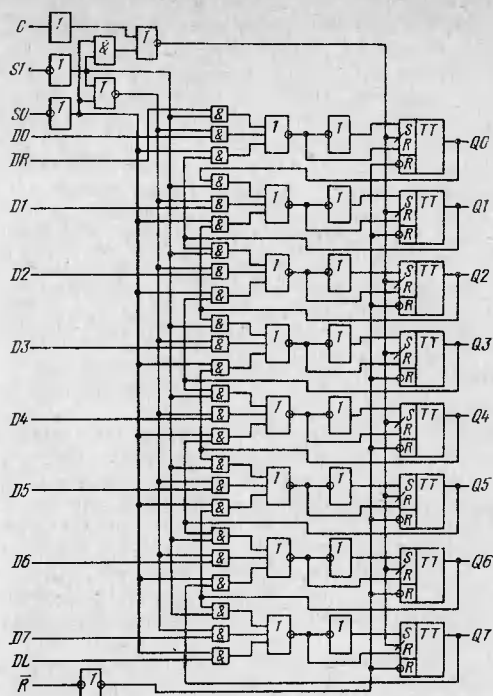


Рис. 3.36. Логическая структура микросхемы ИР13

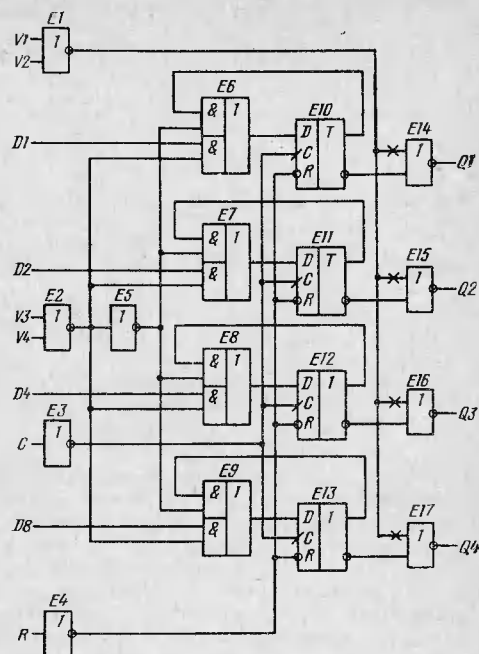


Рис. 3.37. Логическая структура микросхемы ИР15

зуются режимные входы S0 и S1, определяющие функции регистра, вход синхронизации C, а также вход $\bar{R}$ (установка в 0) и восемь параллельных выходов Q0 — Q7. Регистр может выполнять четыре операции: параллельный ввод информации; сдвиг вправо (в направлении от Q0 до Q7); сдвиг влево (в направлении от Q7 до Q0); запрет тактирования.

Синхронный параллельный ввод 8 бит информации осуществляется при наличии на режимных входах S0 и S1 напряжения высокого уровня. Информация поступает в соответствующий триггер и появляется на выходах с приходом фронта синхронимпульса на вход C. Сдвиг вправо происходит синхронно при подаче фронта импульса синхронизации, когда на входе S0 — высокий уровень, а на входе S1 — низкий. Последовательная информация в этом случае поступает на вход DR. Когда на входе S0 низкий уровень, а на входе S1 высокий, информация сдвигается влево синхронно и новая информация поступает на вход DL. Тактирование триггера запрещается, когда на режимных входах S0 и S1 — низкий уровень. Операция регистра может быть изменена только в том случае, когда на вход синхронизации C подан высокий уровень.

Микросхема ИР15 (рис. 3.37) состоит из: четырех триггеров D; четырех выходных элементов (E14 — E17), которые могут на-

ходить в одном из следующих состояний на выходе $U_{\text{вых}}^0$, $U_{\text{вых}}^1$ и полного внутреннего сопротивления, при котором схема полностью отключается от нагрузки; логической схемы E1, осуществляющей управление выходами; четырех элементов 2—2И—2ИЛИ (E6 — E9), через которые происходит параллельная запись информации, поступающей по входам регистра (E10 — E13); схемы разрешения записи данных, состоящей из вентиля (E2) и инвертора (E5); инвертора (E3), через который поступают тактовые импульсы на входы синхронизации триггеров регистра; инвертора (E4), осуществляющего «сброс» триггеров регистра. Режим работы приведен в табл. 3.20.

Когда на входах разрешения данных V3, V4 имеется низкий уровень, информация через соответствующие элементы E6 — E9 поступает на D-входы триггеров E10 — E13, и после прихода импульса синхронизации на вход C (вывод 7) заносится в соответствующие триггеры регистра. Если на одном из входов V1, V2 (выводы 1, 2) схемы E1 имеется высокий уровень, то выходы регистра находятся в третьем состоянии, независимо от состояний триггеров регистра. Раздельная установка всех триггеров регистра в состояние низкого уровня осуществляется по входу «Сброс» (вывод 15).

Микросхема ИР17 (рис. 3.38) может применяться как в аналого-цифровых преобразователях (АЦП), так и в цифровых уст-

Таблица 3.20

Сброс R	Синхронизация C	Разрешение данных		Информационные входы D	Управляющие выходы		Выход Q_{n+1}
		V3	V4		V1	V2	
1	X	X	X	X	0	0	0
0	0	X	X	1	0	0	Q_n
0	0	X	X	0	0	0	Q_n
0	1	1	X	X	0	0	Q_n
0	1	X	1	X	0	0	Q_n
0	1	0	0	0	0	0	0
0	1	0	0	1	0	0	1
X	X	0	X	X	1	X	Z
X	X	X	X	X	X	1	Z

Примечание. Z — выключенное состояние выхода — состояние отключения от нагрузки.

ройствах в качестве преобразователя последовательного кода в параллельный, кольцевого счетчика и схемы управления в повторяющихся цифровых программах. Микросхема ИР17, работая как последовательно-параллельный преобразователь, принимает информацию на вход данных (вход D) и пересылает ее к соответствующему разряду регистра при положительном импульсе синхронизации (вход C). Запись информации в регистр осуществляется последовательно, начиная со старшего разряда Q11. Одновременно с ее поступлением на один из разрядов регистра следующий, более младший разряд сбрасывается в состояние низкого уровня, что сигнализирует о его готовности принимать информацию при следующем положительном импульсе синхронизации. В исходное состо-

яние регистр устанавливается при поступлении на стартовый вход (вход $\bar{S}$) низкого уровня, при этом старший разряд регистра устанавливается в состояние низкого уровня, а остальные разряды — в состояние высокого уровня. О заполнении регистра и завершении цикла преобразования сигнализирует низкий уровень на выходе завершения преобразования (выход $\overline{CO}$). При этом разряды регистра блокируются от входов D и C, а записанная информация хранится до начала нового цикла преобразования (поступления низкого уровня на вход E). Для непрерывного преобразования выход $\overline{CS}$ внешне объединяется со входом $\bar{S}$. Режим работы микросхемы приведен в табл. 3.21.

Микросхема ИР26 представляет собой регистровый файл, построенный как четыре слова по четыре разряда каждый. Это обеспечивает раздельное декодирование и адресацию четырех слов как для записи, так и для считывания информации и позволяет одновременно записывать по одному адресу и считывать по другому. Режим работы микросхемы приведен в табл. 3.22, 3.23.

Микросхема имеет четыре информационных входа D1 — D4 (рис. 3.39), используемые для записи четырех разрядных слов. Расположение слова определяется адресными входами SEWB и SEWA совместно с сигналом на входе EWR. Триггерные входы выполнены так, что новая информация будет получена лишь при наличии на внутренних выводах адресных схем сигнала высокого уровня. При этом информация на входах D переходит к выходу триггера. Если на входе EWR высокий уровень, информационные входы D1 — D4 регистро-

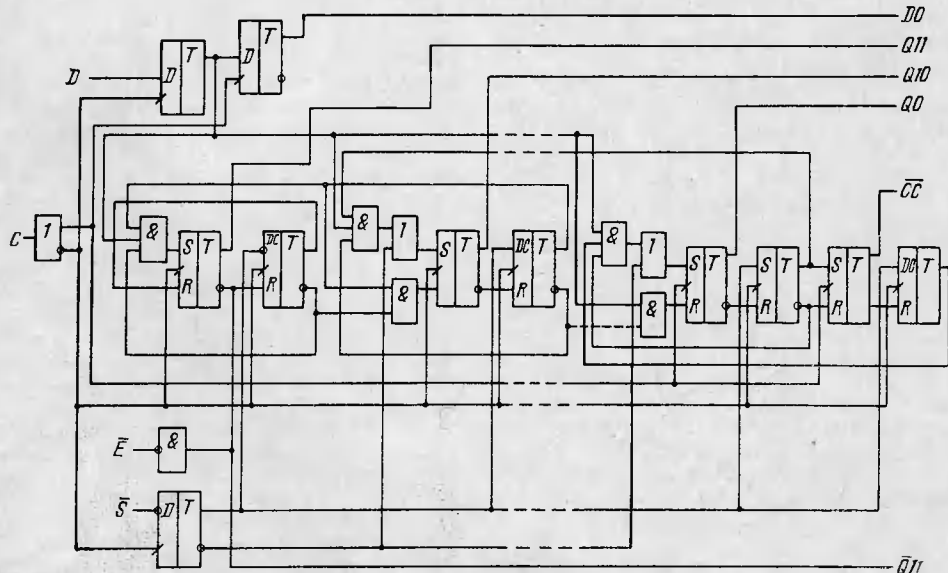


Рис. 3.38. Логическая структура микросхемы ИР17

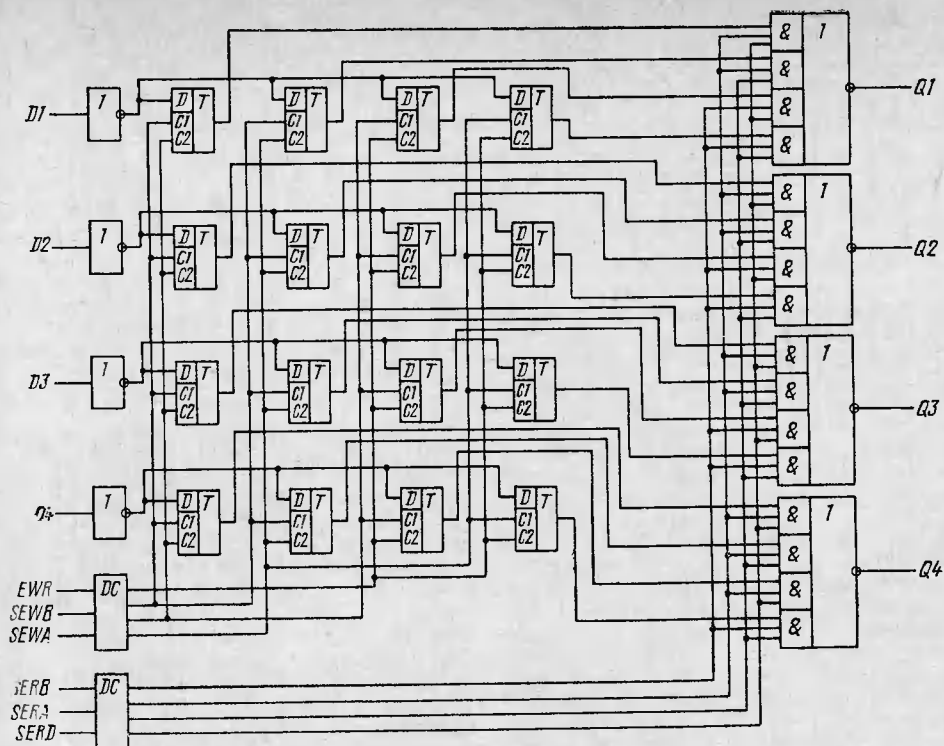


Рис. 3.39. Логическая структура микросхемы ИР26

Таблица 3.21

t_n	Входы			Выходы															
	D	$\bar{S}$	$\bar{E}$	D0	Q11	Q10	Q9	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Q0	$\bar{CC}$		
0	X	0	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X		
1	D1	1	0	X	0	1	1	1	1	1	1	1	1	1	1	1	1		
2	D2	1	0	D1	D1	0	1	1	1	1	1	1	1	1	1	1	1		
3	D3	1	0	D2	D1	D2	0	1	1	1	1	1	1	1	1	1	1		
4	D4	1	0	D3	D1	D2	D3	0	1	1	1	1	1	1	1	1	1		
5	D5	1	0	D4	D1	D2	D3	D4	0	1	1	1	1	1	1	1	1		
6	D6	1	0	D5	D1	D2	D3	D4	D5	0	1	1	1	1	1	1	1		
7	D7	1	0	D6	D1	D2	D3	D4	D5	D6	0	1	1	1	1	1	1		
8	D8	1	0	D7	D1	D2	D3	D4	D5	D6	D7	0	1	1	1	1	1		
9	D9	1	0	D8	D1	D2	D3	D4	D5	D6	D7	D8	0	1	1	1	1		
10	D10	1	0	D9	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	1	1	1		
11	D11	1	0	D10	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	0	1	1		
12	D12	1	0	D11	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	0	1		
13	D13	1	0	D12	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	0		

Таблица 3.22

Адрес записи			Регистр $Q_n + 1$			
SEWB	SEWA	EWR	0	1	2	3
0	0	0	$Q_i = D_i$	Q_n	Q_n	Q_n
0	1	0	Q_n	$Q_i = D_i$	Q_n	Q_n
1	0	0	Q_n	Q_n	$Q_i = D_i$	Q_n
1	1	0	Q_n	Q_n	Q_n	$Q_i = D_i$
1	X	1	Q_n	Q_n	Q_n	Q_n

Таблица 3.23

Адрес чтения			Выходы			
SERB	SERA	ERD	Q1	Q2	Q3	Q4
0	0	0	W0B1	W0B2	W0B3	W0B4
0	1	0	W1B1	W1B2	W1B3	W1B4
1	0	0	W2B1	W2B2	W2B3	W2B4
1	1	0	W3B1	W3B2	W3B3	W3B4
1	×	1	Z	Z	Z	Z

вого файла не обеспечивают записи информации в триггеры. Чтение информации, хранящейся в триггерах, происходит при наличии на входе ERD напряжения низкого уровня, а адрес чтения задается сигналом на SERB и SERA. Раздельная адресация входной и считываемой информации за время восстановления позволяет одновременное чтение и запись и ограничена по скорости только временами записи и чтения. При наличии на входе ERD высокого уровня выходы Q1 — Q4 регистравого файла переходят в состояние высокого выходного сопротивления. Наличие третьего состояния для ИС IP26 позволяет

Таблица 3.24

Входы			Выход Q_i	Режим
V	C	D_i		
1	X	X	Q^{n+1}	Запрет записи
0	$\overline{\text{L}}$	D	D	Запись
0	0 1 $\overline{\text{L}}$	X	Q^{n-1}	Хранение

запараллелить большое число регистров для обеспечения n -разрядной длины слова.

Логическая структура микросхемы ИР27 приведена на рис. 3.40. Таблица истинности приведена в табл. 3.24. Регистр выполнен на триггерах MS, имеющих входы синхронизации, разрешения записи и информационные, сигналы на которые поступают с соответствующих схем управления. Регистр может работать в режимах записи и хранения. Запись информации производится в два этапа: сначала подаваемый сигнал на входы D1 — D8 устанавливает соответствующие ему уровни на выходах схемы парафазного усилителя, затем по срезу импульса синхронизации информация переписывается в триггер S и появляется на выходе регистра.

Режим хранения обеспечивается двумя комбинациями уровней на входах: $V = 1$, $C = X$ и $V = X$, $C = 0$.

Сумматоры. Полный одноразрядный сумматор ИМ1 комбинационного типа реализует функцию суммирования входных переменных А, В, Р1 и функцию переноса Р2. Логическая структура сумматора (рис. 3.41) включает входную логику, схему формирования суммы (и ее инверсии) и схему переноса. При поступлении высокого уровня только на один из входов сумматора (А, В или Р1) сигнал переноса будет отсутствовать (Р2-1), выходной инвертор схемы формирования суммы будет закрыт и на выходе будет высокий уровень

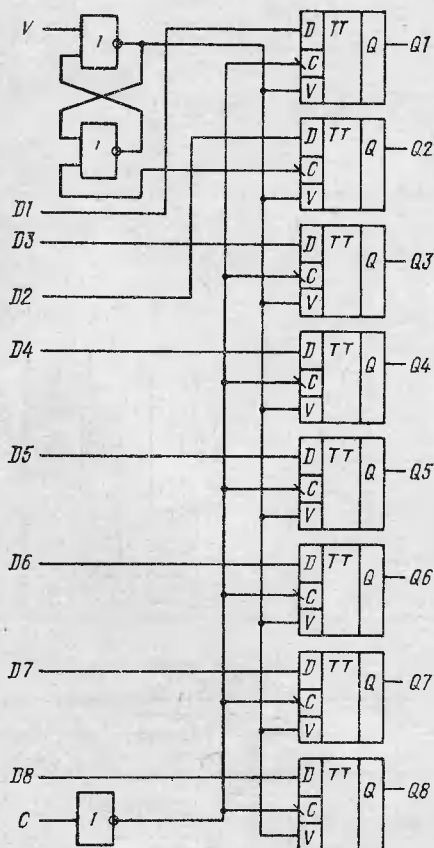


Рис. 3.40. Логическая структура микросхемы ИР27

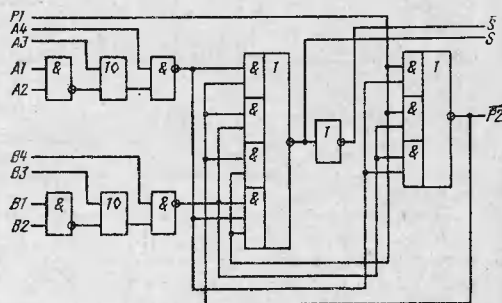


Рис. 3.41. Логическая структура микросхемы ИМ1

Таблица 3.25

Входы			Выходы		
P1	B	A	$\overline{P2}$	$\overline{S}$	S
0	0	0	1	1	0
0	0	1	1	0	1
0	1	0	1	0	1
0	1	1	0	1	0
1	0	0	1	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	1

($S = 1$). При поступлении на вход сумматора высокого уровня от двух слагаемых, схемой переиоса вырабатывается сигнал переиоса ($P2 = 0$), и на выходе сумматора будет сформирован низкий уровень ($S=0$). При поступлении на вход сумматора всех трех слагаемых с высоким уровнем на выходах схемы установится низкий уровень (по выходу переиоса $P2$) и высокий уровень (по выходу суммы S).

Сумматор ИМ1 обладает широкими логическими возможностями. Входные цепи сумматора позволяют выполнять операции суммирования как с входными переменными, так и с их инверсиями, а при использовании входов $A3$, $B3$ реализовать схему Монтажное ИЛИ. Управление по входам $B3$ (1) и $A3$ (10) осуществляется от ИС с открытым коллекторным выходом. Микросхема ИМ1 предусматривает дополнительный выход для формирования инверсного значения суммы. Указанные особенности сумматора позволяют на его основе строить многоразрядные сумматоры, работающие в режиме сложения или вычитания. При построении многоразрядных сумматоров вход $C1$ первого разряда подключается к источнику напряжения низкого уровня. Сумма слагаемых с нечетных разрядов снимается с выхода S , с четных — с выхода $\overline{S}$. Для реализации многоразрядных вычитателей вход $P1$ первого разряда подключается к источнику напряжения высокого уровня, а слагаемое B подается на инвертированные входы, благодаря чему операция вычитания заменяется операцией сложения с отрицательным числом $A - B = A + (-B)$. Режим работы приведен в табл. 3.25.

Полный 2-разрядный сумматор ИМ2 (рис. 3.42) и полный 4-разрядный сумматор ИМ3 (рис. 3.43) выполнены по схеме многоразрядного сумматора с последовательным переиосом. Двухразрядный сум-

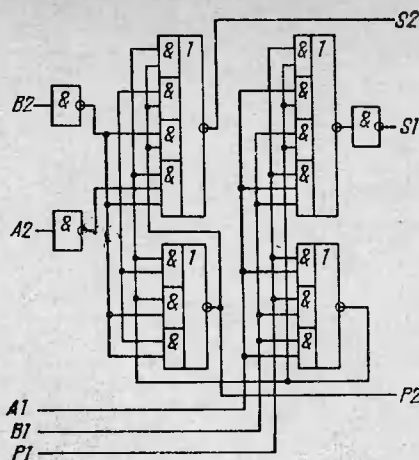


Рис. 3.42. Логическая структура микросхемы ИМ2

матор можно рассматривать как нечетный и четный разряды схемы n -разрядного сумматора, а 4-разрядный — как два четных и два нечетных разряда, помещенные в один корпус. Логическая структура каждого разряда обоих сумматоров аналогична структуре ИС ИМ1. Входная логика, благодаря которой из ИМ1 можно осуществлять построение различных арифметических устройств без применения других ИС, в ИС ИМ2, ИМ3 отсутствует, так как соединение разрядов постоянным. Режимы работы ИМ2, ИМ3 приведены в табл. 3.26, 3.27.

Микросхема ИМ5 выполняет операцию сложения трех одноразрядных чисел в дво-

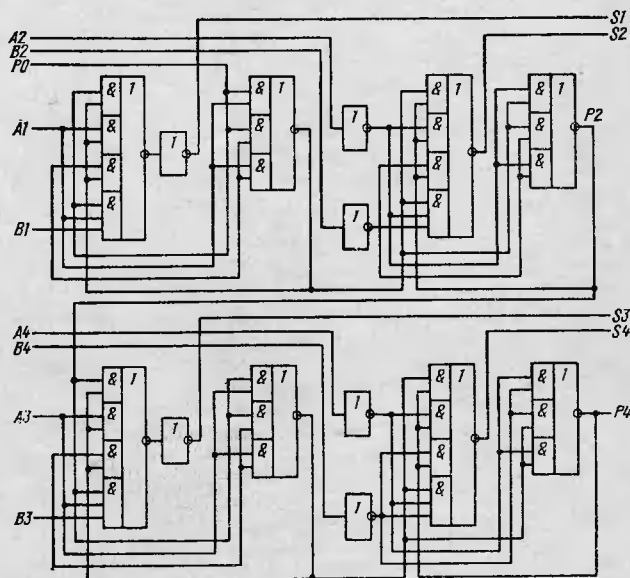


Рис. 3.43. Логическая структура микросхемы ИМ3

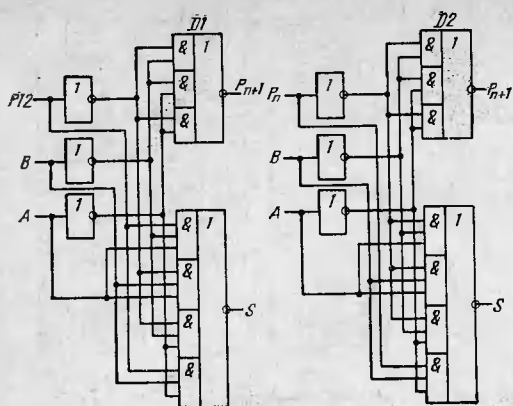


Рис. 3.44. Логическая структура микросхемы ИМ5

ичном коде с учетом переноса младшего разряда в старший. На выходе ИС выдается сумма чисел и знак переноса в старший разряд. Логическая структура ИС ИМ5 и режим работы приведены на рис. 3.44 и в табл. 3.28 соответственно.

Микросхема ИМ6 представляет собой 4-разрядный полный сумматор с ускоренным переносом. Схема выполняет операцию сложения двух 4-разрядных чисел в двоичном коде с учетом переноса из младшего разряда и выдает сумму этих чисел и перенос в старший разряд. Логическая структура ИМ6 и таблица истинности приведены на рис. 3.45 и в табл. 3.29 соответственно.

Микросхема ИМ7 представляет собой четыре последовательных сумматора-вычитателя. Каждый из сумматоров имеет

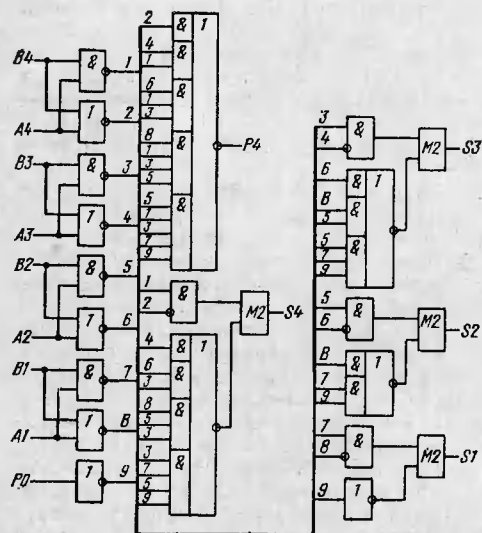


Рис. 3.45. Логическая структура микросхемы ИМ6

Таблица 3.26

Входы				Выходы					
A1	B1	A2	B2	P1=0			P1=1		
				S1	S2	P2	S1	S2	P2
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	1	1	0
1	1	0	0	1	1	0	0	1	0
0	0	1	0	0	0	1	0	0	1
1	0	1	0	1	0	1	0	0	1
0	1	1	0	0	1	0	1	1	1
1	1	1	0	1	1	0	0	1	1
0	0	0	1	0	0	1	1	1	0
1	0	0	1	1	0	1	0	0	1
0	1	0	1	0	1	1	0	0	1
1	1	0	1	1	1	1	1	0	1
0	0	1	1	0	0	0	1	1	1
1	0	1	1	1	0	0	0	1	1
0	1	1	1	0	1	1	1	1	1
1	1	1	1	1	1	1	0	1	1

Таблица 3.27

Входы				Выходы					
A1 (A3)	B1 (B3)	A2 (A4)	B2 (B4)	P0=0 (P2=0)			P0=1 (P2=1)		
				S1 (S3)	S2 (S4)	P2 (P4)	S1 (S3)	S2 (S4)	P2 (P4)
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0	1	0
1	1	0	0	1	1	0	1	1	0
0	0	1	0	0	0	1	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	0	0	1	1	0	1
1	1	1	0	1	1	1	1	1	0
0	0	0	1	0	1	1	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	0	0	0	1	0	1
1	1	0	1	1	0	0	0	0	1
0	0	1	1	0	0	1	1	0	1
1	0	1	1	1	0	1	0	1	1
0	1	1	1	0	1	1	1	1	1
1	1	1	1	1	1	1	0	1	1

Таблица 3.28

Входы				Выходы		Входы				Выходы	
Pn	B	A	S	Pn+1		Pn	B	A	S	Pn+1	
0	0	0	0	0		1	0	0	1	0	
0	0	1	1	0		1	0	1	0	1	
0	1	0	1	0		1	1	0	0	1	
0	1	1	0	1		1	1	1	1	1	

Таблица 3.29

Входы				Выходы					
A1 (A3)	B1 (B3)	A2 (A4)	B2 (B4)	P0=0 (P2=0)			P0=1 (P2=1)		
				S1 (S3)	S2 (S4)	P2 (P4)	S1 (S3)	S2 (S3)	P2 (P4)
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	0	1	0
0	1	0	0	1	0	0	0	1	0
1	1	0	0	0	1	0	1	1	0
0	0	1	0	0	1	0	1	1	0
1	0	1	0	1	1	0	0	0	1
0	1	1	0	1	1	0	1	1	0
1	1	1	0	0	0	1	1	1	0
0	0	0	1	0	1	0	1	1	0
1	0	0	1	1	1	0	0	0	1
0	1	0	1	1	1	0	0	0	1
1	1	0	1	0	0	1	1	1	0
0	0	1	1	0	0	1	1	1	0
1	0	1	1	1	1	0	0	0	1
0	1	1	1	1	0	1	0	1	1
1	1	1	1	0	1	1	1	1	1

Таблица 3.30

Избира- тельная функция	Входы					Внутрен- ний пере- нос		Выходы
	R	M	A	B	C	до	после	
Сброс	0	0	×	×	×	0	0	0
	0	1	×	×	×	1	1	×
Сложение	1	0	0	0	$\overline{1}$	0	0	0
	1	0	0	0	$\overline{1}$	1	0	1
	1	0	0	1	$\overline{1}$	0	0	1
	1	0	0	1	$\overline{1}$	1	1	0
	1	1	1	0	$\overline{1}$	0	0	1
	1	0	1	0	$\overline{1}$	1	1	0
	1	0	1	1	$\overline{1}$	0	1	0
	1	0	1	1	$\overline{1}$	1	1	1
Вычита- ние	1	1	0	0	$\overline{1}$	0	0	1
	1	1	0	0	$\overline{1}$	1	1	0
	1	1	0	1	$\overline{1}$	0	0	0
	1	1	0	1	$\overline{1}$	1	0	1
	1	1	1	0	$\overline{1}$	0	1	0
	1	1	1	0	$\overline{1}$	1	1	1
	1	1	1	1	$\overline{1}$	0	0	1
	1	1	1	1	$\overline{1}$	1	1	0

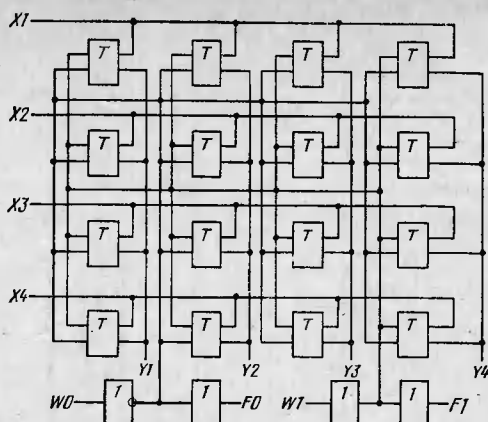


Таблица 3.31

Управляющие сигналы				Выход усилителей считывания		Выполняемая операция
адреса		усилитель записи				
X_i	Y_i	W1	W2	F1	F0	
0	0	0	0	1	1	Режим хранения
0	1	0	0	1	1	Режим полувыборки
1	0	0	0	1	1	»
0	0	1	0	0	1	Запись 1 в режиме не выбранной ячейки
0	0	0	1	1	0	Запись 0 в режиме не выбранной ячейки
0	1	1	0	0	1	Запись 1 в режиме полувыборки
1	0	1	0	0	1	»
1	0	0	1	1	0	Запись 0 в режиме полувыборки
0	1	0	1	1	0	»
1	1	1	0	0	1	Запись 1 в режиме выбранной ячейки
1	1	0	0	0	1	Считывание 1 в режиме выбранной ячейки
1	1	0	1	1	0	Запись 0 в режиме выбранной ячейки
1	1	0	0	1	0	Считывание 0 в режиме выбранной ячейки

ществляется при одновременной подаче напряжения высокого уровня на соответствующие этой ячейке адресные шины X и Y.

Считывание хранимой в ячейке информации происходит без ее разрушения. Выходной транзистор усилителя считывания выполнен с открытым коллектором и допускает объединение по схеме Монтанж-ное ИЛИ. Так как сигналы записи и считывания информации подаются по одной и той же паре разрядных шин, то одновременная запись и считывание информации в рассматриваемом ОЗУ невозможна.

Микросхема РУ2 является ОЗУ со схемами управления и полной дешифацией адреса. Общий объем памяти 64 бита (организация — 164-разрядных слов). Ло-

гическая структура ячейки памяти приведена на рис. 3.47.

Микроструктура РУ2 имеет встроенный стробируемый дешифратор 4-разрядного двоичного кода адреса, выбирающий одну из шестнадцати 4-разрядных ячеек. При наличии высокого уровня на входе стробирования не выбирается ни одна ячейка памяти. Работа ИС описывается табл. 3.32. Микросхема включает матрицу из 64 ячеек памяти, четыре усилителя записи-считывания, стробирующий дешифратор 4-разрядного двоичного кода адреса, выбирающий одно из 164-разрядных слов. Вход разрешения выборки несет функцию запрета при подаче на него напряжения высокого уровня, в этом случае нельзя произвести ни запись в запоминающую ячейку, ни считывание из нее. Запись информации осуществляется прямым кодом параллельно по четырем информационным входам D1 — D4 по требуемому адресу. На входы ИС разрешения выборки и разрешения записи должен быть подан низкий уровень.

Так как внутренние выходы усилителей записи связаны со входами усилителей считывания, то во время действия сигнала разрешения записи выходы усилителей считывания имеют состояния противоположные

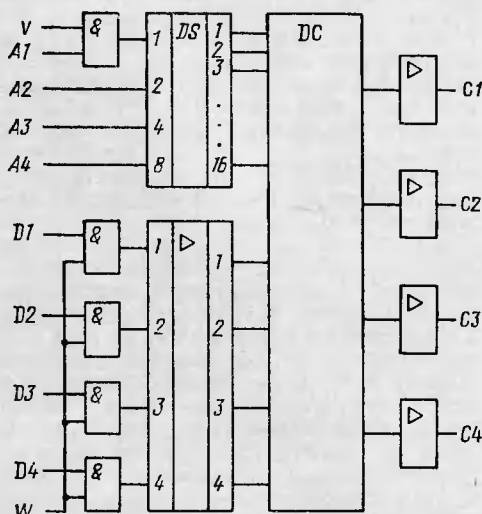


Рис. 3.47. Логическая структура ячейки памяти микросхемы РУ2

Таблица 3.32

V	W	D	Режим работы	C
1	1	0	Хранение	1
0	1	0	Считывание	Инверсный код выбранного числа
0	0	1	Запись 1	0
0	0	0	Запись 0	1
1	0	1	Запрет	0
1	0	0	Обращения	1

значению кода на информационных входах при лог. 0 на входе разрешения записи. Считывание информации осуществляется при подаче на входы адреса A1 — A4 прямого кода и на вход разрешения выборки низкого уровня напряжения. На входе разрешения записи должен быть подан высокий уровень напряжения.

Записанная информация считывается параллельно по четырем выходам C1 — C4 в инверсном коде. Выходные каскады усилителей считывания выполнены по схеме с открытым коллектором, что дает возможность информационные выходы различных ИС объединять в Монтажное ИЛИ. Достоверное считывание информации после записи может осуществляться через время $t_{восзп}$ в течение которого происходит восстановление усилителей записи и считывания.

Микросхема РУ5 (рис. 3.48) содержит на одном кристалле матрицу 16×16 запоминающих элементов, схемы дешифраторов адреса по координатам X и Y, выборки кристалла и разрешения записи, усилителя записи и считывания, ввода и вывода информации. В режиме записи на входы разрешения выборки V1 — V3 подается разрешающая комбинация логических уровней (001), а на вход разрешения записи V4 — напряжение низкого уровня. Логический уровень, соответствующий вводимой информации (0 или 1), подается на информационный вход D. Запись информации осуществляется в адрес, определяемый двоичным кодом на входах дешифраторов адреса A0 — A7. На выходе ИС в режиме записи присутствует напряжение высокого уровня.

Режим считывания задается теми же потенциалами на входах разрешения выборки V1 — V3, что и в режиме записи (001), а на вход разрешения записи V4 подается напряжение высокого уровня. В этом режиме из запоминающей ячейки матрицы, адрес которой определяется двоичным кодом на входах дешифраторов адреса A0 — A7, считывается хранящаяся в ней информация в прямом коде (без инверсии).

В режиме считывания на информационном входе D может быть как лог. 0, так и лог. 1. В режиме хранения информации на входы выборки кристалла V1 — V3 подается любая комбинация логических уровней, отличная от комбинации 001. В этом режиме независимо от потенциалов на других входах изменений записанной в ячейки информации не будет, а на выходе ИС устанавливается напряжение высокого уровня.

Наличие у ИС РУ5 трех входов выборки кристалла с разными уровнями активности (низкого уровня для входов V1; V2, высокого уровня для входа V3) обеспечивает ИС большую логическую универсальность при применении. Это позволяет наращивать объем памяти матрицы до 2048 слов без использования дополнительного внешнего дешифратора. Открытый коллекторный выход ИС обеспечивает максимальную гиб-

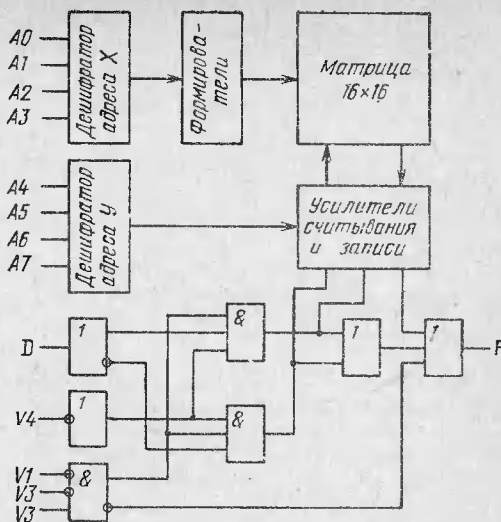


Рис. 3.48. Логическая структура микросхемы РУ5

кость при согласовании с нагрузкой и позволяет объединять выходы многих ИС в схему Монтажное ИЛИ.

Микросхема РЭЗ (рис. 3.49) представляет собой программируемое постоянное запоминающее устройство (ППЗУ) емкостью 256 бит, организованное в тридцать два 8-разрядных слова, предназначенное для длительного хранения постоянной информации. Это устройство работает в режиме записи, хранения и считывания информации (табл. 3.33).

Запись информации производится электрическим программированием один раз за время эксплуатации схем. Микросхема

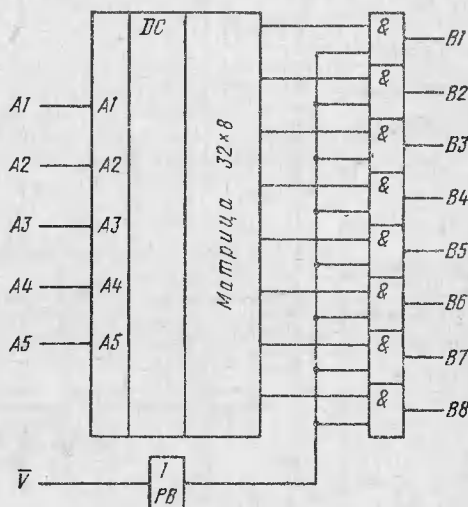


Рис. 3.49. Логическая структура микросхемы РЕЗ

Таблица 3.33

Вход выборки	Входы адреса					Выходы разрядов							
	A1	A2	A3	A4	A5	B1	B2	B3	B4	B5	B6	B7	B8
1	×	×	×	×	×	1	1	1	1	1	1	1	1
0	Состояния выходов разрядов соответствует заложенной программе												

РЕЗ содержит на одном кристалле матрицу 32×8 запоминающих ячеек и схемы управления, состоящие из адресных формирователей, входного дешифратора, схемы разрешения выборки, выходных усилителей считывания информации и схемы пережигания плавких перемычек для электрической записи информации. На незапрограммированной ИС во все ячейки матрицы ПЗУ записан низкий уровень. Для записи в соответствующие ячейки высокого уровня необходимо провести программирование ИС. В режиме хранения информации сигнал на выходе (выводы 1 — 7, 9) ИС соответствует высокому уровню.

При подаче на вход разрешения выборки (вывод 15) сигнала высокого уровня происходит запрет считывания информации. Вход разрешения выборки (вывод 15) осуществляет разрешение или запрет обращения данной ИС и служит для упрощения объединения нескольких кристаллов ППЗУ в одно ППЗУ большей емкости. В режиме считывания информации на вход разрешения выборки (вывод 15) подается сиг-

нал низкого уровня, а выбор ячеек матрицы памяти (слова) определяется комбинацией двоичных чисел на входах адресных формирователей (выводы 10 — 14); сигнал на выходе ИС (выводы 1 — 7, 9) соответствует хранимой в выбранных ячейках матрицы памяти (слова) информации.

В зависимости от записанной программы, выполняемая ИС функция будет различной. Для построения ППЗУ большей, чем 256 бит емкости, необходимо использовать несколько ИС. При этом для увеличения емкости ППЗУ по числу слов несколько ИС РЕЗ объединяются по выходам, а для увеличения разрядности слов — по входам.

Микросхемы РЕ21, РЕ22, РЕ23, РЕ24 построены на базе БИС ПЗУ на 1024 бит, программируемых маской контактных окон в процессе производства. На рис. 3.50 показана схема ПЗУ на 1024 бит с организацией 256×4 разрядных слов. Основными узлами схемы ПЗУ являются: матрица запоминающих элементов; блок адресных формирователей (F), входной дешифратор (DC1); выходной дешифратор (DC2); блок селекторов (транзисторных ключей ТК); блок усилителей считывания (Y1 — Y4); схема разрешения выборки (PB).

Конструктивно запоминающая матрица организована в виде тридцати двух эмиттерных транзисторов. Транзисторы матрицы включены по схеме эмиттерного повторителя; 32 шины металлизации проходят поперек 32 многоэмиттерных транзисторов (МЭТ) над эмиттерами. Вскрытие окна к эмиттеру МЭТ (подключение к шине металлизации) соответствует записи высокого уровня, отсутствие окна (не подключение к шине металлизации) — запись низкого уровня. Адресные формирова-

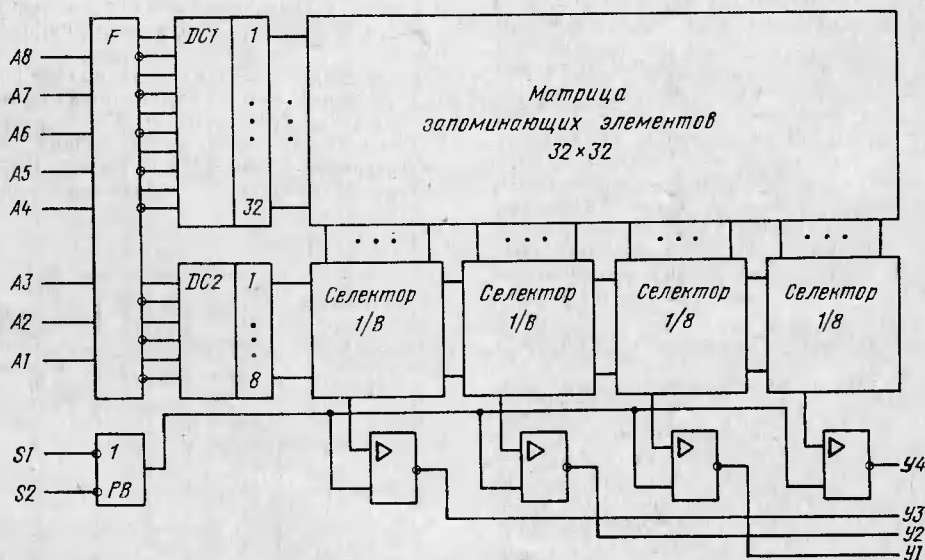


Рис. 3.50. Структурная схема ПЗУ на 1024 бит

тели служат для согласования схемы на кристалле с внешними управляющими цепями, а также для выдачи на дешифратор прямых и инверсных адресных кодов. Входной дешифратор осуществляет выбор одного из 32 МЭТ матрицы, что соответствует обращению одновременно к восьми 4-разрядным словам. Чтобы считать на выходе только одно 4-разрядное слово, разрядные шины соединяются с усилителями считывания через селектор, управляемый дополнительным входным дешифратором DC2. В зависимости от состояния выходного дешифратора селектор пропускает на усилители считывания только одно слово из восьми, соответствующих включенному МЭТ. Усилители считывания предназначены для преобразования уровней сигналов, считываемых с матрицы запоминающих элементов, в уровни, требуемые для работы схемы на внешнюю нагрузку, а также для повышения нагрузочной способности схемы. Схема разрешения выборки запрещает обращение к кристаллу, если хотя бы на один из ее входов подано напряжение высокого уровня. Она осуществляет стробирование усилителей считывания, шунтируя сигналы, поступающие с матрицы запоминающих элементов на выходной транзистор. Если выборка запрещена, то на выходах усилителей считывания — напряжение высокого уровня.

Микросхемы PE21, PE22, PE23, PE24 представляют собой четыре кристалла БИС ПЗУ, рассмотренного выше, с различными таблицами истинности. В матрицу запоминающих элементов ИС занесена информация о русском (PE21) и латинском (PE22) алфавитах, об арифметических знаках и цифрах (PE23), о дополнительных знаках (PE24).

Дешифраторы. Микросхема ИД1 (рис. 3.51) предназначена для преобразования двоично-десятичного кода в десятичный и управления индикаторной лампой тлеющего разряда с холодным катодом. Дешифратор состоит из логических схем, построенных на элементах ТТЛ и десяти высоковольтных транзисторах, у которых переход подложка — скрытый слой коллектора образует лавинный диод, фиксирующий потенциал коллектора на определенном уровне. На входы X1 — X4 поступают числа от 0 до 9 (табл. 3.34) в двоичном коде, при этом открывается соответствующий выходной транзистор.

Дешифратор ИД3 (рис. 3.52) выполняет две функции.

1. Дешифрирование 4-разрядного двоичного кода. В этом случае выходы X3 — X6 являются информационными входами, на которые подается 4-разрядное двоичное закодированное число. Каждому из 16 возможных 4-разрядных двоичных чисел соответствует один из 16 выходов дешифратора. Кроме четырех входов X3 — X6 устройство имеет еще два входа W0 и W1, которые при выполнении устройством функции дешифрирования играют роль

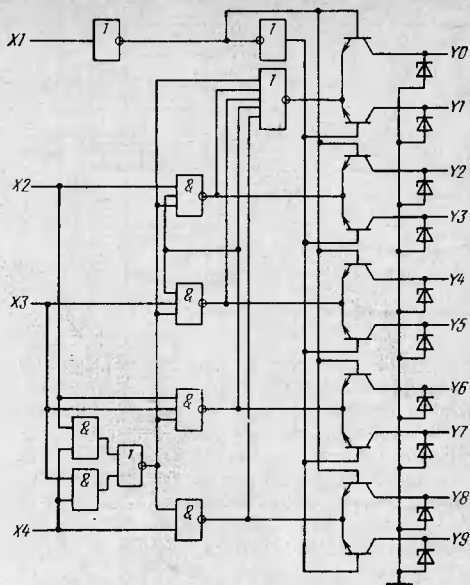


Рис. 3.51. Логическая структура микросхемы ИД1

стробирующих входов. При этом на стробирующих входах должен быть низкий уровень. Если хотя бы на одном из стробирующих входов устанавливается высокий уровень напряжения, то на всех 16 выходах устройства будет высокий уровень напряжения независимо от того, какой код подан на входы X3 — X6.

2. Демультиплексирование. В этом случае входы X3 — X6 являются селектирующими входами. Соответствующий код на этих входах позволяет сигналу проходить от информационного входа к выбранному выходу.

Роль информационного входа при выполнении функции демультиплексирования играет один из входов W0 или W1. Другой вход используется как стробирующий. На стробирующем входе должен быть низкий уровень напряжения, в противном случае

Таблица 3.34

Входы				Выходы
X4	X3	X2	X1	Y0...Y9
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

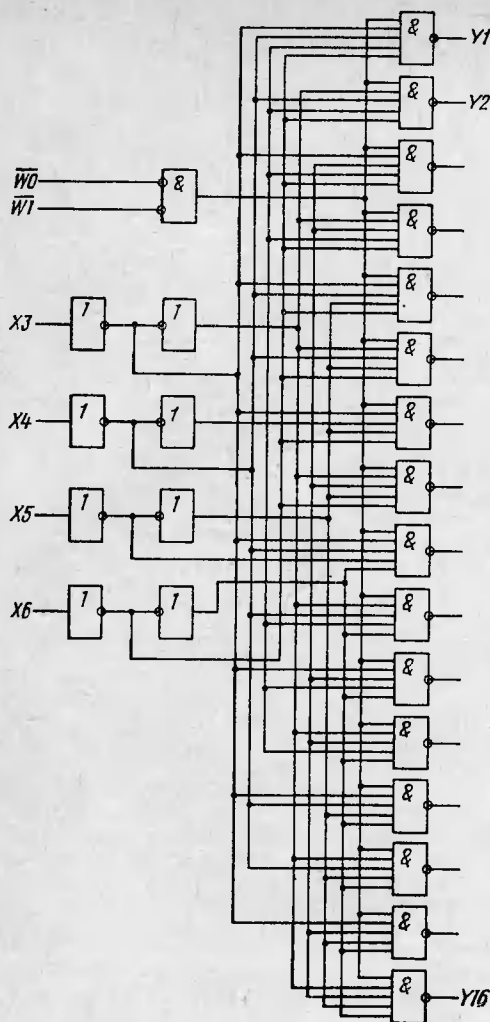


Рис. 3.52. Логическая структура микросхемы ИД3

сигнал с информационного входа будет заблокирован и не сможет пройти на выход устройства.

Микросхема ИД4 (рис. 3.53) может выполнять функции: двойного дешифратора с 2 на 4; двойного демультиплексора с 1 на

Таблица 3.35

Входы				Выходы			
В	А	$\bar{S}1$	D	$\bar{D}1$	$\bar{D}2$	$\bar{D}4$	$\bar{D}8$
×	×	1	×	1	1	1	1
0	0	0	1	0	1	1	1
0	1	0	1	1	0	1	1
1	0	0	1	1	1	0	1
1	1	0	1	1	1	1	0
×	×	×	0	0	1	1	1

Таблица 3.36

Входы				Выходы			
В	А	$\bar{S}2$	$\bar{E}$	$\bar{E}1$	$\bar{E}2$	$\bar{E}4$	$\bar{E}8$
×	×	1	×	1	1	1	1
0	0	0	0	0	1	1	1
0	1	0	0	1	0	1	1
1	0	0	0	1	1	0	1
1	1	0	0	1	1	1	0
×	×	×	1	1	1	1	1

4; дешифратора с 3 на 8; демультиплексора с 1 на 8.

Микросхема имеет 2 адресных входа А и В (выводы 3, 13), которые предназначены для одновременного управления выходными состояниями дешифраторов каждой из двух частей схемы. В каждой части схемы есть отдельный стробирующий вход $\bar{S}1$, $\bar{S}2$ (выводы 2, 14). Имеется два информационных входа D и E (выводы 1, 15) по одному информационному входу для каждой части схемы). Режим работы ИС приведен в табл. 3.35—3.36.

Микросхема ИД7 обеспечивает преобразование 3-разрядного двоично-десятичного числа в десятичное число от нуля до семи на последовательности выходов дешифратора. Трехходовая первая ступень выполнена на шести инверторах, восьмивыходная вторая ступень — на восьми логических элементах И — НЕ. Выход дешифратора выбранного канала имеет низкий уровень, остальные выходы — высокий.

Дешифратор имеет шину разрешения, поэтому ЛЭ И — НЕ второй ступени

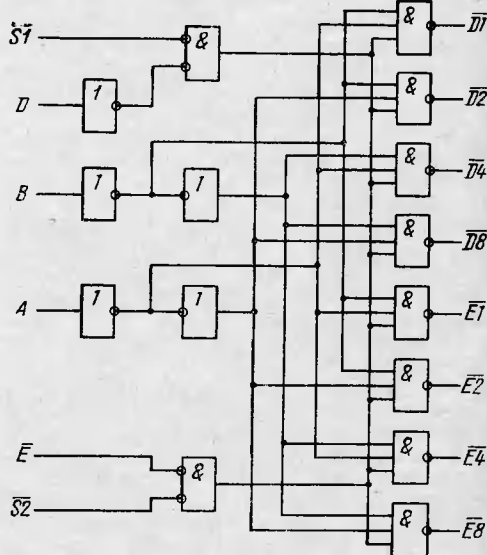


Рис. 3.53. Логическая структура микросхемы ИД4

выполнены с четырьмя входами (один вход разрешения дополнительно к трем входам адреса канала). Шина разрешения дешифратора управляется 3-разрядным числом в функции $E = V_2(V_2 + V_3)$. Вход V_1 может быть использован в качестве входа выбора данного дешифратора, входы V_2, V_3 — в качестве входов разрешения. Функционирование дешифратора разрешено при лог. 1 на входе V_1 и лог. 0 на входах V_2, V_3 . Такая организация шины разрешения обеспечивает возможность каскадирования дешифраторов и реализации различных вариантов управления или демультиплексирования одного канала на восемь.

Микросхема ИД10 представляет собой дешифратор с классической структурой схемы преобразования 4-разрядного двоично-десятичного кода в десятичный. При четырехвходовой первой ступени определения адреса выходного канала, выполненной на восьми инверторах, дешифратор имеет десять ЛЭ И—НЕ во второй ступени. На входы X_1, X_2, X_4, X_8 поступает информация в двоично-десятичном коде от 0 до 9, при этом открывается выходной транзистор ЛЭ И—НЕ соответствующего канала. Логическая функция ИС ИД10 записывается в виде

$$\begin{aligned} Y_0 &= X_8 + X_4 + X_2 + X_1, & Y_1 &= X_8 + X_4 + \\ &+ X_2 + \bar{X}_1, & Y_2 &= X_8 + X_4 + \bar{X}_2 + X_1; \\ Y_3 &= X_8 + X_4 + \bar{X}_2 + \bar{X}_1; \\ Y_4 &= X_8 + \bar{X}_4 + X_2 + X_1; \\ Y_5 &= X_8 + \bar{X}_4 + X_2 + \bar{X}_1; \\ Y_6 &= X_8 + \bar{X}_4 + \bar{X}_2 + X_1, & Y_7 &= X_8 + \\ &+ \bar{X}_4 + \bar{X}_2 + \bar{X}_1, & Y_8 &= \bar{X}_8 + X_4 + X_2 + X_1. \end{aligned}$$

В дешифраторе используется 10 из 16 адресов, формируемых 4-входовой первой ступенью. Дешифратор ИД10 выполнен с открытым коллектором выхода и повышенным напряжением на выходе до 15 В.

Селекторы-мультиплексоры. Микросхема КП1 выполняет логическую операцию коммутатора, который обеспечивает автоматическое распределение электрических сигналов с любого информационного канала. Она позволяет решать следующие функции: выбор одного из информационных каналов; реализация логической функции параллельно-последовательного кодопреобразования; осуществление мультиплексирования с N линий на 1; используется в качестве пятой переменной функции генератора; выполнение функции триггера RS (для этого необходимо произвести несложные коммутации входов и выходов ИС).

Микросхема КП2 (рис. 3.54) выполняет логическую операцию, которая обеспечивает автоматическое распределение электрических сигналов с любого информационного канала. Она позволяет решать следующие функции: выбор одного из информационных

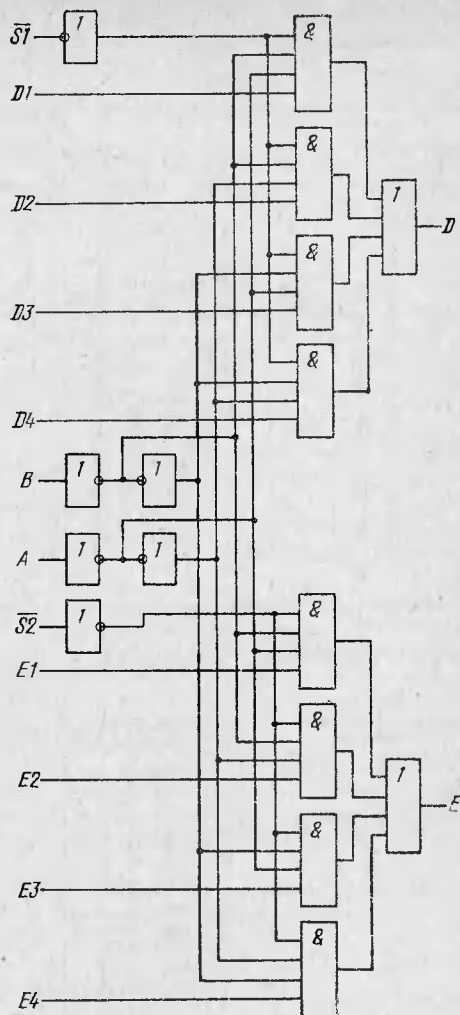


Рис. 3.54. Логическая структура микросхемы КП2

каналов; реализация логической функции параллельно-последовательного кодопреобразования; осуществление мультиплексирования с N линий на 1; выполнение каскадирования с N линий на n с помощью стробирования.

Логическая структура ИС КП2 представляет собой два селектора-мультиплексора, каждый из которых имеет по четыре информационных входа $D1-D4$ и $E1-E4$ соответственно. Два адресных входа A и B управляют одновременно двумя селекторами-мультиплексорами. Каждый селектор-мультиплексор имеет свой стробирующий вход ($\bar{S}1$ и $\bar{S}2$). Таблица истинности приведена в табл. 3.37. Код, набранный на адресных входах A и B , разрешает работу только одного из информационных входов каждого селектора-мультиплексора. Сигнал

Таблица 3.37

Входы							Выходы D, E
адресные		Информационные				стробирующие S1, S2	
В	А	1D, E2	2D, E2	3D, E3	4D, E4		
×	×	×	×	×	×	1	0
0	0	0	×	×	×	0	0
0	1	1	×	×	×	0	1
0	1	0	×	×	×	0	0
1	0	×	×	0	×	0	1
1	0	×	×	1	×	0	0
1	1	×	×	×	×	0	0
1	1	×	×	×	×	1	1

с выбранного информационного входа появляется на выходе только при наличии на стробирующем входе $\bar{S}$ низкого уровня.

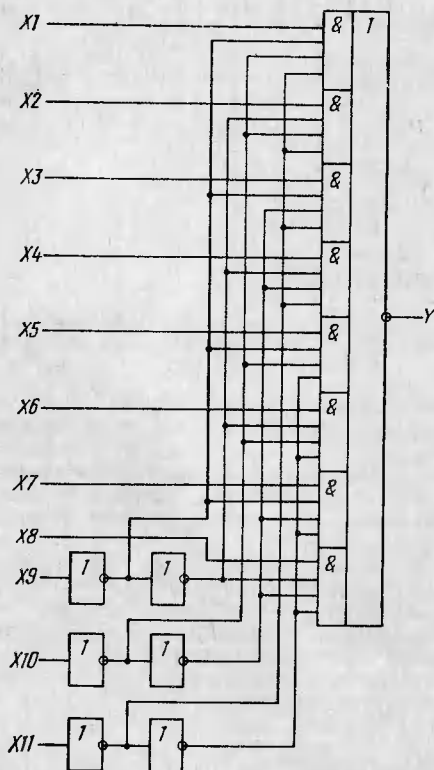


Рис. 3.55. Логическая структура микросхемы КП5

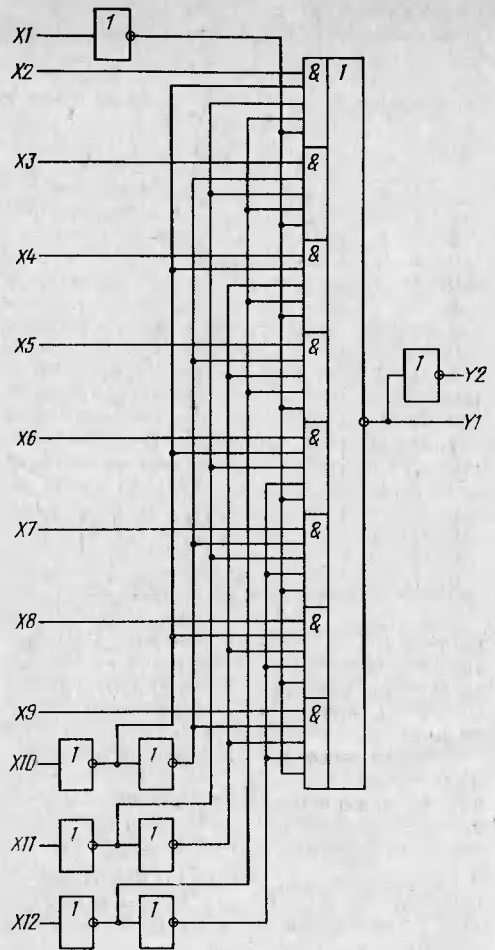


Рис. 3.56. Логическая структура микросхемы КП7

Микросхемы КП5, КП7 (рис. 3.55, 3.56) представляют собой восьмиканальный коммутатор без стробирования и со стробированием соответственно. Режим работы коммутаторов приведен в табл. 3.38. Восьмиканальный коммутатор в зависимости от того, какой код набран на адресных входах X10 и X12 (в коммутаторе со стробированием), X9 — X11 (в коммутаторе без стробирования) разрешает прохождение сигнала на выход только от одного из восьми информационных входов X2 — X9 (в коммутаторе со стробированием) или X1 — X8 (в коммутаторе без стробирования). При наличии сигнала высокого уровня на информационном входе, соответствующем выбранному двоичному коду на адресных входах, на выходе Y появляется сигнал с низким уровнем. При этом сигналы от остальных семи информационных входов на выход не проходят. Коммутатор со стробированием имеет дополнительно стробиру-

Таблица 3.38

Входы												Выходы	
X1	X10	X11	X12	X2	X3	X4	X5	X6	X7	X8	X9	Y2	Y1
—	X9	X10	X11	X1	X2	X3	X4	X5	X6	X7	X8	—	Y
1	×	×	×	×	×	×	×	×	×	×	×	0	1
0	0	0	0	0	×	×	×	×	×	×	×	0	1
0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	1	0	0	×	0	×	×	×	×	×	×	0	1
0	1	0	0	×	1	0	0	0	0	0	0	1	0
0	0	1	0	×	×	0	×	×	×	×	×	0	1
0	0	1	0	×	×	×	×	×	×	×	×	1	0
0	1	1	0	×	×	×	×	×	×	×	×	0	1
0	1	1	0	×	×	×	×	1	×	×	×	1	0
0	0	0	1	×	×	×	×	×	×	×	×	0	1
0	0	0	1	×	×	×	×	0	×	×	×	1	0
0	0	0	1	×	×	×	×	×	1	×	×	1	0
0	1	0	1	×	×	×	×	×	×	0	×	0	1
0	1	0	1	×	×	×	×	×	×	×	×	1	0
0	0	1	1	×	×	×	×	×	×	1	×	0	1
0	0	1	1	×	×	×	×	×	×	×	0	1	0
0	1	1	1	×	×	×	×	×	×	×	1	0	1
0	1	1	1	×	×	×	×	×	×	×	0	0	1
0	1	1	1	×	×	×	×	×	×	×	1	1	×

ющий вход X1, разрешающий прохождение сигнала на выход только при подаче на него низкого уровня и дополнительный выход Y2, информация на котором обратна информации на выходе Y1.

Мультиплексор КП15 имеет организацию мультиплексирования восьми каналов в один со входом разрешения. Мультиплексор выполнен с дополнительными выходами Y, $\bar{Y}$, с выключенным состоянием выходов и в режиме запрета имеет выключенное состояние по обоим выходам. Логическая структура приведена на рис. 3.57, режим работы дан в табл. 3.39.

Мультиплексор КП12 имеет организацию, идентичную организации мультиплексора КП2. При реализации функции выбора одного из двух мультиплексоров по входам S1, S2 осуществляется управление разрешением передачи. В невыбранном состоянии выход мультиплексора КП12 переводится в выключенное состояние. Соответ-

ственно, в отличие от мультиплексора КП2, имеющего в режиме запрета передачи на выходе состояние низкого уровня, мультиплексор КП12 в режиме запрета имеет выключенное состояние выхода.

Мультиплексоры КП11, КП14, КП13 и КП16 включают по четыре мультиплексора, организованных для мультиплексирования двух каналов в один, с общими де-

Таблица 3.39

Выход выбора S	Входы адреса			Выходы	
	A2	A1	A0	Y	$\bar{Y}$
1	X	X	X	Z	Z
0	0	0	0	d ₁	d ₁
0	0	0	1	d ₂	d ₂
0	0	1	0	d ₃	d ₃
0	0	1	1	d ₄	d ₄
0	1	0	0	d ₅	d ₅
0	1	0	1	d ₆	d ₆
0	1	1	0	d ₇	d ₇
0	1	1	1	d ₈	d ₈

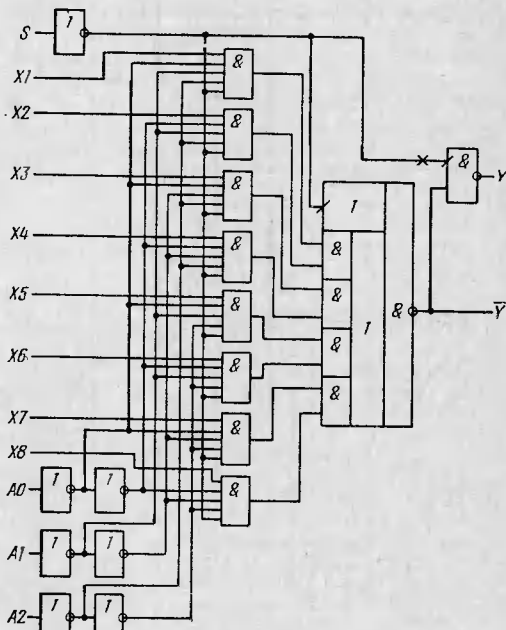


Рис. 3.57. Логическая структура микросхемы КП15

Таблица 3.40

Входы				Выходы
S	A	X_{i1}	X_{i2}	Y_i
1	×	×	×	Z
0	0	d	×	d
0	1	×	d	d

Таблица 3.41

Входы				Выходы
A	S	X_{i1}	X_{i2}	Y_i
×	1	×	×	Q_n
0	$\overline{1}$	d	×	d
1	$\overline{1}$	×	d	d

шифратором адреса и входом выбора для всех мультиплексоров. Мультиплексоры КП11, КП13 обеспечивают прямую передачу информации, КП14 — инверсную. Мультиплексоры КП11 и КП14 имеют выключенное состояние выхода. Мультиплексор КП13 выполнен с регистром хранения

информации при разрешении записи, синхронизируемой по срезу импульса на входе выбора мультиплексора. Логические структуры и режим работы приведены на рис. 3.58 — 3.61 и в табл. 3.40—3.43 соответственно.

Схема контроля четности ИП2 обнаруживает ошибку, если на ее вход поступает код с четностью, отличной от той, которая признается правильной для данного устройства. Контроль четности широко распространен при выполнении большинства операций обработки данных, включая сложение, вычитание, сдвиг и поразрядное Исключающее ИЛИ. Микросхема, реализующая функцию нечетно-четного блока четности разрядностью 8 бит, является универсальной. Логическая структура контроля четности представлена на рис. 3.62. Схема работает следующим образом. На информационные входы подается число в двоичном коде. Первый уровень элементов Исключающее ИЛИ суммирует попарно и инвертирует два разряда двоичного кода. Следующий уровень элементов Исключающее ИЛИ суммирует попарно результаты предыдущей операции суммирования и инвертирования. Третий уровень, представляющий собой один элемент Исключающее ИЛИ, вырабатывает сигнал 1 или 0 в зависимости от четности подаваемого сигнала.

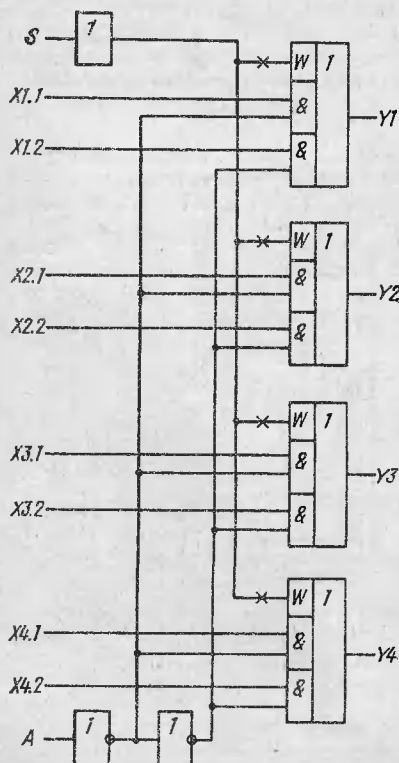


Рис. 3.58. Логическая структура микросхемы КП11

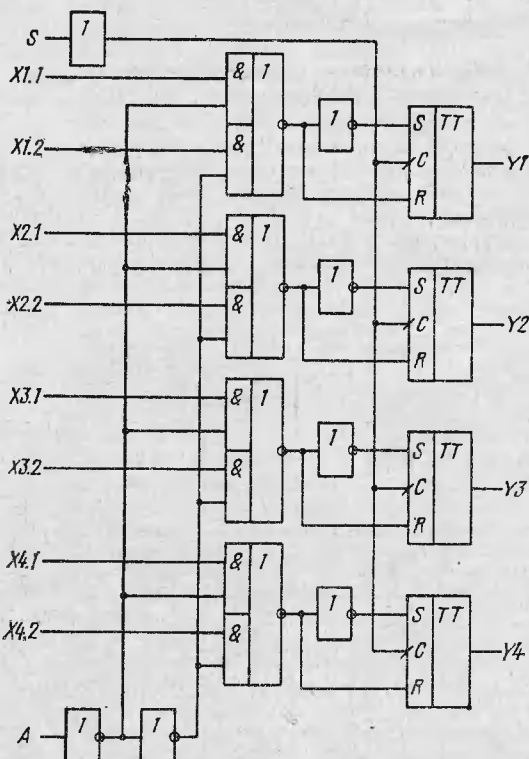


Рис. 3.59. Логическая структура микросхемы КП13

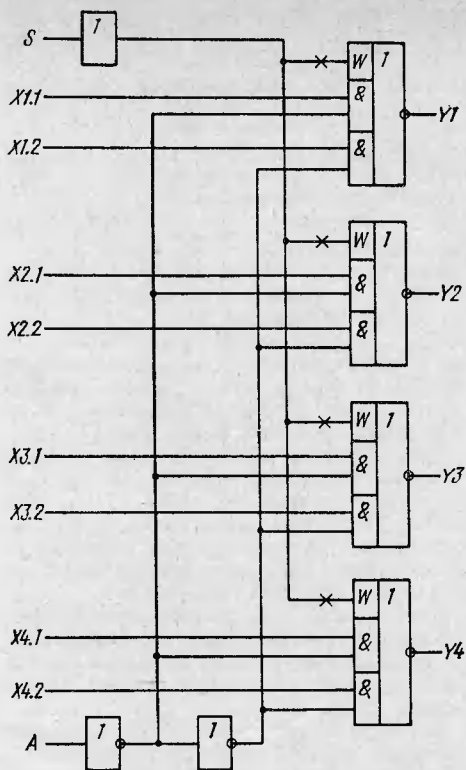


Рис. 3.60. Логическая структура микросхемы КП14

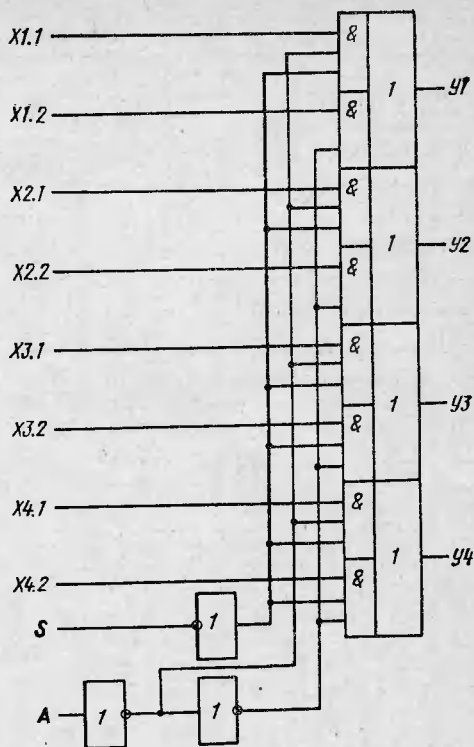


Рис. 3.61. Логическая структура микросхемы КП16

ла на информационные входы. Подавая 1 и 0 на четный вход V и 0 или 1 на нечетный вход $\bar{V}$ получаем 1 или 0 на выходах в зависимости от четности подаваемого кодированного числа в соответствии с таблицей истинности, приведенной в табл. 3.44.

Таблица 3.42

Входы				Выходы
S	A	X_{i1}	X_{i2}	Y_i
1	×	×	×	Z
0	0	d	×	$\bar{d}$
0	1	×	d	$\bar{d}$

Таблица 3.43

Вход выбора	Вход адреса	Входы информации		Выход
S	A	X_{i1}	X_{i2}	Y_i
1	×	×	×	0
0	1	×	0	0
0	1	×	1	1
0	0	0	×	0
0	0	1	×	1

Микросхема ИПЗ выполняет 16 логических и 16 арифметических операций. На информационные входы $A0, B0, A1, B1, A2, B2, A3, B3$ подаются четыре разряда чисел A и B , над которыми производятся логические и арифметические операции. Комбинируя подключение входов $S0 - S3$ к источникам высокого и низкого напряже-

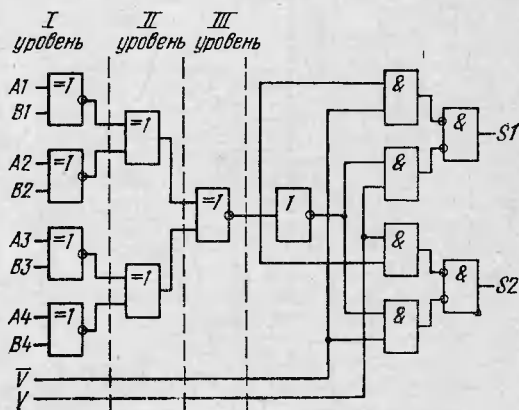


Рис. 3.62. Логическая структура микросхемы ИП2

Таблица 3.44

Состояние входов			Состояние выходов	
			Сумма четная S1	Сумма нечетная S2
Сумма единиц от 0 до 7 на информационных входах A1—A4, B1—B4	Состояние четного строба V	Состояние нечетного строба V		
Четная	1	0	1	0
Нечетная	1	0	0	1
Четная	0	1	0	1
Нечетная	0	1	1	0
Неопределенная	1	1	0	0
	0	0	1	1

ния, можно выработать одну из 16 возможных логических или арифметических операций. Выбор между логическими и ариф-

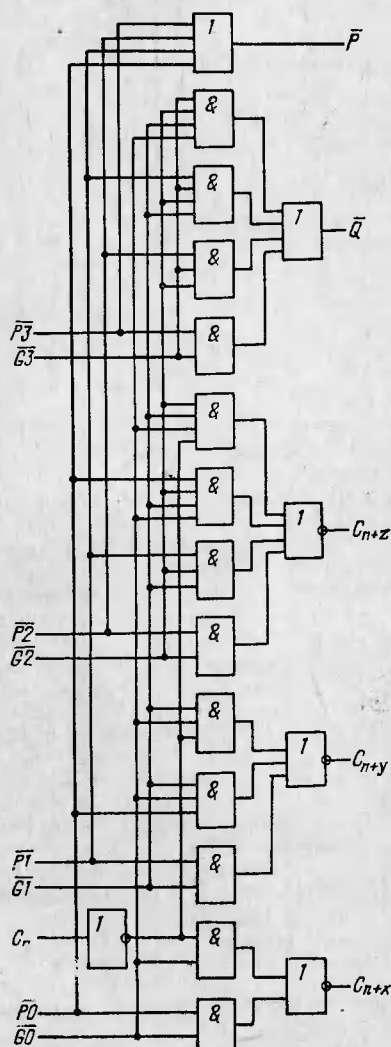


Рис. 3.63. Логическая структура микросхемы ИП4

метическими операциями осуществляется входом M. При подаче на вход M высокого уровня схема выполняет логические операции. Когда на вход подается напряжение низкого уровня, включается блок ускоренного переноса и схема выполняет арифметические операции. Вход P используется, когда производятся операции над числами, разрядность которых больше четырех. При ускоренном переносе по группе АЛУ используются выходы $\bar{P}$, $\bar{Q}$, C_n .

Функциональная схема АЛУ заменяет собой 75 типовых логических схем. АЛУ состоит из нескольких блоков.

Блок, формирующий поразрядные члены распространения и образования переноса P_i и Q_i включает четыре тождественных части, каждая из которых формирует P_i и Q_i , где $i = 0, 1, 2, 3$.

Четырехразрядный блок ускоренного переноса формирует перенос из всего 4-разрядного устройства АЛУ. Этот блок состоит из трех частей, каждая из которых имеет свое функциональное назначение: формирование члена распространения переноса и формирование переноса.

Блок образования логических и арифметических функций состоит из четырех (по числу разрядов АЛУ) одинаковых частей. Каждая часть состоит из двух схем Иключающее ИЛИ.

Микросхема ИП4 при использовании ее совместно с АЛУ позволяет значительно уменьшить время при сложении чисел в двоичной системе сложения. Логическая структура ИС приведена на рис. 3.63.

При сложении двух чисел в двоичной системе счисления сложение производится сначала над битом самого младшего разряда, затем информация смещается в левую сторону с учетом переноса

$$\begin{array}{r} 11001 \rightarrow 25 \\ 10001 \rightarrow 17 \\ \hline 101010 \rightarrow 42 \end{array}$$

В отличие от параллельного сумматора с последовательным переносом, где при поразрядном сложении чисел A и B сумма в старшем разряде может быть вычислена только после того, как предыдущий сумматор образует свой перенос $C_{n+1} = A_n B_n + C_n (A_n + B_n)$, поразрядное сложение с применением блока ускоренного переноса происходит без образования переноса в данном виде. Работа ИС описана таблицей истинности, приведенной в табл. 3.45. В данном случае схема управляется низким уровнем. Образование переноса $C_{n+1} = 1$ и счет в последующей ступени происходят при сигнале образования переноса в предыдущей ступени $G_n = 0$. Если на входе предыдущей ступени перенос $C_n = 1$, а на выходе сигнал распространения переноса $P_n = 0$, то перенос распространяется непосредственно на последующую ступень, т. е. $C_{n+1} = 1$ и в данном случае также происходит счет в пос-

Таблица 3.45

C_n	Входы								Выходы				
	$\overline{G0}$	$\overline{P0}$	$\overline{G1}$	$\overline{P1}$	$\overline{G2}$	$\overline{P2}$	$\overline{G3}$	$\overline{P3}$	C_{n+x}	C_{n+y}	C_{n+z}	$\overline{Q}$	$\overline{P}$
×	1	1	—	—	—	—	—	—	0	—	—	—	—
0	1	×	—	—	—	—	—	—	0	—	—	—	—
×	0	×	—	—	—	—	—	—	1	—	—	—	—
1	×	0	—	—	—	—	—	—	—	—	—	—	—
×	×	×	1	1	—	—	—	—	—	0	—	—	—
×	1	1	1	×	—	—	—	—	—	0	—	—	—
0	1	×	1	×	—	—	—	—	—	0	—	—	—
×	×	×	0	×	—	—	—	—	—	1	—	—	—
×	0	×	×	0	—	—	—	—	—	1	—	—	—
1	×	0	×	0	—	—	—	—	—	1	—	—	—
×	×	×	×	×	1	1	—	—	—	—	0	—	—
×	×	×	1	1	1	×	—	—	—	—	0	—	—
×	1	1	1	×	1	×	—	—	—	—	0	—	—
0	1	×	1	×	1	×	—	—	—	—	0	—	—
×	×	×	×	×	0	×	—	—	—	—	1	—	—
×	×	×	0	×	×	0	—	—	—	—	1	—	—
×	0	×	×	0	×	0	—	—	—	—	1	—	—
1	×	0	×	0	×	0	—	—	—	—	1	—	—
—	×	—	×	×	×	×	1	1	—	—	—	1	—
—	×	—	×	×	1	1	1	×	—	—	—	1	—
—	×	—	1	1	1	×	1	×	—	—	—	1	—
—	1	—	1	×	1	×	1	×	—	—	—	1	—
—	×	—	×	×	×	×	0	×	—	—	—	0	—
—	×	—	×	×	0	×	×	0	—	—	—	0	—
—	×	—	0	×	×	0	×	0	—	—	—	0	—
—	0	—	×	0	×	0	×	0	—	—	—	0	—
—	—	1	—	×	—	×	—	×	—	—	—	—	1
—	—	×	—	1	—	×	—	×	—	—	—	—	1
—	—	×	—	×	—	1	—	×	—	—	—	—	1
—	—	×	—	×	—	×	—	1	—	—	—	—	1
—	—	0	—	0	—	0	—	0	—	—	—	—	0

ледующей ступени. На выходе $\overline{P}$ блока формируется сигнал распространения группового переноса $\overline{P} = 0$, если $\overline{P0} = \overline{P1} = \overline{P2} = \overline{P3} = 0$. Сигналы с выходов $\overline{P}$ и $\overline{G}$ одного блока можно подать на выходы $P0$ и $G0$ второго блока.

Микросхема РП1 состоит из входных схем, дешифраторов адреса X и Y , запоминающей матрицы 4×4 бит, схемы разрешения записи и считывания, выходных схем.

Так как для записи и считывания используются различные декодеры, можно производить запись и считывание одновременно в различных ячейках. Выходные каскады $Q1-Q4$ построены на мощных транзисторах с открытым коллектором, благодаря чему можно соединить параллельные выходы нескольких регистров для организации регистрового ЗУ емкостью до 1024 слов. ЗУ может быть применено в памяти блочного типа. Данная схема может работать при скоростях, которые позволяют ее использовать как высокоскоростную буферную память между основной памятью и периферийной.

Преобразователи. Преобразователь двоично-десятичного кода в двоичный $\overline{P6}$ (табл. 3.46) и двоичного кода в двоично-десятичный $\overline{P7}$ (табл. 3.47) построены на базе БИС ПЗУ на 256 бит, программируемых шаблоном металлизации в процессе производства. Структурная схема ПЗУ (рис. 3.64) включает следующие основные функциональные узлы: матрицу запоминающих элементов (ЗЭ); блок адресных формирователей ($\overline{F}$); входной дешифратор ($\overline{DC}$); блок усилителей считывания ($\overline{UC}$); схему разрешения выборки ($\overline{PB}$).

Матрица ЗЭ построена на 32-х восьми-эмиттерных транзисторах, включенных по схеме эмиттерного повторителя. Каждому слову соответствует один из транзисторов, каждому эмиттеру транзистора соответствует один из разрядов. Программа в матрицу записывается с помощью маски металлизации. Подключение разрядной шины к эмиттеру словарного транзистора соответствует записи 0, неподключение — записи 1.

Адресные формирователи служат для согласования схемы на кристалле с внешними управляющими цепями, а также для

Таблица 3.4

Слово	Входной код адреса слова на выводах						Выходной код слова на выводах									
	14	13	12	11	10	15	9	7	6	5	4	3	2	1		
0	0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	1	0	1	0	0	0	0	0	0	1
2	0	0	0	0	1	0	0	1	1	0	0	0	0	0	1	0
3	0	0	0	1	1	0	0	1	1	0	0	0	0	0	1	1
4	0	0	0	1	0	0	0	1	1	0	0	0	0	0	1	0
5	0	0	1	0	1	0	0	1	0	1	1	1	1	1	1	1
6	0	0	1	1	1	0	0	0	1	1	1	1	1	1	1	1
7	0	0	1	1	1	0	0	0	0	1	1	1	1	1	1	1
8	0	1	0	0	0	0	0	0	1	0	0	0	1	0	1	1
9	0	1	0	0	1	0	0	0	0	0	0	0	1	1	0	1
10	0	1	0	1	0	0	1	1	1	0	0	1	1	1	1	1
11	0	1	0	1	1	0	1	1	1	1	0	1	0	0	0	0
12	0	1	1	0	0	0	1	1	1	1	0	1	0	0	1	1
13	0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1
14	0	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1
15	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
16	1	0	0	0	0	0	0	0	0	0	1	0	1	1	0	1
17	1	0	0	0	1	0	1	0	0	0	1	0	1	1	1	1
18	1	0	0	1	0	0	1	0	0	0	1	1	1	0	0	0
19	1	0	0	1	1	0	0	1	1	0	1	1	0	0	1	1
20	1	0	1	0	0	0	0	1	1	0	1	1	1	1	0	1
21	1	0	1	0	1	0	0	1	0	1	1	1	1	1	1	1
22	1	0	1	1	0	0	0	1	0	1	1	1	1	1	1	1
23	1	0	1	1	1	0	0	0	1	1	1	1	1	1	1	1
24	1	1	0	0	0	0	0	0	1	0	1	1	1	1	1	1
25	1	1	0	0	1	0	0	0	0	1	0	0	0	0	0	0
26	1	1	0	1	0	0	1	1	1	1	1	0	0	0	1	1
27	1	1	0	1	1	0	1	1	1	1	1	0	0	1	0	1
28	1	1	1	0	0	0	1	1	1	1	1	0	0	1	1	1
29	1	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1
30	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1
31	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
Запрет	Н	Н	Н	Н	Н	1	1	1	1	1	1	1	1	1	1	1

Таблица 3.4

Слово	Выходной код адреса слова на выводах						Выходной код слова на выводах									
	14	13	12	11	10	15	6	5	4	3	2	1				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
2	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	1
3	0	0	0	0	1	1	0	0	0	0	0	0	0	0	1	1
4	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0
5	0	0	0	1	0	1	0	0	0	0	0	1	0	0	0	1
6	0	0	0	1	1	0	0	0	0	0	1	0	0	0	0	1
7	0	0	0	1	1	1	0	0	0	0	1	0	0	1	0	1
8	0	1	0	0	0	0	0	0	0	0	1	0	1	1	0	1
9	0	1	0	0	0	1	0	0	0	0	1	0	1	1	0	0
10	0	1	0	1	0	0	1	0	0	0	1	0	0	0	0	0
11	0	1	0	1	1	0	1	0	0	0	1	0	0	0	0	1
12	0	1	1	0	0	0	0	0	0	1	0	0	0	1	0	1
13	0	1	1	0	1	0	1	0	0	1	0	0	0	1	1	1
14	0	1	1	1	1	0	0	0	0	1	0	1	0	1	0	0
15	0	1	1	1	1	1	0	0	0	1	1	0	0	0	0	0
16	1	0	0	0	0	0	0	0	0	1	1	1	0	0	0	1
17	1	0	0	0	0	1	0	0	0	1	1	1	0	1	0	1
18	1	0	0	1	0	0	0	0	0	1	1	1	0	1	1	0
19	1	0	0	1	1	0	0	1	1	0	0	1	1	1	0	0
20	1	0	0	1	0	0	0	0	0	1	0	0	0	0	0	0
21	1	0	1	0	1	0	1	0	1	0	1	0	0	0	0	1
22	1	0	1	1	0	0	0	1	0	1	0	1	0	0	1	0
23	1	0	1	1	1	0	0	1	1	1	0	0	0	0	1	1
24	1	1	0	0	0	0	0	0	0	1	0	0	1	0	0	0
25	1	1	0	0	1	0	0	0	0	1	0	1	0	1	0	1
26	1	1	0	1	0	0	1	0	0	1	0	1	0	1	0	1
27	1	1	0	1	1	0	1	1	1	0	0	1	0	1	0	1
28	1	1	1	0	0	0	1	1	1	1	0	1	0	1	1	0
29	1	1	1	0	1	0	1	1	1	1	1	1	1	0	0	0
30	1	1	1	1	0	0	1	1	1	1	1	1	1	0	0	1
31	1	1	1	1	1	0	1	1	1	1	1	1	1	0	0	1
Запрет	Н	Н	Н	Н	Н	1	1	1	1	1	1	1	1	1	1	1

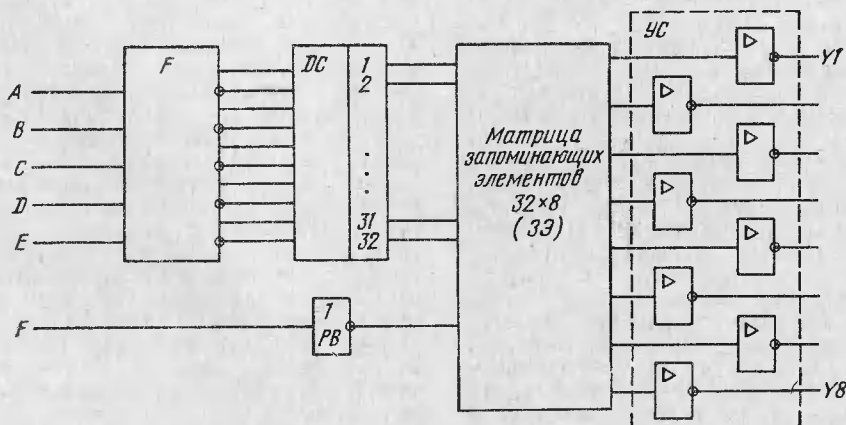


Рис. 3.64. Структурная схема РЗУ на 256 бит

выдачи на дешифратор прямых и инверсных адресных кодов. Адресные формирователи выполнены на десяти стандартных логических схемах ТТЛ. На входы формирователей подается 5-разрядный двоичный код для выбора одного из тридцати двух слов запоминающей матрицы. На выходе блока адресных формирователей имеется удвоенное число адресных шин за счет добавления инверсных линий, что значительно упрощает схему дешифратора.

Входной дешифратор осуществляет выбор одного из 32 слов ПЗУ, т. е. включает один из 32 восьмиэмиттерных транзисторов запоминающей матрицы. Дешифратор представляет собой 32 шестивходовых вентиля И. Пять входов вентиля И используются для дешифрации, а шестой — для управления со схемой разрешения выборки. Схема разрешения выборки, представляющая собой инвертор с ограничением насыщения выходного каскада, запрещает обращение к кристаллу в том случае, если на ее входе присутствует напряжение высокого уровня. Выборка какого-либо слова возможна только при низком уровне на входе F, при напряжении высокого уровня на входе F все входы имеют высокий уровень напряжения.

Таким образом осуществляется стробирование дешифратора, тем самым запрещая или разрешая выбор слова в матрице ЗЭ. В процессе программирования маской металлизации эмиттеры восьмиэмиттерных транзисторов матрицы ЗЭ (все или часть их) подключаются к соответствующим разрядным шинам, соединенным с выходными выводами ИС через усилители считывания. При возбуждении какой-либо адресной шины к базе соответствующего транзистора матрицы приложено напряжение, которое отпирает этот транзистор, и через его эмиттеры в разрядные шины поступает ток. Если все эмиттеры подключены к своим разрядным шинам, то все восемь усилителей считывания возбуждены и на их выходах установится напряжение низкого уровня. Если некоторые эмиттеры возбужденного транзистора матрицы не подключены к разрядной шине, то соответствующие выходные транзисторы усилителей считывания будут закрыты, что соответствует высокому уровню на выходе. Усилители считывания позволяют преобразовать уровни считываемых с матрицы сигналов в уровни, требуемые для работы на внешнюю нагрузку, а также повысить нагрузочную способность ИС. В зависимости от записанной в матрицу ЗЭ программы (таблицы истинности), выполняемая ИС функция будет различной.

Микросхема ПР6 выполняет 6-разрядное преобразование двоично-десятичного кода в двоичный. На рис. 3.65 показано включение ИС ПР6 для преобразования двоично-десятичного кода в двоичный и приведена ее таблица истинности (табл. 3.48). Младшие разряды двоично-десятичного и двоичного кодов представ-

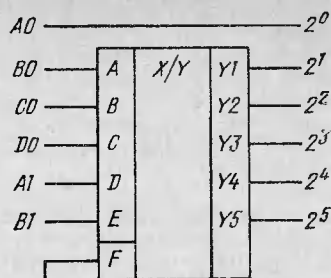


Рис. 3.65. Преобразователь двоично-десятичного кода в двоичный на микросхеме ПР6

ляются логически эквивалентными, т. е. младший разряд входного кода одновременно является младшим разрядом выходного кода. Выходы Y6—Y8 при преобразовании двоично-десятичного кода в двоичный не используются.

Помимо преобразования двоично-десятичного кода в двоичный ИС типа ПР6 позволяет осуществлять преобразование двоично-десятичного кода в код, дополнительный до 9 или в код, дополнительный до 10. Схемы включения для указанного преобразования приведены на рис. 3.66, 3.67, режим работы ИС указан в табл. 3.49—3.50.

Так как в этом случае один разряд любого из кодов логически эквивалентен одному из разрядов двоично-десятичного кода, то оба дополнительных кода можно получить на трех шинах. Выходы Y6—Y8 не заняты в преобразовании двоично-десятич

Таблица 3.49

Слово	Входное слово	Входной код слова					Выходной код слова				
		E	D	C	B	A	Y5	Y4	Y3	Y2	Y1
0	0—1	0	0	0	0	0	0	0	0	0	0
1	2—3	0	0	0	0	1	0	0	0	0	1
2	4—5	0	0	0	1	0	0	0	0	1	0
3	6—7	0	0	0	1	1	0	0	0	1	1
4	8—9	0	0	1	0	0	0	0	1	0	0
8	10—11	0	1	0	0	0	0	0	1	0	1
9	12—13	0	1	0	0	1	0	0	1	1	0
10	14—15	0	1	0	1	0	0	0	1	1	1
11	16—17	0	1	0	1	1	0	1	0	0	0
12	18—19	0	1	1	0	0	0	1	0	0	1
13	20—21	1	0	0	0	0	0	1	0	1	0
17	22—23	1	0	0	0	1	0	1	0	1	1
18	24—25	1	0	0	1	0	0	1	1	0	0
19	26—27	1	0	0	1	1	0	1	1	0	1
20	28—29	1	0	1	0	0	0	1	1	1	0
24	30—31	1	1	0	0	0	0	1	1	1	1
25	32—33	1	1	0	0	1	1	0	0	0	0
26	34—35	1	1	0	1	0	1	0	0	0	1
27	36—37	1	1	0	1	1	1	0	0	1	0
28	38—39	1	1	1	0	0	1	0	0	1	1

ного кода в двоичный, их и используют для получения дополнительных до 9 и 10 кодов. При этом вход Е функционирует как вход выбора режима работы. При напряжении низкого уровня на этом входе вырабатывается код, дополнительный до 9, при напряжении высокого уровня — код, дополнительный до 10.

Микросхема ПР7 (рис. 3.68) выполняет 6-разрядное преобразование двоичного кода в двоично-десятичный. Младший разряд входного кода, как и в рассмотренном выше случае для ИС ПР6, является одновременно младшим разрядом выходного кода. Для преобразования n -разрядного двоич-

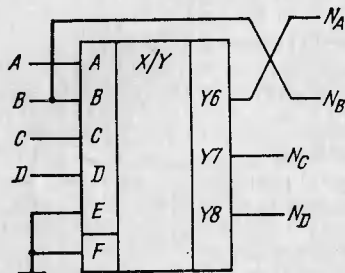


Рис. 3.66. Преобразователь двоично-десятичного кода в код, дополнительный до 9, на микросхеме ПР6

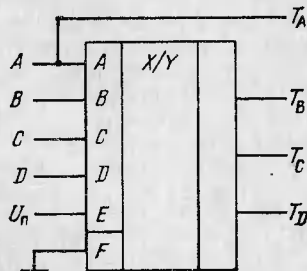


Рис. 3.67. Преобразователь двоично-десятичного кода в код, дополнительный до 10, на микросхеме ПР6

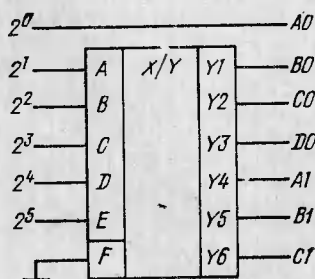


Рис. 3.68. Преобразователь двоичного кода в двоично-десятичный на микросхеме ПР7

Таблица 3.49

Слово	Входное число	Входной код слова					Выходной код слова		
		Е	Д	С	В	А	Y8	Y7	Y6
0	0	0	0	0	0	0	1	0	1
1	1	0	0	0	0	1	1	0	0
2	2	0	0	0	1	0	0	1	1
3	3	0	0	0	1	1	0	1	0
4	4	0	0	1	0	0	0	1	1
5	5	0	0	1	0	1	0	1	0
6	6	0	0	1	1	0	0	0	1
7	7	0	0	1	1	1	0	0	0
8	8	0	1	0	0	0	0	0	1
9	9	0	1	0	0	1	0	0	0

Таблица 3.50

Слово	Входное число	Входной код слова					Выходной код слова		
		Е	Д	С	В	А	Y8	Y7	Y6
16	0	1	0	0	0	0	0	0	0
17	1	1	0	0	0	1	1	0	0
18	2	1	0	0	1	0	1	0	0
19	3	1	0	0	1	1	0	1	1
20	4	1	0	1	0	0	0	1	1
21	5	1	0	1	0	1	0	1	0
22	6	1	0	1	1	0	0	1	0
23	7	1	0	1	1	1	0	0	1
24	8	1	1	0	0	0	0	0	1
25	9	1	1	0	0	1	0	0	0

ного кода ИС имеет возможность включаться каскадно. Режим работы ИС ПР7 описывается табл. 3.51.

Микросхема ХЛ1 (рис. 3.69) представляет собой многофункциональный элемент, реализующий функции хранения и обработки информации. Элемент позволяет осуществлять передачу информации по двум направлениям (т. е. информация на магистралах может быть выходной при считывании с устройства, так и входной при записи в него), обеспечивает совмещение нескольких уровней передач (например, одновременное считывание и запись по разным магистралям), реализует ряд логических функций. Применение ИС позволяет достичь значительной экономии оборудования при реализации средств обработки цифровых данных за счет совмещения логических функций с функциями хранения и за счет возможности построения регулярных вычислительных структур.

Микросхема ХЛ1 содержит два базовых элемента, имеющих общие адресные шины записи и считывания информации. Каждый базовый элемент содержит триггер D с тремя входами D (образованный из логических элементов И—ИЛИ—НЕ, триг-

гера RS), три информационных шины (магистралы M11, M12, M13) и три логических схемы 2И—НЕ, первые входы которых объединены и подключены к выходу триггера D. Другие входы логических элементов подсоединены к адресным шинам чтения, а выходы — одновременно к информационным шинам и входам D триггера.

Ячейка работает следующим образом. Запись информации в ячейку осуществляется с информационных шин M (магистралей) подачей сигналов записи на адресные шины записи $A_{зп}$ (активный уровень — низкий). Сигналы записи с соответствующей из адресных шин через инверторы В1—В3 разрешают прием на триггер D информации с соответствующей информационной шиной M (M11, M12, M13).

Для считывания информации из ячейки на одну из информационных шин M достаточно подать по адресным шинам считывания $A_{сч}$ сигнал на вход соответствующего элемента 2И—НЕ (активный уровень — высокий). При этом на информационной шине M, подключенной к выходу элемента 2И—НЕ, будет напряжение, со-

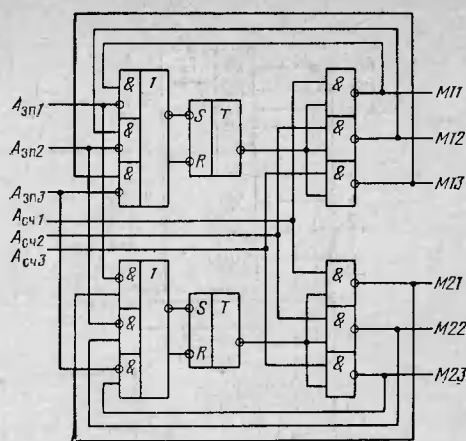


Рис. 3.69. Логическая структура микросхемы ХЛ1

ответствующее содержимому триггера D (Т1), записанному предварительно с той же информационной шины M или с любой другой. Отдельные ячейки матричной однородной структуры (ЯП) объединяются между собой с помощью информационных шин M, с которых возможна как запись в ЯП, так и считывание из ЯП на информационных шинах M.

Адресные входы ЯП объединяются с помощью адресных шин записи $A_{зп}$ и считывания $A_{сч}$ соответственно. Обработка информации в матрице производится в процессе передачи информации по информационным шинам M от ячейки к ячейке или при одновременной работе нескольких ЯП. Например, логическая операция И осуществляется одновременным считыванием на соответствующую информационную шину M содержимого сразу двух ЯП. При этом информация высокого уровня на информационных шинах M остается только в тех разрядах матрицы, на которые одновременно считывались 1. В разрядах же, на которые считывался хотя бы один 0, остается информация низкого уровня. Операция ИЛИ выполняется записью в одну ЯП информации с различных информационных шин M. При этом, если хотя бы одна 1 есть на любой из информационных шин M, она записывается в данную ЯП. Операции перекомпоновки производятся на ячейках, различные выходы которых закоммутированы с информационными шинами M других столбцов матрицы (нижняя строка матрицы на рис. 3.70). Например, операция сдвига вправо выполняется: записью в эту строку по первым входам ячеек с первой информационной шины M, а считыванием — по вторым входам на другую информационную шину M. Сдвиг влево — в обратном порядке. Операции пере- сьодок информации выполняются считыванием содержимого одной ЯП и записи в другую, причем передающая ЯП являет-

Таблица 3.51

Слово	Входное число	Входной код слова					Выходной код слова					
		Е	Д	С	В	А	Y6	Y5	Y4	Y3	Y2	Y1
0	0—1	0	0	0	0	0	0	0	0	0	0	0
1	2—3	0	0	0	0	1	0	0	0	0	0	1
2	4—5	0	0	0	1	0	0	0	0	0	1	0
3	6—7	0	0	0	1	1	0	0	0	0	1	1
4	8—9	0	0	1	0	0	0	0	0	1	0	0
5	10—11	0	0	1	0	1	0	0	1	0	0	0
6	12—13	0	0	1	1	0	0	0	1	0	0	1
7	14—15	0	0	1	1	1	0	0	1	0	1	0
8	16—17	0	1	0	0	0	0	0	1	0	1	1
9	18—19	0	1	0	0	1	0	0	1	1	0	0
10	20—21	0	1	0	1	0	0	1	0	0	0	0
11	22—23	0	1	0	1	1	0	1	0	0	0	1
12	24—25	0	1	1	0	0	0	1	0	0	1	0
13	26—27	0	1	1	0	1	0	1	0	0	1	1
14	28—29	0	1	1	1	0	0	1	0	1	0	0
15	30—31	0	1	1	1	1	0	1	1	0	0	0
16	32—33	1	0	0	0	0	0	1	1	0	0	1
17	34—35	1	0	0	0	1	0	1	1	0	1	0
18	36—37	1	0	0	1	0	0	1	1	0	1	1
19	38—39	1	0	0	1	1	0	1	1	1	0	0
20	40—41	1	0	1	0	0	1	0	0	0	0	0
21	42—43	1	0	1	0	1	1	0	0	0	0	1
22	44—45	1	0	1	1	0	1	0	0	0	1	0
23	46—47	1	0	1	1	1	0	0	0	0	1	1
24	48—49	1	1	0	0	0	1	0	0	1	0	0
25	50—51	1	1	0	0	1	1	0	1	0	0	0
26	52—53	1	1	0	1	0	1	0	1	0	0	1
27	54—55	1	1	0	1	1	1	0	1	0	1	0
28	56—57	1	1	1	0	0	1	0	1	0	1	1
29	58—59	1	1	1	0	1	1	0	1	1	0	0
30	60—61	1	1	1	1	0	1	1	0	0	0	0
31	62—63	1	1	1	1	1	1	1	0	0	0	1

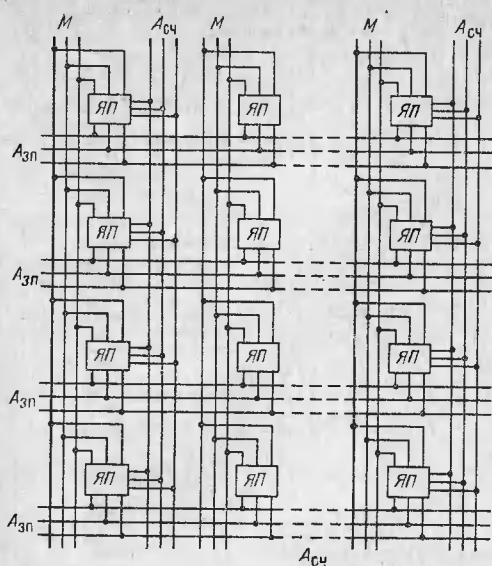


Рис. 3.70. Ячейка микросхемы ХЛ1

ся источником, а все прочие на этой информационной шине М — приемниками. Одновременно возможна пересылка информации между другими ЯП по другой информационной шине М.

Микросхема ХЛ1 может быть применена для построения большого числа разнообразных узлов цифровых ЭВМ и устройств (программно-адресуемые регистры, регистры хранения данных и промежуточных результатов, мультиплексоры — демультиплексоры данных и др.). Наличие трех независимых магистралей позволяет реализовать большой набор регистров с разнообразными связями в виде единого поля памяти с регулярными связями.

Большая интегральная схема ВЖ1 представляет собой 16-разрядную схему обнаружения и исправления ошибок (БИС ОИО) по коду Хэмминга. Эффект применения кода Хэмминга позволяет исправлять одиночные и обнаруживать все двойные ошибки в ЗУ, определять преобладание долей ошибок малой кратности в общем числе ошибок.

Оптимальность применения кодов Хэмминга обусловлена относительно малой сложностью реализации кодирующих и декодирующих устройств: малой избыточностью по сравнению с другими кодами; малым приращением времени цикла записи и считывания данных из ЗУ. В основе работы микросхемы ВЖ1 используется принцип избыточного кодирования, т. е. увеличение числа разрядов, необходимых для представления информации (табл. 3.52).

Эти избыточные разряды, называемые контрольными, позволяют обнаруживать и исправлять ошибки, возникающие в процессе записи и хранения информации. Число необходимых контрольных и информационных разрядов для классического кода Хэмминга определяется следующим соотношением: $m = 2^k - k - 1$, где k — число контрольных разрядов; m — максимальное число информационных разрядов.

В рассматриваемом варианте БИС ВЖ1 используется вариант модифицированного кода Хэмминга с шестнадцатью информационными и шестью контрольными разрядами, которые обладают большей избыточностью на один разряд (табл. 3.53). С другой стороны, он имеет ряд преимуществ и позволяет: унифицировать принципиальную схему кодирующих и декодирующих устройств по числу входов и нагрузок ЛЭ; уменьшить время задержки при формировании контрольных разрядов синдрома S_i и флагов ошибок; уменьшить сложность и увеличить быстродействие блока обнаружения многократных ошибок; обеспечить возможность программной обработки синдромов ошибок.

Временные диаграммы БИС ВЖ1 приведены на рис. 3.71, 3.72. БИС содержит следующие основные блоки: блоки задания направления обмена информационных и контрольных разрядов (входные регистры и выходные шинные формирователи), формирователь контрольных разрядов и синдрома ошибки, блок обнаружения одиночной и многократной ошибок (формирователь флагов ошибок), дешифратор адреса ошибки, корректирующий блок и блок управления. Схема работает в двух основных режимах, соответствующих циклам записи и считывания информации с ЗУ. В цикле записи происходит процесс кодирования,

Таблица 3.52

Разряд контрольного слова	Шестнадцатизрядное слово данных															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
СВ0	×	×		×	×				×	×	×			×		
СВ1	×		×	×		×	×		×			×			×	
СВ2		×	×		×			×		×			×			×
СВ3	×	×	×				×	×			×	×	×			
СВ4				×	×	×	×	×						×	×	×
СВ5									×	×	×	×	×	×	×	×

Таблица 3.53

Общее число ошибок		Флаги ошибок		Корректировка данных
16-разрядные данные	6-разрядное контрольное слово (КС)	EF	MEF	
0	0	0	0	Не применяется
1	0	1	0	Корректируется
0	1	1	0	«
1	1	1	1	Прерывается
2	0	1	1	«
0	2	1	1	«

т. е. формирования контрольных разрядов из информационных в соответствии с кодом Хэмминга. Каждый контрольный разряд представляет собой результат суммирования по модулю два восьми информационных разрядов. Сформированные контрольные разряды выдаются на двуправленную шину и поступают вместе с информационными разрядами в ЗУ. На этом цикл записи заканчивается. В течение цикла записи память шести контрольных битов (разрядов) образуется на 8-входовой схеме сравнения, использующей информационные разряды, представленные в табл. 3.53.

В течение цикла считывания 6-разрядное слово восстанавливается вместе с исходными данными. Обнаружение ошибки завершается, когда 6-разрядное контрольное слово и 16-разрядное слово данных из памяти поступают на внешнюю схему сравнения контроля. Если достигнуто равенство всех шести разрядов контрольного слова и слова данных, это означает, что нет ошибок и на обоих флажках ошибок 0. (Необходимо отметить, что контрольные биты на выходах СВ0 и СВ1 инвертируются для обнаружения грубой ошибки (все 0 и все 1). При несовпадении одного и более разрядов в контрольных битах имеет место ошибка и соответствующие флаги или флаги ошибок устанавливаются в 1. Любая единичная ошибка в 16-битовом слове данных изменяет три бита 6-битового контрольного слова. Любая единичная ошибка в 6-битовом контрольном слове изменяет только один бит. В остальных случаях флаг единичной ошибки будет установлен в 1 несмотря на то, что флаг двойной ошибки установлен в 0.

Каждая двойная ошибка меняет такое же число контрольных битов. Двойная ошибка не исправляется. Оба флага ошибки устанавливаются в 1 при обнаружении любой 2-битовой ошибки. Три и более одновременных ошибки в битах могут привести к тому, что БИС ВЖ1 не обнаруживает корректируемую или не корректируемую ошибку, приводящую к ошибочному результату во всех трех случаях. Исправ-

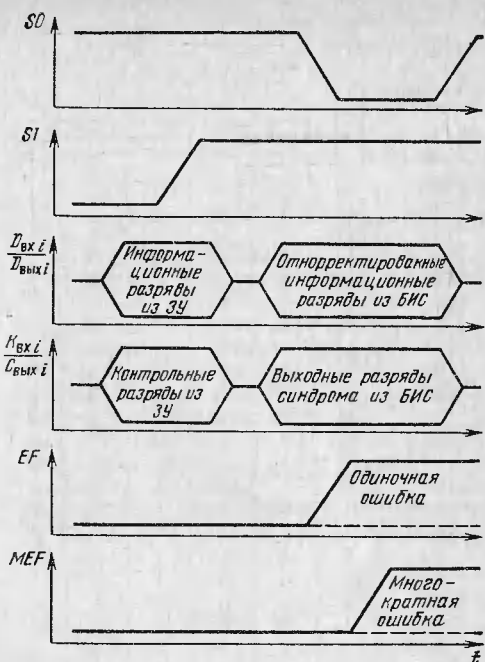


Рис. 3.71. Временные диаграммы режима считывания (обнаружения и исправления ошибок) микросхемы ВЖ1

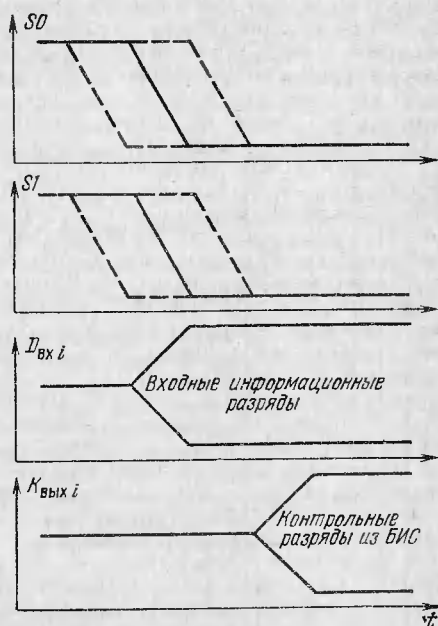


Рис. 3.72. Временные диаграммы режима записи (формирование контрольных разрядов) микросхемы ВЖ1

Таблица 3.54

Положение ошибки	Синдром ошибки S_i					
	СВ0	СВ1	СВ2	СВ3	СВ4	СВ5
ДВ0	0	0	1	0	1	1
ДВ1	0	1	0	0	1	1
ДВ2	1	0	0	0	1	1
ДВ3	0	0	1	1	0	1
ДВ4	0	1	0	1	0	1
ДВ5	1	0	0	1	0	1
ДВ6	1	0	1	0	0	1
ДВ7	1	1	0	0	0	1
ДВ8	0	0	1	1	1	0
ДВ9	0	1	0	1	1	0
ДВ10	0	1	1	0	1	0
ДВ11	1	0	1	0	1	0
МВ12	1	1	0	0	1	0
ДВ13	0	1	1	1	0	0
ДВ14	1	0	1	1	0	0
ДВ15	1	1	0	1	0	0
СВ0	0	1	1	1	1	1
СВ1	1	0	1	1	1	1
СВ2	1	1	0	1	1	1
СВ3	1	1	1	0	1	1
СВ4	1	1	1	1	0	1
СВ5	1	1	1	1	1	0
Ошибки нет	1	1	1	1	1	1

ление ошибок осуществляется обнаружением неправильного бита и исправлением его. Обнаружение ошибочного бита выполняется сравнением 16-разрядной информации бита и 6-разрядного контрольного слова из памяти с новым контрольным словом. Синдром ошибки может быть исполь-

зован для обнаружения ошибок, участков (табл. 3.54).

В цикле считывания происходит процесс декодирования информации — информационные и контрольные разряды считываются с ЗУ в БИС и сравниваются между собой на соответствие по коду Хэмминга. В результате образуется синдром ошибки, с помощью которого дешифратор адреса ошибки может идентифицировать ошибочный разряд и выдает сигнал корректирующему блоку на его исправление (инвертирование). Полученный синдром ошибки также анализируется блоком обнаружения ошибок для определения наличия одиночной или двойной ошибки и выдачи соответствующих флагов ошибок. Исправленная информация поступает на выходы блока задания направления обмена информацией разрядами, а информация об ошибках, т. е. синдром и флаги ошибок поступают в процессор и могут использоваться для набора статистики по отказавшим ячейкам ЗУ. Структурные решения, принятые в БИС ВЖ1, направлены на минимальное число внешних выводов и просмотр управления устройством.

БИС содержит двунаправленную шину контрольных признаков разрядов. Учитывая, что для большинства случаев в эксплуатации не требуется корректировка контрольных разрядов, в данной схеме предусмотрена только сигнализация ошибок в контрольных разрядах (путем выставления флагов ошибок) без их исправления. При необходимости исправления контрольных разрядов их можно сформировать переходом в режим воспроизведения. Вместо выдачи исправленных контрольных разрядов в схеме предусмотрена выдача признака ошибки, что позволяет

Таблица 3.55

Входы управления		Цикл памяти	Режим работы	Характер информации на шине D_i	Характер информационного контрольного слова K_i/C_i	Флаги ошибок	
S0	S1					EF	NEF
0	0	Запись	Формирование контрольных разрядов	Входные информационные разряды в ЗУ	Выходные информационные разряды БИС ОИО	Запрещены	
1	0	Считывание	Запись информации контрольных разрядов из ЗУ в БИС ОИО	Входные информационные разряды из ЗУ	Выходные контрольные разряды из ЗУ	То же	
1	1	то же	Блокировка информации и разрешение флагов ошибок	Выключенное состояние	Выключенное состояние	Разрешены	
0	1	»	Выдача исправленного информационного слова и синдрома ошибки	Выходные разряды синдрома ошибки с БИС ОИО	Выходные разряды синдрома ошибки с БИС ОИО	То же	

осуществлять восстановление и определение ошибок с помощью процессора. Простота управления БИС обусловлена тем, что имеется всего два управляющих входа S0 и S1 и управление всеми блоками БИС происходит внутри, при этом не требуется внешних сложных устройств синхронизации.

Для увеличения числа обнаруживаемых многократных ошибок в устройстве используется смешанный паритет — часть контрольных разрядов формируется с использованием четного паритета, а часть — с использованием нечетного. Это позволяет обнаружить многократные групповые ошибки типа «все 0» и «все 1». Функциональная контрольная таблица БИС приведена в табл. 3.55. БИС ВЖ1 предназначена для применения в блоках контроля ЗУ различных микропроцессорных систем, мини- и больших ЭВМ. Основным требованием, предъявляемым к этой БИС, является высокое быстродействие, чтобы БИС ВЖ1 незначительно увеличила время обращения к ЗУ и время цикла.

Таблица 3.56

Режим работы	Вход разрешения	Выход
Запрет генерирования Генерирование	Высокий уровень Низкий уровень	Высокий уровень Генерирование

Микросхема ГГ1 представляет собой два управляемых напряжением генератора. Диапазоны выходных частот устанавливаются одним внешним элементом, кварцем или емкостью, в комбинации с двумя управляющими напряжениями на входах UD0 и UD1. Частота меняется от управляющих напряжений следующим образом: при увеличении напряжения на входе UD0 частота увеличивается, а при увеличении напряжения на входе UD1 частота уменьшается. Вход разрешения E позволяет выбрать режим работы в соответствии с табл. 3.56.

Глава 4

Рекомендации по применению ТТЛ микросхем

Для успешного применения ИС ТТЛ в электронной вычислительной аппаратуре (ЭВА) и обеспечения надежной работы необходимо знать технические характеристики ИС, строго руководствоваться требованиями технических условий по режимам эксплуатации и правилам электромонтажа, не допускать выхода параметров за значения, указанные для предельных режимов эксплуатации. Только тогда можно избежать ошибок, которые, несмотря на правильное логическое проектирование схемы, не позволяют обеспечить ее надежную работу.

В данной главе изложены некоторые особенности применения ИС ТТЛ, которые не всегда учитываются разработчиками ЭВА, что приводит к нарушениям электрических режимов эксплуатации ИС, снижению надежности ИС и аппаратуры в целом.

4.1. Особенности применения логических элементов ТТЛ

Обеспечение нагрузочной способности по постоянному току при работе ИС ТТЛ друг на друга. Все ИС ТТЛ по логическим уровням напряжения совместимы друг с другом. Однако по нагрузочной способности ИС разных серий имеют известные различия. В пределах одной серии ИС, как правило, обладают одинако-

вой нагрузочной способностью или, иначе, одинаковым коэффициентом разветвления, определяемым числом входов эквивалентных ЛЭ, которые могут быть подключены к выходу каждого из них. Исключения составляют микросхемы, содержащие логические элементы с более мощными выходными каскадами, например буферные формирователи, схемы сопряжения с магистралью, схемы с повышенным коэффициентом разветвления. Чем выше нагрузочная способность логических элементов ИС, тем больше их логические возможности.

Превышение нагрузочной способности по отношению к заданной техническими условиями приводит к ухудшению других параметров ИС: снижению быстродействия, увеличению потребляемой мощности, ухудшению помехоустойчивости и надежности. Поэтому при конструировании ЭВА необходимо правильно оценивать нагрузочную способность микросхемы по постоянному току, особенно при работе микросхем разных серий друг на друга, и стремиться к снижению нагрузки.

При работе ИС друг на друга выходной ток ЛЭ определяется входными токами управляемых ИС и задается для неблагоприятного рабочего режима в допустимых пределах изменения температуры окружающей среды и напряжения питания для входного напряжения как низкого (лог. 0), так и высокого (лог. 1) уровня. При

Таблица 4.1

Число соединенных входов ЛЭ	Общий потребляемый входной ток	
1	$I_{вх}^0$	$I_{вх}^1$
2	$I_{вх}^0$	$2 I_{вх}^1$
3	$I_{вх}^0$	$3 I_{вх}^1$
...	...	...
N	$I_{вх}^0$	$N I_{вх}^1$

Таблица 4.2

Допустимый выходной ток ИС К555ЛАЗ	ИС нагрузки	Реальный ток нагрузки	
		$I_{вх}^0$ мА	$I_{вх}^1$ мкА
$I_{вых}^0 = 4$ мА	К531ЛН1	-2	1×50
$I_{вых}^1 = 400$ мкА	К155ЛА4	-1,6	3×40
	К555ЛА1	-0,36	4×20
Суммарный ток нагрузки		-3,96	250

наличии на одном из входов логического элемента ИС (например, серии К155) напряжения, соответствующего лог. 0, через эмиттер входного транзистора вытекает максимальный ток. Для базового логического элемента (со стандартным выходом) ИС серии К155 он составляет 1,6 мА и имеет отрицательный знак. При поступлении на каждый вход сигнала, равного единице, через эмиттер входного транзистора вытекает ток 40 мкА. При этом токи, втекающие в микросхему, имеют положительный знак.

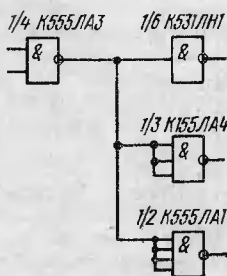


Рис. 4.1. Цепь нагрузки на ИС серий К555, К155, К531

При объединении двух или более входов одного ЛЭ входной ток при сигнале, равном 0, не возрастает, а при сигнале 1 входные токи суммируются, поэтому управляющий ЛЭ должен обеспечить суммарный ток утечки всех используемых входов управляемых схем. При расчете нагрузочной способности управляющей схемы это необходимо учитывать: при объединении нескольких входов одного ЛЭ, например И—НЕ, ток $I_{вх}^0$ остается неизменным, а ток $I_{вх}^1$ увеличивается пропорционально числу объединяемых входов. В табл. 4.1 приведены значения входного тока при объединении нескольких входов одного ЛЭ, подключенных к одному выходу управляющего ЛЭ.

Лучшим способом определения суммарного тока нагрузки при совместной работе ИС ТТЛ различных серий является сложение входных токов, заданных ТУ. В табл. 4.2. приведены расчетные токи ЛЭ К555ЛАЗ, нагруженного на ЛЭ К531ЛН1 и на объединенные входы ЛЭ К155ЛА4 и К555ЛА1 (рис. 4.1).

Превышение выходных токов ИС может привести к снижению запасов помехоустойчивости по уровням лог. 0, лог. 1, определяемых относительно входных пороговых напряжений ИС, и не гарантирует установленные техническими условиями на ИС уровни выходных напряжений 0 и 1. При оценке токовых нагрузок ИС ТТЛ необходимо учитывать, что входные токи во входных цепях некоторых ИС (например, буферные, триггерные, повышенной функциональной сложности) больше входных токов обычных ЛЭ.

В тех случаях, когда требуется обеспечить нагрузочную способность, превышающую возможности одиночного ЛЭ, допускается объединять выходы двух ЛЭ, находящихся в одном корпусе, при условии объединения и их соответствующих входов (рис. 4.2). При этом нагрузочная способность увеличивается в 1,9 раза. Для обеспечения большого тока в серии К155, К555, К531 введены схемы с повышенной нагрузочной способностью как с двухтактным выходом (типа К155ЛА6, К555ЛА6, К155ЛА12, К531ЛА12П, КМ555ЛА12), так и с открытым коллекторным выходом (типа К155ЛА7, К531ЛА7П, К555ЛА7, К133ЛА13, К531ЛА13П, К555ЛА13). Для работы на линию связи может быть использована ИС К531ЛА16П, имеющая улучшенную выходную характеристику при напряжении лог. 1, допускающую работу на 50-омную нагрузку и выходной ток 60 мА при $U_{вых}^0 < 0,5$ В.

Объединение выходов логических элементов. Выходные цепи ИС ТТЛ со стандартным выходом нельзя объединять по схеме Монтажное ИЛИ, так как при наличии одного включенного выхода (состояние 0) и одного выключенного выхода (состояние 1) из выходной цепи последней будет вытекать ток, близкий току корот-

кого замыкания по выходу, и напряжение на включенном выходе значительно возрастает вследствие большого втекающего тока. В результате уменьшится запас помехоустойчивости по уровню лог. 0 и возрастет рассеиваемая обоими ЛЭ мощность. Возможность объединения по выходу имеется у ряда ИС ТТЛ с открытым коллекторным выходом и у ИС с тремя устойчивыми состояниями.

Микросхемы с открытым коллекторным выходом служат для реализации функции И—НЕ, а при объединении нескольких ЛЭ по выходам реализуется функция И—ИЛИ—НЕ. В этих схемах необходимо использовать внешний коллекторный резистор. Его сопротивление нужно выбирать таким, чтобы при 1 на выходе ЛЭ остаточные токи (токи утечки) выходных транзисторов и входные токи следующих схем создавали на резисторе падение напряжения менее 2,1 В, чтобы при любых условиях гарантировать напряжение лог. 1, равное 2,4 В. Кроме того, сопротивление резистора должно быть не менее определенного значения, чтобы при лог. 0 на выходе ИС ток, протекающий через резистор по цепи питания, и входной ток следующих схем не превышал максимально допустимого тока коллектора.

Сопротивление коллекторного резистора можно вычислить по следующим формулам:

$$R_{\max} = \frac{U_{\text{п min}} - U_{\text{вых}}^1}{K_{\text{об}} I_{\text{вых}}^1 + N I_{\text{вх}}^1},$$

$$R_{\min} = \frac{U_{\text{п max}} - U_{\text{вых}}^0}{I_{\text{вых}}^0 - N I_{\text{вх}}^0},$$

где N — фактический коэффициент разветвления по выходу; $K_{\text{об}}$ — фактический коэффициент объединения по выходу; $U_{\text{п max}}$, $U_{\text{п min}}$ — максимальное и минимальное напряжения источника питания.

Для примера приведем расчет допустимого сопротивления резистора при объединении ИС К155ЛА8 по выходу при работе на ИС К155ЛА3 (рис. 4.3), где восемь соединенных между собой выходов ИЛИ ($K = 8$) должны питать четыре входа ($N = 4$):

$$R_{\max} = \frac{4,75 \text{ В} - 2,4 \text{ В}}{8 \cdot 250 \text{ мкА} + 4 \cdot 40 \text{ мкА}} \approx 1 \text{ кОм},$$

$$R_{\min} = \frac{5,25 \text{ В} - 0,4 \text{ В}}{16 \text{ мА} - 4 \cdot 1,6 \text{ мА}} \approx 0,5 \text{ кОм}.$$

Для облегчения расчета сопротивления внешнего резистора существуют таблицы и диаграммы. Чтобы не произошло значительного ухудшения крутизны положительного фронта выходного импульса, рекомендуется выбирать это сопротивление как можно меньшим.

При необходимости организации работы нескольких устройств на общую нагрузку наиболее целесообразным является исполь-

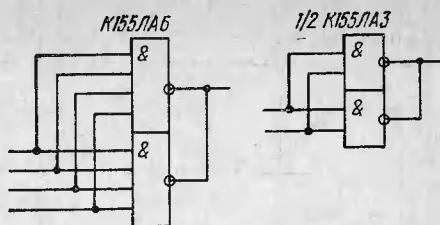


Рис. 4.2. Параллельное включение по входу и выходу ЛЭ, находящихся в одном корпусе, на общую нагрузку

зование ИС с тремя устойчивыми состояниями на выходе (состояние «высокого сопротивления»). Такие микросхемы имеются в ИС ТТЛ серий К155, К531, К555. К ним относятся некоторые типы мультиплексоров (К531КП11П, К531КП14П, К531КП15П, К555КП11, К555КП12, К555КП14, К555КП15), регистров хранения (К531ИР22П, К531ИР23П, К555ИР22, К555ИР23), магистральных буферных усилителей (К531АП3П, К531АП4П, К555АП3, К555АП4), формирователей с управлением по входу (К155ЛП10, К155ЛП11), логических элементов, инверторов (К155ЛП8, К155ЛН6, К4531ЛА17А, К531ЛА19П) и др.

Третье устойчивое состояние характеризуется тем, что выход ИС отключается от нагрузки и практически не потребляет ток ни в состоянии лог. 0, ни в состоянии лог. 1. Однако при расчете нагрузочной способности выходов, подключенных к общей шине, следует учитывать токи утечки в третьем состоянии. При сигнале 1 на внешней шине ток утечки является втекающим для микросхем, при сигнале 0 — вытекающим.

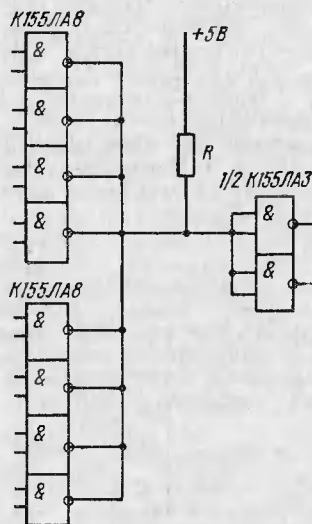


Рис. 4.3. Схема объединения по выходу ИС К155ЛА8

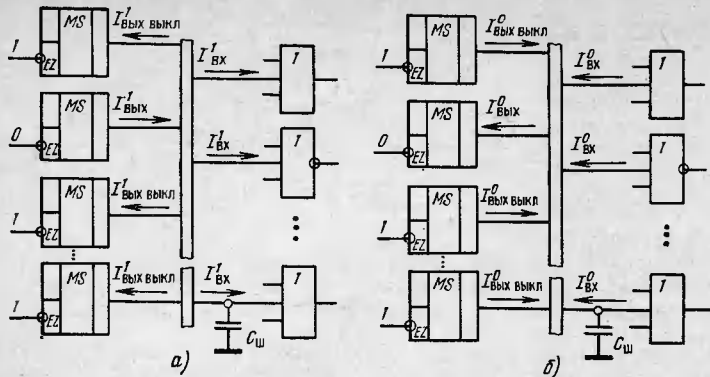


Рис. 4.4. Работа ИС с тремя устойчивыми состояниями на общую шину при напряжениях высокого (а) и низкого (б) уровня на ней

Выход, находящийся в состоянии лог. 1, должен обеспечить достаточный ток на питание как входных цепей нагрузок, так и на восполнение токов утечки выходов ИС (рис. 4.4, а). Выход, находящийся в состоянии низкого уровня, должен иметь достаточный втекающий ток, превышающий объединенный входной ток ИС нагрузок и токи выключенного состояния всех остальных объединенных выходов (рис. 4.4, б). В качестве примера приведем расчет выходящих токов при объединении на внешнюю шину 11 выходов ИС К555КП15 и 9 нагрузок входов ИС К555ЛА4:

$$I_{\text{вых}}^0 = 4 \text{ мА} > 10 I_{\text{вых выкл}}^0 + 9 I_{\text{вх}} = 10 \cdot 0,02 \text{ мА} + 9 \cdot 0,4 \text{ мА} = 3,8 \text{ мА},$$

$$I_{\text{вых}}^1 = 1 \text{ мА} > 10 I_{\text{вых выкл}}^1 + 9 I_{\text{вх}} = 10 \cdot 0,02 \text{ мА} + 9 \cdot 0,02 \text{ мА} = 0,38 \text{ мА}.$$

Следует помнить, что при работе на объединенную шину нескольких ИС ТТЛ разных серий нагрузочную способность определяет самый маломощный выход. Суммарная емкость внешней шины (магистральной), складывающаяся из емкости монтажа $C_{\text{ш}}$ и входных емкостей ЛЭ, не должна превышать предельной емкости нагрузки $C_{\text{н пред}}$.

Влияние емкости нагрузки. Емкость на выходе ИС ТТЛ оказывает существенное влияние на ее статические и динамические параметры, поэтому в технических условиях на ИС ТТЛ вводятся ограничения на нагрузочную емкость. Под нагрузочной емкостью понимается суммарная емкость межсоединений, входов ИС — нагрузок (с учетом емкости монтажа), навесных емкостей. Гарантируемые нормы динамических параметров устанавливаются для оговоренной емкостной нагрузки: $C_{\text{н.г}} \geq$

$$\geq \sum_{i=1}^k C_{\text{вх н}i} + \sum_{i=1}^k C_{\text{м}i}, \text{ где } k — \text{коэффициент разветвления; } C_{\text{н.г}} — \text{емкость нагрузки управляющей схемы, при которой гарантируются временные параметры; } C_{\text{вх н}i} — \text{емкость входа управляемой схемы; } C_{\text{м}i} — \text{емкость монтажа одного входа управляемой схемы.}$$

Превышение емкости нагрузки приводит к увеличению задержки распространения сигналов ($t_{\text{зд.р}}^0$; $t_{\text{зд.р}}^1$) и длительностей положительного и отрицательного фронтов сигналов переключения ($\tau_{\text{ф}}^0$, $\tau_{\text{ф}}^1$).

Отдельные интервалы времени большей части ИС ТТЛ измеряются по выходным пороговым уровням ($U_{\text{вых пор}}^0$ и $U_{\text{вых пор}}^1$) или, как принято в технической документации на ИС ТТЛ по уровням $U_{\text{вых max}}^0 = 0,4 \text{ В}$ (лог. 0) и $U_{\text{вых min}}^1 = 2,4 \text{ В}$ (лог. 1) (см. рис. 2.8). Длительность положительного фронта определяется как интервал времени, в течение которого напряжение возрастает от 0,6 до 2,2 В, длительность отрицательного фронта — как интервал времени, в течение которого напряжение снижается с 2,2 до 0,6 В. Задержки распространения сигналов измеряются по уровням 0,5 суммы входных пороговых напряжений. Задержку распространения сигналов при переключении ИС ТТЛ принято измерять при напряжении 1,5 В.

Нагрузочная емкость разряжается при токе, примерно в 2 раза большем, чем тот, при котором она заряжается. Из этого следует, что отрицательный фронт выходного сигнала имеет в два раза большую крутизну, чем положительный. При этом ухудшение крутизны фронта составляет около 0,05 нс/пФ для отрицательного и 0,1 нс/пФ для положительного фронтов выходного сигнала (рис. 4.5). Предполагается, что сигналы подаются одновременно, т. е. без учета задержки распространения. На рис. 4.6 показаны графики зависимости времени распространения сигналов от емкостной нагрузки для ИС серии К155.

Другое ограничение на емкость нагрузки ИС ТТЛ связано с обеспечением надежной работы ИС в аппаратуре. Как правило в технических условиях устанавливается предельная емкость нагрузки $C_{\text{н пред}}$. При емкостной нагрузке, близкой к предельной, снижаются нагрузочная способность микросхем из-за появления дополнительных токов перезарядки емкости и помехоустойчивость, увеличиваются амплитуда и длительность выброса тока при переключении

в выходной цепи ЛЭ, а также рассеиваемая мощность.

Выброс тока при переключении имеет место во всех ЛЭ с двухтактным выходом и рассматривается как один из недостатков ИС ТТЛ. Так, при переключении выхода ЛЭ из состояния лог. 0 в состояние лог. 1 транзистор $VT4$ (см. рис. 3.1) открывается раньше, чем закрывается транзистор $VT5$, что вызывает резкое увеличение потребляемого от источника тока, протекающего вплоть до момента выключения транзистора $VT5$. При подключении к выходу ЛЭ емкости рост выходного напряжения определяется временем заряда этой емкости током, протекающим через транзистор $VT4$. При малых емкостях происходит увеличение длительности выброса тока примерно до 20 нс, а при емкостях свыше 40 пФ — увеличение амплитуды выброса и сдвиг его максимального значения в область больших времен до тех пор, пока при емкости около 500 пФ максимальное значение тока не достигнет выходного тока ИС в режиме короткого замыкания. Типичная зависимость выброса тока от емкости на выходе схемы для логического элемента ИС ТТЛ показана на рис. 4.7, где за нулевой уровень тока принят начальный ток питания.

При переключении ЛЭ из состояния лог. 1 в состояние лог. 0 емкость нагрузки начинает разряжаться через транзистор $VT5$. Амплитуда тока при этом может достигать 50 мА, а длительность определяется емкостью нагрузки C_n .

В таблице 4.3 представлены значения емкости нагрузки, при которых гарантируются динамические параметры и предельная емкость нагрузки для ИС серий К155, К555, К531, КР1533, КР1531. В ту исполнения на конкретные ИС указанных серий нормы на допустимые емкостные нагрузки могут иметь отличия от приведенных в табл. 4.3.

Внешние сигналы ИС ТТЛ. Сигналы, поступающие на вход ИС ТТЛ, должны от-

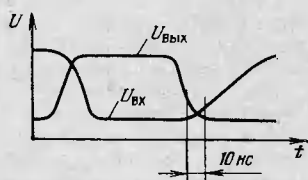
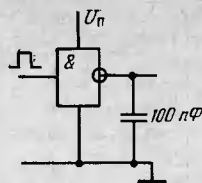


Рис. 4.5. Влияние емкости нагрузки на фронты сигналов переключения логического элемента ИС ТТЛ

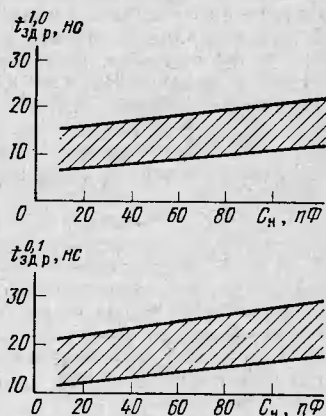


Рис. 4.6. Области изменения времени задержки распространения в зависимости от емкости нагрузки ИС серии К155

Таблица 4.3

Серия ИС	Емкость нагрузки, пФ	
	гарантирующая динамические параметры	предельная
К155	15	200 250 (ЛА7, ЛА8)
К555	15	150
К531	15, 50 (АП2П, АП3П, АП4П, ИР11П, ИР12П, ИР22П, ИР23П, ЛА7П, ЛА13П, КА16П, ЛА17П, ХЛ1П)	150, 200, (ЛА7П, ЛН1П, ЛН2П, ЛА9П, ЛЕ1П, 300 (АП2П, ХЛ1П)) 450 (ЛА16П, ЛА17П)
КР1533	50	200
КР1531	15	150

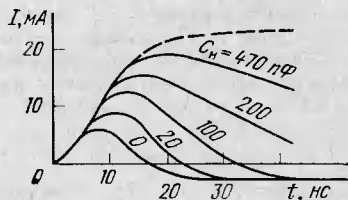


Рис. 4.7. Зависимость выброса тока от емкости нагрузки при переключении ЛЭ ТТЛ из состояния лог. 0 в лог. 1 (режим короткого замыкания)

зачет определенных требованиям, так как в противном случае не может быть обеспечена безотказная работа логических элементов. Это относится как к уровням входных положительных и отрицательных напряжений, так и к длительности фронтов входных сигналов.

Положительные входные напряжения, поступающие на вход ИС серий К155, К555, КР1531, не должны превышать 5,5 В. Микросхемы серии К531 испытываются при входном напряжении 5 В, микросхемы КР1533 — при напряжении 6 В. Максимальное входное напряжение гарантируется для наиболее неблагоприятного случая, когда вход ИС серий К155, К531 испытывается при входном пробивном токе до 1 мА, в то время как все остальные входы соединены с общей шиной. Входной пробивной ток ИС серий К555, КР1533 не должен превышать 0,1 мА (для ИС К555ЛА3 — 0,2 мА). Если практически нельзя гарантировать указанные значения входных напряжений, то следует обеспечить ограничение входного пробивного тока значением не более 1 мА для ИС серий К155, К531 и 0,1 мА для ИС серий К555, КР1531, КР1533. Превышение указанных значений входного пробивного тока не допускается из-за опасности выхода микросхем из строя.

При наличии отражений в линиях связи важное значение имеет возможный диапазон отрицательных входных напряжений. Чтобы предотвратить выход микросхемы из строя, необходимо ограничить либо входное напряжение, либо входной ток. Следует иметь в виду, что все современные ИС ТТЛ имеют на входе так называемые демп-

фирующие (антίζвонные) диоды VD1—VD4 (см. рис. 3.1) для исключения ложных срабатываний при наличии в линиях связи отражений сигнала. Первым отрицательным выбросом напряжения, амплитуда которого превышает 0,8 В, демпфирующий диод открывается. В результате амплитуда выброса на этом уровне ограничивается значением 0,8 В. Так как амплитуда последующего положительного выброса напряжения определяется амплитудой первого, то амплитуда первого становится значительно меньше 0,8 В, что не больше порогового напряжения. Следовательно, демпфирующие диоды ИС ТТЛ повышают их помехоустойчивость при отражениях сигналов, вызванных отрицательными фронтами импульсов. Более подробно влияние демпфирующих диодов на характер отражений в линиях связи рассмотрено в § 4.2.

Для гарантии работоспособности демпфирующих диодов в ТУ вводится критерий их оценки, определяемый отрицательным входным напряжением при заданном входном (вытекающем) токе. Для ИС серий К155 и К555 отрицательное напряжение на демпфирующем диоде не должно превышать 1,5 В при заданном входном вытекающем токе 10 (К155) и 18 мА (К555). Для ИС серии К531 соответствующее напряжение не должно превышать 1,2 В при входном токе 18 мА.

Указанный режим для проверки демпфирующих диодов не следует рассматривать как эксплуатационный и вести по нему расчет параметров аппаратуры.

В таблице 4.4 приведены предельные электрические режимы работы ИС серий К155, К555, К531, КР1533, КР1531.

При проектировании аппаратуры необходимо учитывать и такую особенность ИС ТТЛ, как критичность большинства микросхем к длительности фронтов входных сигналов. Когда одна ИС ТТЛ управляет другой, изменение входного напряжения последней происходит быстро и входной сигнал пересекает пороговую зону, которая находится в пределах установленных в технических условиях пороговых напряжений от 0,8 до 2,0 В еще до начала изменения выходного напряжения. Однако при подаче медленно изменяющегося сигнала выходное напряжение может начать изменяться до того, как входной сигнал пересечет пороговую зону. В этом случае ИС ТТЛ находится в режиме усиления и наличие любой паразитной обратной связи может вызвать генерацию. Эта обратная связь может осуществляться через цепь питания данной ИС, соединения на печатной плате и собственные паразитные емкости, имеющиеся на кристалле ИС. Следовательно, если входное напряжение ИС находится в пороговой зоне в течение времени, превышающего задержку ИС, то возникает опасность генерации.

Кроме того, увеличение длительности фронтов входного сигнала приводит к увеличению амплитуды и длительности вы-

Таблица 4.4

Параметр	К155	К555	К531	КР1533	КР1531
$U_{\text{штах}}$, В	6	6 (7 В в течение 5 мс)			
$U_{\text{вхmin}}$, В (для постоянно- го воз- действия)	—0,4	—0,4	—0,4	—0,4	—0,4
$U_{\text{вхтах}}$, В	5,5 (при токе не более 1 мА)	5,5 (при $I \leq 0,1$ мА)	5,0	6,0	5,5
$U_{\text{вхтах}}$, В (между двумя входами)	5,5	5,5	5,5	6,0	5,5
$U_{\text{выхтах}}$, В	5,25	5,5	5,25	5,5	5,25

Примечания. Для указанных режимов значения параметров не регламентируются. При превышении этих значений микросхема может выйти из строя.

2. В ТУ исполнения значения параметров предельных режимов могут быть отличными от приведенных в табл. 4.4.

броска тока (так называемое «сквозное» тока) в выходном каскаде ИС. Чрезмерное увеличение этого тока может привести к выходу микросхемы из строя. Технические условия на ИС устанавливают предельно допустимые значения длительности фронтов для входных сигналов. Для ИС серий К155, К555 они не должны превышать 150 нс, для К531, КР1531 — 100 нс, для КР1533 — 1 мкс, если иное не оговорено в ТУ исполнения. Например часть ИС серии К155 (К155КП5, К155ЛП5, К155ИД3, К155ЛА15, К155ИД1) имеют предельно допустимую длительность фронтов входных сигналов $t_{ф.0}^1$, $t_{ф.1}^1$, равную 1 мкс.

Если для управления микросхемами предполагается использовать импульсы с длительностью фронта, превышающей допустимую; то для формирования крутых фронтов следует использовать микросхемы типа К155ТЛ2, К555ТЛ2 (триггер Шмитта), либо ИС с открытым коллекторным выходом типа К155ЛА7, К155ЛА8, К555ЛА7, для которых длительность фронтов входного сигнала не критична. Однако следует помнить, что при запуске ИС, имеющих ограничение по $t_{ф.}$ от ИС типа К155ЛА7, К155ЛА8 длительность фронтов выходного сигнала последних, зависящая от длительности фронтов входных сигналов, не должна превышать приведенных значений.

Следует помнить, что при использовании механических контактов (переключатели, контакты реле и т. д.) возможны нарушения в работе устройства, вследствие вибраций, возникающих при замыкании и размыкании контактов («дребезг»). В результате вместо сигнала определенной формы за короткий момент времени возникает несколько импульсов, которые воспринимаются последующей схемой как отдельные сигналы и могут вызвать разрушения работы устройства. Для исключения ложного срабатывания следует использовать ИС типа К555ТР2 либо схемотехническое решение, приведенное в качестве примера на рис. 4.8.

Неиспользуемые входы ИС ТТЛ. Как показала практика применения ИС ТТЛ как логических, так и триггерных схем, на помехоустойчивость и быстродействие их работы могут оказывать влияние входы, которые не используются в электрической схеме и остаются разомкнутыми. Известно, что каждый вход ИС обладает паразитной емкостью по отношению к выводам питания, земли, отдельным элементам ИС. Например, каждый вход многоэмиттерного транзистора обладает емкостью относительно базы транзистора 1,5—3,5 пФ в обесточенном состоянии. При переключении из-за этой емкости происходит дополнительная задержка распространения сигнала. В случае нескольких разомкнутых входов паразитные емкости оказываются включенными параллельно, и в результате дополнительная задержка увеличивается

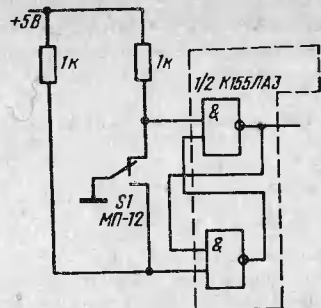


Рис. 4.8. Схема устранения дребезга контактов

Для исключения нежелательных эффектов, вызываемых этими емкостями, существуют специальные методы подключения неиспользуемых входов ИС. Наибольшее быстродействие ЛЭ достигается в том случае, когда неиспользуемые входы объединены и подсоединены к выходу управляющего ЛЭ. Однако следует учитывать, что при таком включении увеличивается нагрузка управляющего ЛЭ при лог. 1 на его выходе, т. е. необходимо проверять, не перегружен ли управляющий ЛЭ. В противном случае необходимо использовать другие способы подключения.

Неиспользуемые входы могут быть подключены к «плюсу» источника питания через резистор, сопротивление которого не менее 1 кОм. Один такой резистор обеспечивает подключение 20 входов ЛЭ.

Если напряжение источника питания ограничено величиной 4, 5 В, допускается подключать неиспользуемые входы непосредственно к шине источника питания.

4.2. Обеспечение помехоустойчивости

Статическая и динамическая помехоустойчивость. Одним из необходимых условий успешного применения ИС ТТЛ в аппаратуре является обеспечение их помехоустойчивости. Статическая помехоустойчивость по напряжению лог. 1 получается как разность между минимальным выходным напряжением лог. 1 и входным пороговым напряжением лог. 1 ($U_{\text{вых min}}^1 - U_{\text{вх пор}}^1$).

Статическая помехоустойчивость по напряжению лог. 0 есть разность между входным пороговым напряжением лог. 0 и максимальным выходным напряжением лог. 0 ($U_{\text{вх пор}}^0 - U_{\text{вых max}}^0$). Эти определения для ИС серии К155 иллюстрирует рис. 4.9. Ранее указывалось, что $U_{\text{вых min}}^1$, $U_{\text{вых max}}^0$ фактически являются выходными пороговыми напряжениями 1 и 0 ($U_{\text{вых пор}}^1$, $U_{\text{вых пор}}^0$), которые определяют логический перепад напряжений на ИС с учетом всех дестабилизирующих факторов, устанавливаемых ТУ.

Таблица 4.5

Параметр	K155	K531, K555, KP1531, KP1533
$U_{\text{вых}}^1$, В	$> 2,4$	2,7
$U_{\text{вых}}^0$, В	$\leq 0,4$	$\leq 0,5$
$U_{\text{пор}}^1$, В	2,0	2,0
$U_{\text{пор}}^0$, В	0,8	0,8
$U_{\text{ном}}^1$, В	0,4	0,7
$U_{\text{ном}}^0$, В	0,4	0,3

Гарантированные выходные и допустимые входные напряжения, а также помехоустойчивость по лог. 0 и 1 ИС серий K155, K555, K531, KP1533, KP1531 в наихудшем случае (т. е. при наибольших разбро-

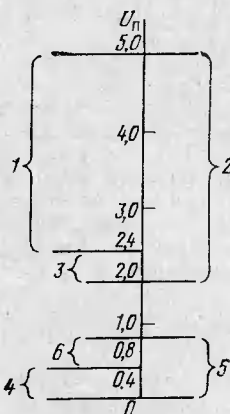


Рис. 4.9. К определению помехоустойчивости по постоянному току для двух логических состояний базовой ИС серии K155 ($U_{\text{н}}=5$ В, $K_{\text{раз}}=10$):

1 и 4 — гарантированные пределы выходного напряжения лог. 1 и лог. 0; 2 и 5 — допустимые пределы входного напряжения лог. 1 и лог. 0; 3 и 6 — помехоустойчивость по напряжению лог. 1 и лог. 0

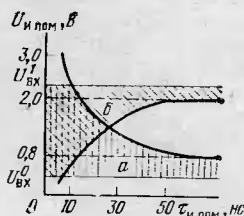


Рис. 4.10. Зависимость допустимой импульсной помехи от ее длительности:

α — зона допустимой положительной помехи; β — зона допустимой отрицательной помехи

сах напряжения питания и изменений температуры окружающей среды) приведены в табл. 4.5. Например, для ИС серии K555 минимальное выходное напряжение лог. 1 составляет 2,7 В, а входное напряжение, обеспечивающее переключение ИС, — 2 В, т. е. помехоустойчивость по уровню лог. 1 равна 0,7 В.

Устойчивость ИС ТТЛ к воздействию коротких импульсов помех различной амплитуды и длительности оценивается с помощью характеристики динамической помехоустойчивости, которая представляет собой зависимость допустимой амплитуды импульса помехи от его длительности. Таким образом, характеристика динамической помехоустойчивости ИС определяет границу, разделяющую область допустимых импульсов помех от области недопустимых импульсов помех. Характеристики динамической помехоустойчивости зависят от быстродействия ЛЭ, а также от коэффициента нагрузки и определяются как для положительных (относительно напряжения лог. 0), так и для отрицательных (относительно напряжения лог. 1) импульсов помех.

Из рис. 4.10, на котором приведен график зависимости амплитуды импульса помехи от длительности импульса помехи для ИС типа K155ЛА3 видно, что допустимая амплитуда положительной помехи асимптотически приближается к бесконечности при весьма коротких импульсах помехи и к значению статической помехоустойчивости, когда длительность импульса помехи больше времени задержки ИС.

В общем случае сигналы помехи имеют настолько большую длительность, что решающим фактором является помехоустойчивость по постоянному току.

Источники помех и способы их снижения. Помехи в логических системах могут проявляться в самой разнообразной форме и наводиться от самых разнообразных источников. Все помехи, которые могут явиться причиной ложного срабатывания чувствительных цепей аппаратуры, можно разделить на несколько видов:

внешние помехи, проникающие в систему из окружающей среды от различного рода излучателей электромагнитных сигналов, а также обусловленные действием электромагнитных и электростатических полей; токовые помехи, по цепи питания, возникающие в результате выбросов тока при коммутационных процессах;

перекрестные помехи, наводимые одними сигнальными линиями в других сигнальных линиях;

отражения в линиях связи при несогласованной нагрузке.

Внешние помехи. Линия питания сама является прямым путем подвода этих помех, а также излучающей их антенной. Излученные помехи могут восприниматься незащищенными линиями связи или соединительными проводами, идущими к дистанционным пунктам управления, а они-

в свою очередь, наводят помехи в аппаратуре. Внешние помехи могут также проникать в аппаратуру через вывод «земля», например при электростатическом разряде на кожух оборудования.

Для защиты от внешних помех используется экранирование от сигналов внешних и внутренних мощных каскадов, создающих помехи электромагнитного или электростатического характера. Экранированы должны быть все чувствительные к помехам цепи. Для защиты от электростатических полей экран может быть сделан из алюминия и других металлов, для защиты от электромагнитных полей — только из железа. Каждый экранирующий кожух должен быть подсоединен к общему заземлению низкоомным проводом. Если в самой системе содержатся элементы (реле, устройства защиты, двигатели и т. д.), создающие в проводниках заземления большие коммутационные токи, необходимо использовать отдельные шины заземления. Пространственное разделение элементов, а также экранирование логической системы обеспечивает надежную защиту от внешних помех и от помех, не обусловленных работой самих ИС ТТЛ.

Токовые помехи по цепи питания. Эффективным средством защиты ИС от помех по цепи питания является включение конденсаторов развязки между шинами питания в общей. В этом случае шина питания рассматривается как проводящий постоянный ток элемент, который имеет низкое сопротивление при протекании токов переходных процессов «на землю». Для качественной развязки необходимы конденсаторы, имеющие большую емкость для низких частот и малую для высоких. Обычно конденсаторы развязки устанавливаются отдельно для блокирования низкочастотных ($C1$) и высокочастотных ($C2$) помех (рис. 4.11).

Низкочастотные помехи, проникающие в систему по цепи питания, должны блокироваться с помощью электролитического конденсатора емкостью не менее 1.0 мкФ, из расчета один конденсатор на каждые пять-десять ИС. Устанавливать электролитические конденсаторы следует возможно ближе к контактам разъемов. Допускается устанавливать их и в других местах плат с микросхемами при условии, что не менее половины емкости сосредоточено у разъемов.

Для исключения высокочастотных помех развязывающие емкости в самом общем случае должны быть распределены по всей площади печатной платы равномерно относительно ИС, из расчета один конденсатор на группу не более чем 10 ИС, а емкость 0.002—0.001 мкФ на одну ИС. При этом необходимо, чтобы линия питания обладала по возможности низким сопротивлением для протекания токов переходных процессов «на землю» и чтобы длина выводов развязывающих конденсаторов в непосредственной близости от ИС

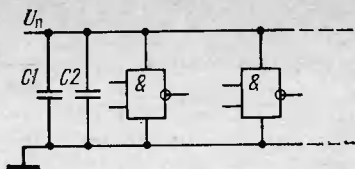


Рис. 4.11. Схема развязки помех по цепи питания

была минимальной. Это требование диктуется необходимостью блокирования высокочастотных напряжений, вызываемых всплесками тока, возникающими в цепи питания ИС.

Эти напряжения создают тем большие помехи, чем большим сопротивлением высокочастотным помехам обладает линия питания. В частности, подобные перенапряжения определяются характером работы самих ИС ТТЛ. Как было показано (см. рис. 4.7), при переключении выходного каскада ИС из состояния лог. 0 в состояние лог. 1 оба выходных транзистора одновременно открываются на несколько наносекунд. При закрывании выходного транзистора $VT5$ (см. рис. 3.1) сначала должно произойти рассасывание заряда, накопленного в базе $VT5$, а это вызывает всплеск тока примерно 10 мА (без учета влияния емкости нагрузки) длительностью около 6 нс в линии питания. Если одновременно выключаются несколько ЛЭ (с разбросом во времени не более 5 нс), то коммутационное перенапряжение соответственно увеличится. Конденсатор развязки, установленный в непосредственной близости от микросхемы, образует цепь низкого сопротивления для высоких частот и практически исключает влияние выбросов тока и напряжения.

Кроме того, важным фактором, определяющим напряжение помехи, является расстояние между источником помехи (логическим элементом) и следующим блокировочным конденсатором. На рис. 4.12 показаны всплески напряжения, возникающие при переключении выходов ЛЭ из состояния лог. 0 в состояние лог. 1, в зависимости от расстояния l между ЛЭ и блокировочным конденсатором емкостью

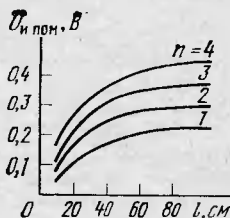


Рис. 4.12. Зависимость амплитуды напряжения помехи от расстояния между логическим элементом ИС серии К155 и блокировочным конденсатором

0.01 мкФ и от числа l синфазно включаемых ЛЭ (волновое сопротивление линии 80 Ом). Из рис. 4.12 следует, что при $l = 20$ см амплитуда всплесков напряжения при выключении одного ЛЭ составляет 0.1 В. При увеличении числа синфазно включаемых ЛЭ амплитуда помехи существенно возрастает. В качестве блокировочных могут использоваться только безындукционные конденсаторы (керамические или танталовые).

При проектировании печатных плат, содержащих ИС ТТЛ, необходимо обращать внимание на правильное распределение и топологию линий заземления для исключения возможных неблагоприятных всплесков напряжения. Этот эффект может проявиться в момент возрастания тока в выходном каскаде управляющего ЛЭ при его переключении в состояние лог. 0 (рис. 4.13). Тогда со входа управляемого ЛЭ D2 протекает ток через открытый транзистор управляющего ЛЭ D1 и затем по общей шине. Величина всплеска тока определяется паразитной емкостью C (сумма проходной и входной емкости), при этом длительность всплеска тока может достигать нескольких наносекунд. Приблизительно всплеск тока может быть рассчитан следующим образом: $I_C = CAU/\Delta t \approx 30$ (пФ) · 3 (В) / 4 (нс) ≈ 22.5 мА.

Если одновременно происходит несколько таких коммутационных процессов, то возрастает и ток, вызывающий всплеск напряжения на обладающей индуктивностью общей шине, а это в свою очередь может привести к ложному срабатыванию других ИС, связанных с этой шиной.

Практика применения ИС ТТЛ свидетельствует в пользу распределения проводников общей шины на плате таким образом, чтобы обратные токи протекали по возможно большему числу отдельных проводников. Все общие цепи, в том числе витой пары и коаксиального кабеля, необходимо подключить к «земле» с передающей и принимающей сторон. При использовании многослойных плат необходимо предусмотреть отдельные слои для общей шины и шины питания. Тогда в ряде случаев можно отка-

заться от применения блокировочных конденсаторов, предназначенных для устранения коммутационных всплесков тока. Если все же собственная емкость между внутренними слоями недостаточна для развязки по питанию, рекомендуется подключить между ними дополнительные конденсаторы.

Перекрестные помехи являются следствием воздействия электромагнитных полей, которые возникают в соединительных линиях под действием положительных и отрицательных токов. Связанные электромагнитные поля оказывают воздействие на близко расположенные линии и наводят в них «перекрестные» помехи, которые могут привести к нарушению правильного функционирования аппаратуры.

В аппаратуре на ИС используются коаксиальные кабели, витые пары, одиночные провода и печатные проводники. Линии связи в виде коаксиального кабеля не создают перекрестных помех благодаря хорошей экранировке. Самыми простыми и дешевыми линиями связи являются одиночные провода. Однако с точки зрения подавления помех они обладают наимудшими характеристиками, поэтому разрешается использовать одиночные провода длиной до 25–30 см.

В качестве примера рассмотрим наиболее характерные случаи возникновения помех и их воздействия на ИС ТТЛ.

1. Передача сигнала осуществляется по параллельно расположенным проводникам в одном направлении (рис. 4.14, а). В этом случае наведенные в линии, связывающей элементы D3–D4, помехи пренебрежимо малы при переключении логического элемента D1 из состояния лог. 1 в состояние лог. 0 и наоборот вследствие малого выходного сопротивления D3.

2. Более критичным является случай (рис. 4.14, б), когда направления распространения сигналов в линиях противоположны. Из возможных режимов работы этой схемы наиболее опасны два: 1) в линии между D3, D4 действует напряжение лог. 0, а элемент D1 переключается из 0 в 1; на входе D3 появляется положительный всплеск напряжения с амплитудой, которая может превысить пороговое напряжение ЛЭ; 2) на линии между D3, D4 действует напряжение лог. 1, а элемент D1 переключается из 1 в 0. В этом случае на входе D3 возникает отрицательный всплеск напряжения, что также может вызвать срабатывание элемента D3.

При увеличении длины сигнальных линий следует учитывать волновое сопротивление линии. Импульс, распространяющийся по линии, соединяющей элементы D3–D4 (рис. 4.15), создает перекрестную помеху через полное сопротивление связи $Z_{св}$ в цепи между D1, D2. Логические элементы могут находиться в одном из двух состояний. Амплитуда наведенной помехи зависит от типа используемой линии и от взаимного расположения линий. Если про-

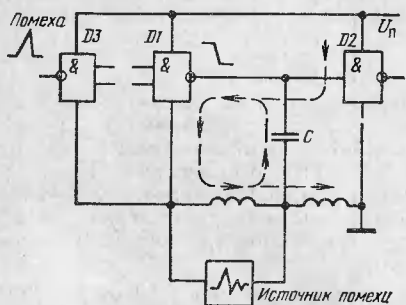


Рис. 4.13. Коммутационный всплеск тока в общей шине при включении ЛЭ

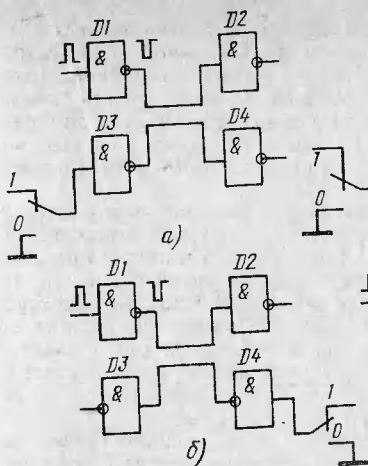


Рис. 4.14. Схема передачи сигнала по двум линиям в одном направлении (а) и в противоположных направлениях (б)

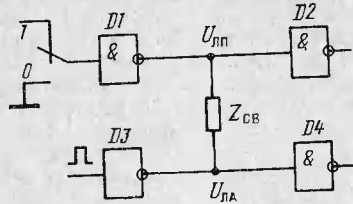


Рис. 4.15. Схема связи между линиями

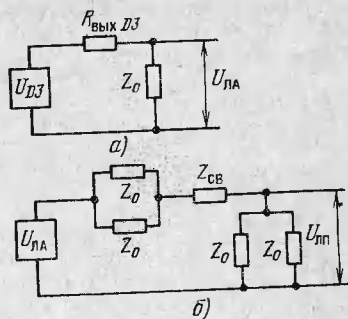


Рис. 4.16. Эквивалентные схемы связи

исходит переключение элемента D3, то по линии D3—D4 распространяется сигнал, амплитуда которого определяется выходным сопротивлением D3 и волновым сопротивлением линии:

$$U_{ла} = U_{D3} Z_0 (R_{вых D3} + Z_0),$$

где $U_{ла}$ — напряжение, передаваемое по активной линии передачи D3—D4; U_{D3} — перепад напряжения на выходе D3; $R_{вых D3}$ — выходное сопротивление D3; Z_0 — волновое сопротивление линии. Эквивалентная схема связи приведена на рис. 4.16, а.

Отношение помеха-сигнал между линиями D3—D4 и D1—D2 может быть вычислено с учетом сопротивления связи $Z_{св}$. В месте связи (см. рис. 4.15) на линии D1—D2 подключены две параллельные линии — к элементам D1 и D2. Напряжение на пассивной линии

$$U_{лп} = U_{ла} \frac{Z_0/2}{Z_0 + Z_{св}},$$

где $U_{лп}$ — напряжение, передаваемое по линии передачи D1—D2. Эквивалентная схема приведена на рис. 4.16, б. Так как входное сопротивление элемента D2 всегда велико по сравнению с волновым сопротивлением линии, на входе D2 действует полное напряжение пассивной линии D1—D2. Поэтому $U_{вх D2} = 2U_{лп}$. Таким образом

$$U_{вх D2}/U_{D3} = Z_0 Z_0 / (R_{вых D3} + Z_0) \times (Z_0 + Z_{св}).$$

При $R_{вых D3} \ll Z_0$ можно записать:

$$U_{вх D2}/U_{D3} = (1 + Z_{св}/Z_0)^{-1}.$$

Это выражение и определяет значение отношения помеха-сигнал в линиях передачи.

Помеха, максимальна, когда передающая линия и линия, подверженная воздействию помехи, расположены близко друг к другу, но на большом расстоянии от общей шины. При этом линия имеет большое волновое сопротивление Z_0 , но малое сопротивление связи $Z_{св}$. Например, если линия состоит из двух проводов диаметром 1 мм, расположенных на расстоянии 0,8 мм друг от друга и 20 мм от общей шины, то волновое сопротивление линии 200 Ом, а сопротивление связи 80 Ом. При этом отношение помеха-сигнал $U_{вх D2}/U_{D3} \approx (1 + 80/200)^{-1} \approx 0,7$, что для ИС ТТЛ совершенно неприемлемо. Необходимо стремиться уменьшить это отношение, исключить близкое расположение проводников. Если в указанном примере проводники расположить на расстоянии 1 мм от земляной шины, то $Z_0 \approx 50$ Ом и $Z_{св} \approx 125$ Ом и

$$U_{вх D2}/U_{D3} \approx (1 + 125/50)^{-1} = 0.28.$$

Это значение является критическим, особенно для быстродействующих ИС ТТЛ серии К531. При такой помехе, если и не нарушится работоспособность ИС, то существенно снизится помехоустойчивость. Типичное значение отношения помеха-сигнал, допустимое для ИС ТТЛ, составляет 0,2.

В случае использования витых пар показатель помеха-сигнал заметно улучшается. Если активная и пассивная линии выполнены витыми парами, расположенными

рядом, то волновое сопротивление $Z_0 = 80 \text{ Ом}$, $Z_c = 400 \text{ Ом}$ и

$$U_{вх D2}/U_{D3} = (1 + 400/80)^{-1} = 0,16.$$

Это значение приемлемо для всех ИС ТТЛ.

Взаимное влияние витых пар может быть ослаблено дополнительным экранированием, тогда их помехоустойчивость приближается к помехоустойчивости коаксиального кабеля, но витые пары дешевле и удобнее в эксплуатации.

Перекрестные помехи на печатных платах также определяются параметрами самой линии и паразитными реактивными связями между близко расположенными печатными проводниками. Наибольшая помеха возникает, если длина участка, на котором печатные проводники расположены рядом, больше критической, т. е. задержка распространения на этом участке превышает длительность фронта импульса, навещающего помехи. Несимметричная полосковая линия на плате состоит из сигнального проводника, отделенного от «земляной»



Рис. 4.17. Несимметричная полосковая линия

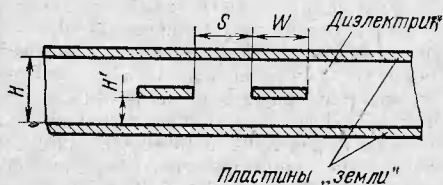


Рис. 4.18. Симметричная полосковая линия

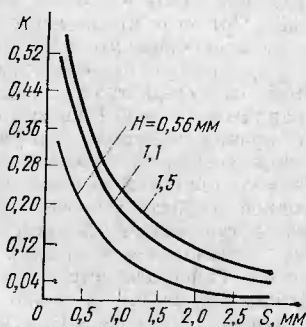


Рис. 4.19. Зависимости отношения помеха-сигнал от расстояния между проводниками полосковой линии

Таблица 4.6

H, мм	W, мм	Z ₀ , Ом	Погонная емкость, пФ/см
0,75	0,5	80	0,7
0,75	0,375	89	0,6
1,5	0,5	105	0,5
1,5	0,375	114	0,45
2,5	0,5	124	0,4
2,5	0,375	132	0,35

Таблица 4.7

H', мм	W, мм	Z ₀ , Ом	Погонная емкость, пФ/см
0,3	0,5	37	1,9
0,3	0,375	43	1,6
0,5	0,5	44	1,6
0,5	0,375	51	1,4
0,75	0,5	55	1,3
0,75	0,375	61	1,2

пластины диэлектрическим материалом (рис. 4.17), а в симметричной полосковой линии сигнальный проводник размещен внутри изоляционного материала между двумя земляными пластинами (рис. 4.18). Параметры несимметричных и симметричных полосковых линий ($\epsilon = 5$) в зависимости от их размеров H и W приведены соответственно в табл. 4.6 и 4.7. Предполагается, что толщина l полосковых линий относительно размеров H и W пренебрежимо мала.

Ориентировочные зависимости отношения помеха-сигнал K от параметров полосковой линии H и S приведены на рис. 4.19. По этим зависимостям можно оценить максимальную перекрестную помеху при наихудших условиях, когда в параллельно расположенных линиях направления распространения сигналов противоположны. Из рисунка видно, что при уменьшении расстояния H между проводником полосковой линии и земляной пластиной перекрестные помехи уменьшаются. При введении проводника массы между двумя сигнальными проводниками влияние перекрестных помех уменьшается в несколько раз, при этом земляной проводник должен быть приблизительно в три раза шире сигнальных проводников, а расстояния между проводниками должны быть равны ширине сигнальных проводников.

Отражения в линиях связи. При распространении сигналов в быстродействующих ИС ТТЛ накладываются определенные ограничения на длину линий связи, так как время распространения в линии становится соизмеримым с длительностью фронтов выходных импульсов. Когда соединение между двумя ЛЭ имеет такую длину,

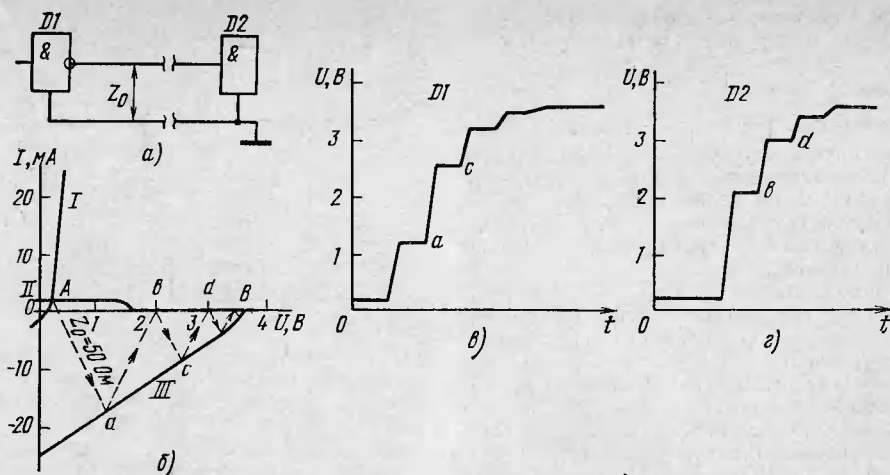


Рис. 4.20. Отражения в линии при воздействии положительного фронта импульса

что логический перепад на выходе ЛЭ-передатчика (управляющего ЛЭ) сигнала обрабатывается раньше, чем на этот выход возвращается первый отраженный фронт сигнала от ЛЭ-приемника (управляемого ЛЭ) сигнала, такое соединение рассматривают как длинную линию. Несогласованность нагрузки с длинной линией приводит к возникновению отражений, которые снижают помехоустойчивость, увеличивают время задержки распространения сигналов.

Соединительные линии имеют погонную задержку около 5 нс на метр, т. е. изменение напряжения на одном конце линии вызывает изменение напряжения на другом конце не мгновенно. Например, скачок напряжения на одном конце линии длиной 2 м вызывает соответствующее изменение напряжения на другом конце линии только через 10 нс. Для однородной линии это изменение зависит от волнового сопротивления линии Z_0 и нагрузки на ее конце: сигнал отражается от конца линии и через определенный интервал времени снова приходит к передатчику, откуда опять отражается и т. д. Иными словами, переключение ЛЭ нельзя гарантировать до того момента, пока на вход линии не вернется первый отраженный фронт импульса и, таким образом, реальная задержка распространения увеличится на удвоенное значение задержки в линии.

Таким образом, основной причиной ограничения длины линий связи являются отражения от электрических неоднородностей. Любое изменение ширины печатного проводника, наличие сквозных отверстий в печатной плате, ответвлений от линии, подключение разъемов, рассогласование входных и выходных сопротивлений ИС с волновым сопротивлением линии являются неоднородностями длинной линии. Любая неоднородность вызывает появление отражений, в результате которых появляются импульсы, распространяющиеся в

обратном направлении (ко входу линии). Кроме того, импульсы, распространяющиеся по направлению к выходу линии, так же претерпевают изменения. Зная параметры линии, а также входные и выходные характеристики ИС ТТЛ, можно оценить коэффициент отражений.

Для расчета отражений в ИС ТТЛ серии К155 можно использовать значения входных и выходных сопротивлений: входное сопротивление равно 1000 Ом при лог. 0 и стремится к бесконечности при лог. 1; выходное сопротивление 10 Ом при лог. 0 и 150 Ом при лог. 1.

Однако ввиду значительной нелинейности сопротивлений при переключении ЛЭ гораздо удобнее использовать для расчета отражений графический метод. Полная картина распределения напряжения по линии с постоянным сопротивлением может быть определена с помощью входных и выходных характеристик передаточного и приемного ЛЭ. На рис. 4.20, б показаны входная характеристика приемного логического элемента D2 (II) и выходные характеристики передаточного элемента D1 в состоянии лог. 0 (I) и лог. 1 (III) (ИС серии К155). При этом предполагается, что токи утечки пренебрежимо малы, поэтому входная характеристика приемного ЛЭ и выходная характеристика передаточного ЛЭ при напряжении лог. 1 на выходе совпадают с правой полуосью напряжения.

Точка пересечения A выходной характеристики в состоянии лог. 0 элемента D1 (I) с входной характеристикой элемента D2 определяет статическое состояние лог. 0, а точка B — статическое состояние лог. 1 на выходе D1. Предполагается, что волновое сопротивление Z_0 линии равно 50 Ом.

Если элемент D1 переключается в состояние лог. 1, то распределение напряжения определяется нагрузочной характеристикой (прямая сопротивления Aa), т. е. D1 работает на волновое сопротивление.

Точка пересечения a этой прямой с выходной характеристикой III элемента D1 определяет амплитуду первого фронта импульса на входе линии (рис. 4.20, в). Скачок напряжения на входе распространяется до элемента D2, где отражается ввиду рассогласования (принятого для данного построения) между выходным сопротивлением D1 при 1 на его выходе и волновым сопротивлением линии. Скачок напряжения элемента D2 определяется линией нагрузки, проведенной до входной характеристики элемента D2 (линия ab). Точка c определяет амплитуду второго фронта импульса на входе линии при переключении в состояние лог. 1 элемента D1, а точка a — амплитуду соответствующего фронта импульса на выходе линии (рис. 4.20, г). Этот процесс продолжается до тех пор, пока отражения не достигнут пренебрежимо малой величины. Интервал времени между отражениями равен задержке линии. Из построения (рис. 4.20) видно, что амплитуда первого фронта импульса на входе линии при выключении (переключение из 0 в 1) элемента D1 близка к порогу квантования. Это значит, что элемент D1 может не переключиться до того момента, пока на вход линии не вернется первый отраженный фронт импульса.

Выходное сопротивление при лог. 1 на выходе ЛЭ серии K531 меньше, чем ЛЭ серии K155. Поэтому для ИС ТТЛ серии K531 может оказаться, что выходное сопротивление передающего ЛЭ будет значительно меньше, чем волновое сопротивление линии и амплитуда первого фронта импульса на выходе линии будет заметно больше напряжения лог. 1 в установившемся состоянии. При малых токах утечки амплитуда фронта второго импульса на входе линии также будет большой. При последующих отражениях напряжение в

линии будет приближаться к уровню лог. 1. Значительное превышение напряжения лог. 1 может приводить к задержке времени переключения ЛЭ, увеличению перекрестных помех. Выбросы напряжения на уровне лог. 1 можно уменьшить, снижая волновое сопротивление линии. Однако при этом будет уменьшаться и амплитуда первого фронта импульса на входе линии.

Графический метод может быть использован и для определения отражений при включении приемного ЛЭ. На рис. 4.21, а изображены выходные характеристики передающего ЛЭ (I — лог. 0, III — лог. 1) и входная характеристика приемного ЛЭ (II') без демпфирующего диода и с демпфирующим диодом (II) на входе ЛЭ. Статическое состояние лог. 1 определяется точкой пересечения B выходной характеристики в состоянии лог. 1 передающего ЛЭ с входной характеристикой приемного ЛЭ. Предполагается, что волновое сопротивление линии $Z_0 = 50$ Ом.

Уровень напряжения первого фронта импульса (точка a , рис. 4.21, а, б) определяется нагрузочной характеристикой, проведенной от точки B до выходной характеристики I. Это изменение уровня с задержкой передается линией и отражается от приемного ЛЭ (рис. 4.21, в). Возникающий скачок напряжения может быть определен по нагрузочной характеристике, проведенной от точки a до входной характеристики. Процесс повторяется до тех пор, пока отражения не станут пренебрежимо малыми.

Из графика видно влияние демпфирующего (антизвонного) диода на входе ЛЭ, который ограничивает отрицательный выброс напряжения на приемном ЛЭ и соответственно следующий за ним положительный выброс, который может вызвать ложное срабатывание ЛЭ. Малое волновое сопротивление линии приводит к значи-

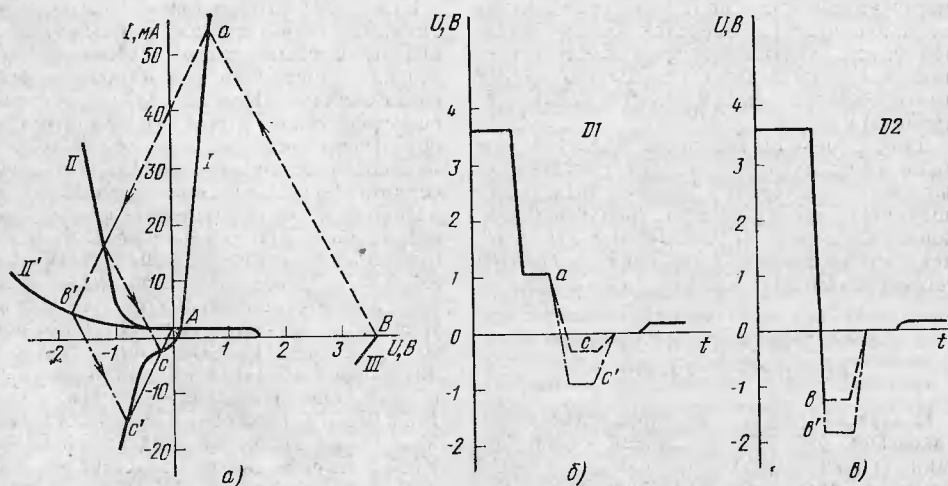


Рис. 4.21. Отражения в линии при воздействии отрицательного фронта импульса

тормозному выбросу тока, потребляемого от источника питания, в передающем ЛЭ, так как ток при этом определяется волновым сопротивлением и низким выходным сопротивлением (около 10 Ом) передающего ЛЭ. Выброс тока является дополнительной помехой, особенно при некачественном выполнении «заземления», а также приводит к снижению надежности ИС.

При графическом определении отражений в длинных линиях связи не учитываются паразитные емкости индуктивности. Тем не менее графический метод полезен для качественной оценки эффектов, возникающих при изменении входной и выходной характеристик в результате колебаний напряжения питания и температуры окружающей среды, а также влияние волнового сопротивления линии связи.

Если нет возможности рассчитать фактические временные соотношения в системе и не накладываются ограничения, обусловленные перекрестными наводками, на длину линий связи (печатных проводников), необходимо ограничить максимальную длину проводников — длина проводника должна быть несколько меньше критической. Обычно длина печатных проводников (в пределах печатной платы размером 350×350 мм не более 300 мм, что несколько больше половины критической длины. Для ИС серий K155, K555 это вполне допустимо.

Критическая длина печатных проводников ИС серии K531 меньше, поэтому особенно тщательно необходимо провести анализ фактической длины проводников за пределами платы, так как длинные линии могут образоваться при переходе линий связи с платы на плату (в пределах панели), при работе на элементы индикации, при выводе на контрольные разъемы и т. д. В больших системах наиболее вероятно, что максимально допустимую длину превысят именно эти цепи, а не проводники, расположенные в пределах одной печатной платы. Особое внимание следует уделять тому, чтобы не было слишком длинных и несогласованных линий в цепях синхронизации.

Длина проводников ограничивает и размеры системы в целом. При построении систем с размерами больше предельных возникает необходимость использования дополнительных магистральных усилителей, экранированных кабелей, элементов согласования линий связи и т. п.

4.3. Способы повышения помехоустойчивости

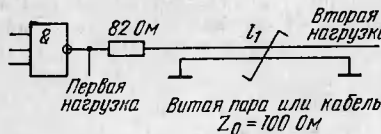
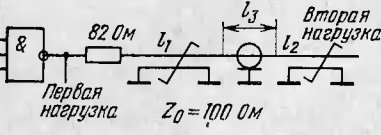
Последовательное и параллельное согласование ИС ТТЛ с линией связи. Общий уровень помех определяется суммой помех от всех источников, поэтому в любом случае отражения ухудшают помехоустойчивость ИС ТТЛ. При проектировании устройства возникает необходимость

управлять с помощью ИС ТТЛ длинными линиями. Наличие отражений в несогласованной линии создает серьезные ограничения. Паразитные колебания в линии можно устранить, подключив на ее конце резистор, сопротивление которого равно волновому сопротивлению линии. При этом коэффициенты отражения $\rho = 0$ и отражения отсутствуют. Если использовать согласующий резистор, включенный последовательно в линию, то вследствие падения напряжения на этом резисторе от тока нагрузки помехоустойчивость по напряжению снизится и может быть даже меньше, чем у линии без согласующего резистора. Например, при напряжении лог. 0 через резистор 100 Ом протекает ток 3,2 мА. Падение напряжения на нем, равное 320 мВ, определяет соответствующее снижение помехоустойчивости схемы по напряжению лог. 0 в статическом режиме.

В отдельных случаях допускается согласовывать длинные линии с помощью резистора, включенного последовательно в линию. Например, согласование линий связи, выполненных витой парой или коаксиальным кабелем с волновым сопротивлением 100 Ом, рекомендуется выполнять с помощью резистора сопротивлением 82 Ом с допустимым отклонением сопротивления $\pm 5\%$, устанавливаемого непосредственно у выхода передающей ИС. Схемы связи, типы передающих логических элементов серии K155, число элементов нагрузки, ограничения на длину линии связи приведены в табл. 4.8. При определении приращения задержки распространения по таблице, длину линии связи следует брать в метрах. Первая нагрузка подключается одиночным проводом длиной не более 0,2 м или витой парой длиной не более 0,5 м. Диод VD введен для уменьшения длительности положительного фронта импульсов.

При последовательном согласовании длинных линий возможны различные варианты. В общем случае требование обеспечения правильного построения схемы согласования является выбор номинала резистора таким, чтобы при протекании нагрузочного тока лог. 0 на нем было минимальное падение напряжения. Увеличение сопротивления резистора приводит к увеличению падения напряжения на нем и возрастанию напряжения лог. 0, что соответственно снижает помехоустойчивость ИС ТТЛ. Кроме того, необходимо обеспечить минимальное значение нагрузочного тока, вызывающего падение напряжения на резисторе. Например, неплохим решением будет организация линии связи, где в качестве передающего применен ЛЭ K555ЛН1, нагруженный через согласованную линию связи на один вход ИС серии K555. Линия связи представляет собой витую пару (провод МГТФ-2), волновое сопротивление которой 100 Ом. При протекании через согласующий резистор сопротивлением 100 Ом тока лог. 0 падение

Таблица 4.8

Схема связи	Число входов ЛЭ нагрузки		Приращение задержки срабатывания передающего ЛЭ		Приращение задержки на выходе линии связи	
	первой	второй	$\Delta t_{\text{зд}}^{0,1}$, нс	$\Delta t_{\text{зд}}^{1,0}$, нс	$\Delta t_{\text{зд}}^{0,1}$, нс	$\Delta t_{\text{зд}}^{1,0}$, нс
	5 2	1 2	8	6	$8+5l^*$	$6+5l$
	5 2	1 2	$8+10l$	6	$8+15l$	$6+5l$
	17 6	1 2	8	6	$8+5l$	$6+5l$
	17 6	1 2	8	6	$8+5l$	$6+5l$
	0	2	$8+2l$	6	$8+5l$	$6+5l$

* l — общая длина линии связи.

напряжения на нем $\Delta U = 1 \cdot I_{\text{вх}}^0 R = 0,04 \text{ В}$, что составляет 10% напряжения лог. 0.

В случае параллельного подключения согласующего резистора к линии необходимо, чтобы не был превышен допустимый нагрузочный ток для ИС, подключенных к линии, и были обеспечены напряжения логических уровней. Однако ИС ТТЛ со стандартным выходом не могут работать на резистор сопротивлением 50—200 Ом независимо от того, соединен ли этот резистор на выходе ЛЭ с общей шиной или с источником питания. При подключении резистора к общей шине не обеспечивается напряжение лог. 1, при подключении к источнику питания превышает нагрузочный ток лог. 0.

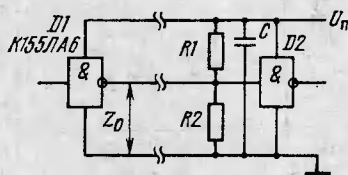


Рис. 4.22. Параллельное согласование ИС ТТЛ с линией передачи (C — развязывающий конденсатор)

Поэтому для согласования линий связи используются более сложные схемы с применением специальных буферных ИС. Требования к таким схемам следующие: выходные напряжения линии должны находиться за пределами выходных пороговых напряжений лог. 0 и 1; выходной втекающий и вытекающий токи в состоянии лог. 0 и 1 управляющего ЛЭ не должны превышать допустимых значений для данного элемента. Этим требованиям может отвечать схема, изображенная на рис. 4.22. Номиналы согласующих резисторов R_1 , R_2 должны быть подобраны таким образом, чтобы их среднее сопротивление было близко волновому сопротивлению линии. При волновом сопротивлении линии, равно 100 Ом, сопротивление R_1 может быть равно 150 Ом, тогда $R_2 = 470 \text{ Ом}$. В этой схеме выходной втекающий ток лог. 0 превышает 30 мА, что приводит к необходимости применения буферных ИС с повышенной нагрузочной способностью (К155ЛА6, К155ЛА7, К155ЛА13, К531ЛА13 и др.), но с соответствующим ограничением коэффициента нагрузки.

Для работы на кабель с волновым сопротивлением 50 и 75 Ом лучшими характеристиками обладает ИС К531ЛА16П, которая обеспечивает на выходе напряжение 2 В при подключении согласующего резистора 50 Ом к общей шине.

Длина участков линии связи, м		Тип передающего ЛЭ
Одноточная связь	Жгут	
$l_1 \leq 3$	—	Любой ЛЭ с нагрузоч- ной способностью $K_{раз} \geq 10$
—	$l_1 \leq 3$	
$l_1 \leq 3$		К 155ЛА6
$l_1 + l_2 \leq 3$ $\Sigma l \leq 10$		К 155ЛА6
$l_1 \leq 0,5$ $l_2 \leq 0,5$ $l_3 \leq 30$		К 155ЛА6

нием ИС триггера Шмитта, приведена на рис. 4.25.

Применение специальных ИС. (Основные параметры ряда специальных ИС ТТЛ приведены в приложении ПЗ). Эффективным способом передачи сигналов по линиям связи без помех является использование разностных сигналов. Специально для межблочных линий связи ЭВМ разработаны интерфейсные ИС формирователя сигналов К170АП1 и усилителя К170УП1. При

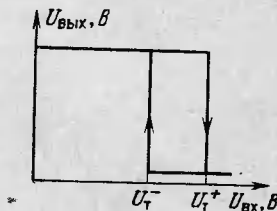


Рис. 4.23. Типовая переходная характеристика входного ЛЭ — триггера Шмитта

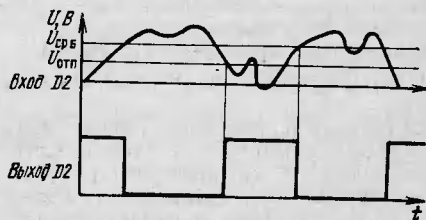
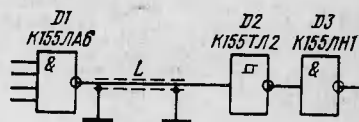


Рис. 4.24. Схема сопряжения триггера Шмитта с линией связи

Применение триггера Шмитта. Одним из методов повышения помехоустойчивости ТТЛ ИС в линиях связи при неприемлемых значениях отношения помеха-сигнал является применение в качестве приемного элемента триггера Шмитта (ИС типа К155ТЛ1 — К155ТЛ3, К531ТЛ3П и К555ТЛ2). Триггер Шмитта обладает меньшей чувствительностью к помехам, чем стандартная схема И—НЕ благодаря своей переходной характеристике, которая представляет собой петлю гистерезиса (рис. 4.23). Петля гистерезиса характеризует разность напряжений между положительным (U_{τ}^{+}) и отрицательным (U_{τ}^{-}) порогами срабатывания. Порог U_{τ}^{+} представляет собой входное напряжение высокого уровня, которое возрастает до переключения триггера из состояния высокого уровня напряжения в низкое, а порог U_{τ}^{-} — напряжение низкого уровня, до которого должно снизиться входное напряжение до переключения из состояния низкого уровня напряжения в высокое.

Пример организации схемы сопряжения триггера Шмитта с линией связи и временная диаграмма работы схемы приведены на рис. 4.24, где $U_{ср,в}$ — напряжение срабатывания, $U_{отп}$ — напряжение отпущения. Схема организации связи повышенной помехоустойчивости с использова-

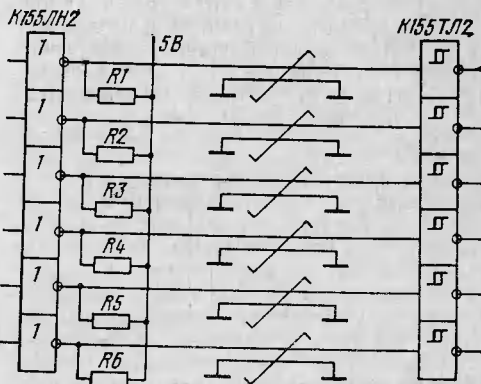


Рис. 4.25. Схема построения линии связи с повышенной помехоустойчивостью

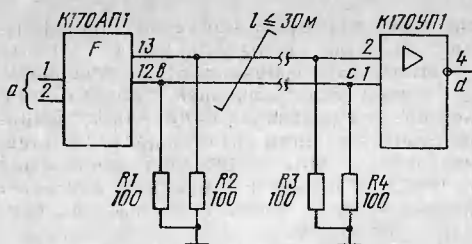


Рис. 4.26. Схема построения линии связи

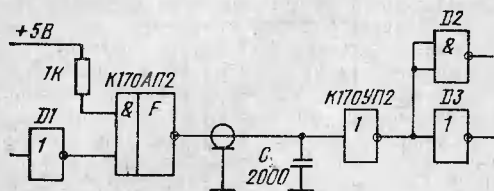


Рис. 4.27. Схема передачи данных

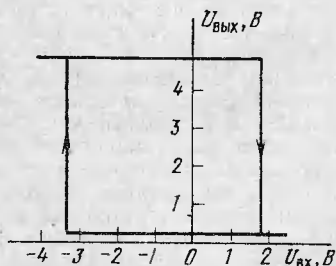


Рис. 4.28. Передаточная характеристика ИС К170УП2 при $U_n = +12$ В, $U_{пор} = U_n$

использовании для связи между ИС передатчика К170АП1 и приемника К170УП1 витой пары на конце линии подключается согласующий резистор, благодаря чему устраняются отражения в линии. Передатчик осуществляет преобразование однофазных сигналов ТТЛ в разностные сигналы. Приемник имеет высокоомный дифференциальный вход, аналогичный входу операционного усилителя, и осуществляет обратное преобразование разностного сигнала в исходный логический сигнал. Высокая помехоустойчивость системы обеспечивается благодаря свойству приемника срабатывать только от разностных сигналов. Так как обе сигнальные линии расположены рядом, все помехи одинаково действуют на обе линии. На эти так называемые синфазные сигналы вход приемника не реагирует. Схемы имеют входы запрета и стробирования, которые позволяют линии работать в уплотненном режиме и отключать передатчики от линии. Входы приемников могут отключаться через вход стробирования. Частота передачи сигнала в системе выше 10 МГц. Благодаря высо-

коомным входом приемника передатчик может работать с несколькими приемниками.

На рис. 4.26 приведена схема построения линии связи. Длина линии передачи $l \leq 30$ м. Динамические параметры схемы в диапазоне температур для входного сигнала частотой 1 МГц

$t_{зд} \rho -$	30 нс от точки a до точки b ,
	150 нс от точки a до точки c ,
	200 нс от точки a до точки d .
	50 нс от точки c до точки d .

Повышение помехоустойчивости системы может быть обеспечено повышением отношения сигнал-помеха, т. е. повышением амплитуды сигнала, которое может быть осуществлено с помощью преобразования уровня передаваемого сигнала. На рис. 4.27 приведена схема организации передачи данных в линии емкостью до 2000 пФ. В качестве элементов сопряжения используются формирователь ИС К170АП2 и усилитель сигналов ИС К170УП2.

Микросхема К170АП2 представляет собой двоярный (двухканальный) формирователь двуполярных сигналов с амплитудой выходных сигналов более 5 В на нагрузке $R_n \geq 3$ кОм, $C_n \leq 2500$ пФ. Предусмотрена защита выходного каскада от перегрузок по напряжению и току. Напряжение питания $+12$ и -12 В.

Микросхема К170УП2 представляет собой четырехканальный усилитель для приема с линии связи двуполярных сигналов амплитудой более 3 В и формирования на выходе сигналов, согласованных по напряжению и току с сигналами стандартных ИС ТТЛ. Особенностью передаточной характеристики ИС К170УП2 (рис. 4.28) является наличие гистерезиса, величина которого может регулироваться при уменьшении напряжения на выводе $U_{пор}$. Питание ИС может осуществляться от источника питания напряжением $+5$ В или $+12$ В (через встроенный стабилизатор).

4.4. Правила электромонтажа ИС ТТЛ

Время распространения сигнала по линии связи с ИС ТТЛ соизмеримо с временем преобразования, поэтому для расчета этих линий может быть использована теория длинных линий. Для получения высокого быстродействия системы, построенной на ИС ТТЛ, и обеспечения их помехоустойчивости и надежности к линиям связи предъявляются определенные требования, существенно определяющие конструкцию ЭВМ в целом.

Наибольшее влияние на работу ИС ТТЛ, размещенных на печатной плате, при распространении сигналов оказывают паразитные колебания, накладывающиеся на основной сигнал, и перекрестные помехи

между линиями передачи сигналов). Паразитные колебания возникают вследствие неточного согласования на конце линии передачи или вследствие наличия неоднородностей по ее длине. В результате воздействия этих факторов значительно снижается быстродействие логической системы и могут происходить потери обрабатываемой информации.

Большая насыщенность платы печатными проводниками, включение неоднородностей в переходных металлизированных отверстиях, на контактах разъемов и т. п. не позволяют применить строгую теорию длинных линий к решению конкретных технических проблем, связанных с расчетом параметров линий связи печатных плат.

Накопленный к настоящему времени большой опыт конструирования полосковых и навесных линий связи позволяет обеспечить требуемые помехоустойчивость устройств и быстродействие логической системы.

В большинстве случаев для конструирования типовых элементов замены ЭВМ на ИС ТТЛ целесообразно использовать двусторонние печатные платы с ортогональным расположением проводников по прямоугольной координатной сетке, хотя при этом возникают дополнительные трудности при расчете линий связи и обеспечении приемлемой помехоустойчивости. Преимуществом двусторонних печатных плат являются их относительно низкая стоимость, высокая технологичность монтажа и ремонта.

В ряде случаев для монтажа ИС ТТЛ можно использовать четырехслойные печатные платы, при этом сигнальные проводники располагаются на внешних поверхностях, а внутри лежат слои питания и общие. Подобная разводка цепей позволяет уменьшить помехи по цепи питания. Однако следует учитывать, что применение многослойных печатных плат увеличивает стоимость конструкции и поэтому не всегда оправдано.

Разводка питания на печатной плате. По назначению на плате все линии связи делятся на сигнальные (информационные), коммутационные, для синхронизации и индикации, а также на шины питания и общую.

Шины питания и общая шина должны обладать возможно низким сопротивлением. Разводку питания и общих цепей ко всем корпусам ИС можно выполнить несколькими способами. Однако наилучшие результаты достигаются, если шины питания и общая образуют непрерывные замкнутые контуры. Для блокирования низкочастотных и высокочастотных помех должна быть предусмотрена установка развязывающих конденсаторов. Ширина печатных проводников шин питания и общей, как правило, должна составлять 2,5—5 мм. При большой ширине уменьшается уровень помех, обусловленных индуктивностью шин. Шины питания и общую по возможности распола-

гают друг другом в соседних слоях, либо при наличии свободного места на плате их выполняют в виде смежных плоскостей для получения большей конструктивной емкости развязки. Минимальная ширина отводов от шины питания должна составлять 0,5 мм. Для подведения напряжения питания и подключения общей шины рекомендуется использовать крайние контакты разъемов.

Размещение сигнальных линий на печатной плате. Наилучшим условиям распространения сигнала в несогласованной полосковой линии при использовании ИС ТТЛ отвечает линия с волновым сопротивлением, близким 100 Ом, так как при использовании линии с малым волновым сопротивлением уменьшается амплитуда первого фронта импульса на входе линии, увеличивается количество отражений. Увеличение волнового сопротивления выше 100 Ом приводит к заметному возрастанию амплитуды первого фронта импульса на выходе линии по отношению к уровню напряжения лог. 1 в установившемся режиме. Оптимальное волновое сопротивление определяется соотношением W/H , т. е. геометрическими размерами полосковой линии при заданной относительной диэлектрической проницаемости материала печатной платы. Ширина W полосковой линии для наиболее часто применяемых конструктивных исполнений двуслойных плат составляет 0,5—1,5 мм, ширина многослойных плат 0,3 мм. Соответственно шаг размещения параллельно расположенных проводников должен составлять для двуслойной платы 1,25—3,75 мм и для многослойной 1,25 мм.

Полосковые линии синхронизации должны быть удалены от информационных линий и от линий синхронизации сигналов другой фазы на расстоянии не менее 2,5 мм. Для ограничения перекрестной наводки в смежных слоях сигнальные проводники размещают под углом 90 или 45°.

Допустимая длина совпадающих по направлению участков печатных проводников определяется критической длиной линии. Длину линии называют критической, когда удвоенное время задержки сигнала в линии $2t_{зд}$ равно длительности фронта импульса τ_f , поступающего на линию: $\tau_f/2t_{зд} = 1$. Линии передачи, для которых $\tau_f/t_{зд} \leq 1$ называют длинными, а линии, для которых $\tau_f/t_{зд} > 4$, — короткими. Если принять, что длительность фронта импульса измеряется в наносекундах, погонная задержка сигнала в линии $t_{зд0}$ — в наносекундах на метр, то критическая длина линии (в метрах) $l_{кр} = \tau_f/2t_{зд0}$. В близко расположенных проводниках длиной, равной критической, создаются максимальные отражения импульсов при перекрестных связях проводников, что может явиться причиной превышения допустимой помехоустойчивости.

Величина $t_{зд0}$ наиболее часто применяемых на платах с ИС ТТЛ печатных линий

Таблица 4.9

Число параллельных проводников	Расстояние между печатными проводниками, мм			
	1,0	1,5	3,0	5,0
2	120	130	150	170
3	70	75	90	100
4	60	65	70	80
5	50	60	65	70

составляет 5—6,5 нс/м в зависимости от типа линии, диэлектрической проницаемости материала платы, соотношения W/H . Если принять длительность фронта импульсов ИС серий K155, равной 4,5 нс, ИС серии K531 — 2—3 нс, то при ширине проводников 0,5 мм на плате толщиной 1,6 мм ($\epsilon \approx 5$) ориентировочные значения критической длины проводников будут соответственно 385 и 170—250 мм. Для максимального ослабления перекрестной помехи приемлемое значение длины параллельных проводников составляет 1/3 критической длины.

Таким образом максимальную длину двух параллельных сигнальных проводников следует ограничивать для ИС серий K155 и K555 значением 126 мм, а для ИС серий K531 56—85 мм. Если число параллельных проводников больше двух, то ужесточаются и ограничения на длину параллельных проводников.

В табл. 4.9 приводятся нормы на максимально допустимую длину печатных параллельных проводников, расположенных на одной стороне платы или в одном слое при их ширине 0,5—1,5 мм для микросхем серии K155.

Приведенные нормы распространяются и на длину параллельных проводников, выходящих за пределы печатной платы. В пределах печатной платы эти нормы допускается увеличивать на 40%. Соответствующие значения длины параллельных проводников для ИС серий K555, K531 и др. можно оценить, зная минимальную длительность фронта выходного импульса и скорость распространения сигнала в линии.

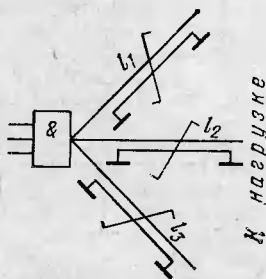


Рис. 4.29. Способ организации связи с помощью витых пар

нала в линии. Плотность размещения печатных проводников сигнальных линий ИС серий K155, K555 можно увеличить, уменьшая шаг размещения печатных проводников до 0,625 мм, если длина параллельно расположенных проводников не превышает 20 мм.

Для увеличения максимальной длины печатных проводников их следует располагать в следующей последовательности: 1) проводники синхросигналов; 2) проводники питания; 3) проводники, выходящие на разъем; 4) сигнальные проводники и пр.

Сигнальные линии связи между платами рекомендуется выполнять с помощью монтажной панели, выполненной в виде печатной платы, имеющей экранирующее покрытие со стороны монтажа. Экран должен быть соединен с общей шиной печатных плат. Длина линий на монтажной панели для ИС серий K155, K555 при выполнении их печатным монтажом определяется как разность длин, полученной по табл. 4.9, и длины линии на плате. Если длина сигнальных линий превышает 200 мм, то рекомендуется выполнять их с помощью объемного монтажа. Связь осуществляется кратчайшим путем. Укладывать параллельные проводники в жгут не допускается.

Допускаются два основных способа подключения ИС к печатным линиям связи: последовательный способ распределения нагрузки вдоль линии связи с помощью отводов и без них; радиальный способ распределения нагрузки к линиям связи. Предпочтительным является последовательный способ распределения нагрузки без отводов. При радиальном способе один логический элемент может возбуждать две параллельные линии. Необходимо предусматривать установку ИС буферных элементов и схем с открытым коллекторным выходом при организации связей между платами, панелями и др.

Рекомендации по обеспечению помехоустойчивости при выполнении проводного монтажа линий связи. Для выполнения внутрипанельных, межпанельных, межрамных линий связи используются одиночные провода, витые пары, плоские высокочастотные кабели, коаксиальные кабели и др. Линии связи длиной от 20, до 1 м в пределах панели выполняют витыми парами без согласующих элементов с шагом скрутки не более 1 см или бифиляром в экране. К выходу одного передающего ЛЭ допускается подключать не более трех витых пар суммарной длиной не более 1,5 м.

При радиальном способе распределения нагрузки, сосредоточенной на конце линии связи (рис. 4.29), приращение задержки на выходе передающего ЛЭ (в наносекундах) $\Delta t_{зд}^{1,0} = 8l_{\Sigma}$, $\Delta t_{зд}^{1,0} = 6l_{\Sigma}$, приращение задержки на выходе линий связи $\Delta t_{зд}^{0,1} = 8l_{\Sigma} + 5l_i$, где $i = 1, 2, 3$.

Суммарная длина линий связи при радиальном распределении нагрузки не

должна превышать 2 м. Обратные провода витых пар должны быть «заземлены» на передающем и приемном концах. Длина раздельной части витой пары или неэкранированной части бифиляра в экране должна быть не более 3 см. К одному контакту разема допускается подключать не более трех обратных проводов витых пар.

От несогласованной витой пары допускается делать отводы одиночным проводом в пределах нагрузочной способности передающих ИС. Суммарная длина отводов не должна превышать 0,2 м. Кроме того, в линии связи, выполненной витой парой, отдельные участки допускается проводить одиночным проводом, при этом суммарная длина одиночных проводников в данной линии связи не должна превышать 0,2 м, а длина всей линии связи 1 м.

Разводку линий связи для сигналов синхронизации в пределах панели можно выполнять с помощью витой пары длиной до 35 см или одиночным проводом длиной до 10 см. От витой пары допускается делать отводы одиночным проводом длиной до 10 см, причем суммарная длина одиночных проводников не должна превышать 20 см.

Линии связи для сигналов синхронизации длиной более 35 см необходимо выполнять с помощью согласованного либо несогласованного коаксиального кабеля длиной не более 50 см.

Линии связи с выхода ИС до элементов индикации рекомендуется выполнять витыми парами. Длина их определяется из условий обеспечения требований ТУ на максимально допустимое напряжение на выходе ИС.

Коммутационные линии связи (линии связи между переключателями, контактами реле, тумблерами и ИС) рекомендуется выполнять экранированным проводом. Допускается применять одиночные проводники длиной до 0,3 м и витые пары длиной до 3 м.

Укладка в один жгут информационных, коммутационных линий связи и линий индикации не допускается. Параллельная прокладка информационных проводов (жгутов) и жгутов, содержащих силовые цепи (питание, коммутационные), допускается на расстоянии не менее 50 мм. Одиночные проводники нельзя укладывать в жгуты как друг с другом, так и с витыми парами. Несогласованные и согласованные витые пары допускается укладывать в жгуты или группы проводов без связки, а также в шлейфы.

При передаче сигнала с выхода микросхем с внутренней памятью (триггеры, счетчики, регистры, мультиплексоры и т. п.) в смежный блок обязательно используется буфер. Если приемником сигнала являются устройства с внутренней памятью, то между ними и линией связи также необходимо установить буферы.

Межпанельные или межрамные линии связи длиной от 1 до 3 м необходимо выполнять согласованными витыми парами,

либо кабелями с волновым сопротивлением 100 Ом. Все обратные линии, включая витую пару и коаксиальный кабель, необходимо подсоединить к общей шине как с передающей, так и с приемной стороны. В непосредственной близости от ИС необходимо установить развязывающие конденсаторы как на передающей, так и на приемной стороне длинной линии емкостью не менее 0,1 мкФ. Общий вывод ЛЭ, вывод конденсатора и обратная линия передачи должны быть подключены как можно ближе друг к другу.

При прозвонке электрических цепей, содержащих ИС, постоянные напряжения между двумя любыми выводами ИС не должны превышать 0,3 В. Ток по любому выводу ИС не должен превышать 1 мА.

Приведенные рекомендации по обеспечению помехоустойчивости не описывают все возможные варианты защиты от помех. Для создания оптимальной конструкции необходимо проводить анализ в каждом конкретном случае.

4.5. Магистральные линии связи

Для повышения нагрузочной способности при организации межпанельных магистральных линий связи, внешних линий связи, внешних линий связи интерфейса в серии ИС ТТЛ вводятся специальные схемы. Организацию магистральных линий связи с использованием специальных микросхем рассмотрим на примерах.

Для работы на низкоомную нагрузку используют ИС К109ЛИ1, представляющую собой 6-входовой логический элемент И. Выходной ток ИС по уровням лог. 0 и 1 обеспечивает работу ИС на низкоомную нагрузку. По логическим уровням схема совместима с ИС ТТЛ. На рис. 4.30 приведены схемы организации линии связи с использованием ИС К109ЛИ1 и коаксиального кабеля с волновым сопротивлением 75 Ом. По схеме, приведенной на рис. 4.30, а

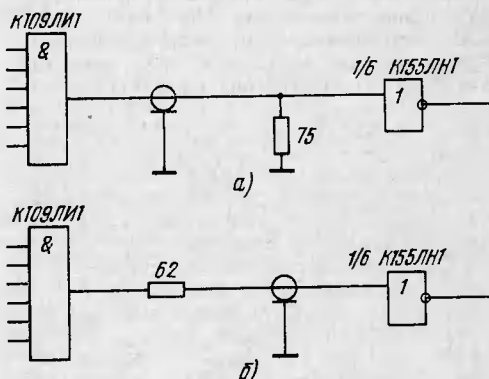


Рис. 4.30. Схемы включения согласованного кабеля РК-75 на выход ИС К109ЛИ1

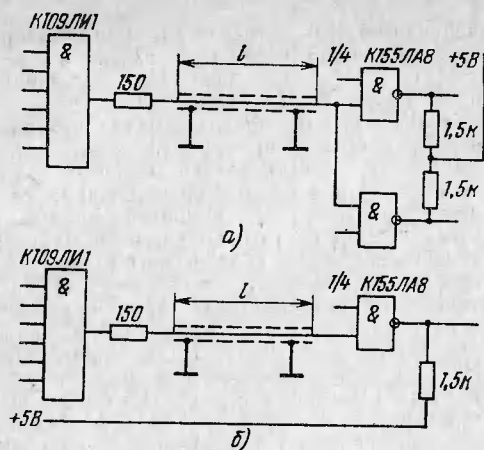


Рис. 4.31. Схемы согласования ИС К109ЛИ1 с линией связи и ИС типа К155ЛА8, К555ЛА9

непосредственно на выход кабеля допускается подключать не более четырех стандартных входов ИС ТТЛ серий К155, К555, а по схеме, приведенной на рис. 4.30, б, — один вход. Для обеспечения гарантированного срабатывания приемного ЛЭ при параллельном согласовании (рис. 4.30, а) длина кабеля выбирается таким образом, чтобы падение напряжения на нем не превышало 50 мВ; длительность импульса не менее 200 нс. Максимальная длина кабеля при последовательном согласовании (рис. 4.30, б) не более 100 м, длительность импульса не менее 1 мкс.

Микросхема К109ЛИ1 может быть нагружена на ИС серий К155, К555 через экранированный провод типа МГШВ. На выход экранированного провода допускается подключать не более двух входов ИС при длине провода 5 м (рис. 4.31, а) и не более одного входа при длине провода до 30 м (рис. 4.31, б).

На рис. 4.32 приведена схема включения ИС К109ЛИ1 на экранированный провод типа МГТФЛЭ. В качестве нагрузки допускается подключать не более двух входов ИС серии К155 при длине провода (l) не более 6 м и не более одного входа ИС серии К555 при длине провода не более 4 м. Неиспользуемые входы ИС К109ЛИ1 допускается подключать к источнику питания 5 В $\pm 5\%$.

В качестве магистральных усилителей при работе на низкоомную нагрузку могут быть использованы ИС К155ЛЕ6 (четыре логических элемента 2ИЛИ—НЕ), К531ЛА16П (два логических элемента

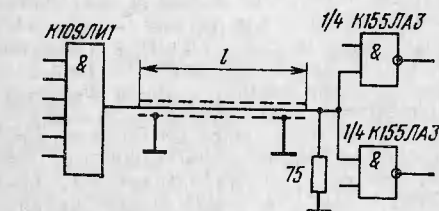


Рис. 4.32. Схема согласования ИС К109ЛИ1 с линией связи и ИС К155ЛА3

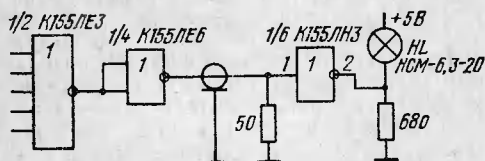


Рис. 4.33. Схема включения согласованного кабеля РК-50 на выход ИС К155ЛЕ6 (параллельное согласование)

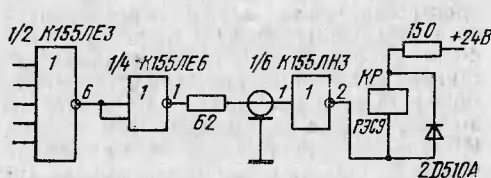


Рис. 4.34. Схема включения согласованного кабеля РК-75 на выход ЛЭ К155ЛЕ6 (последовательное согласование)

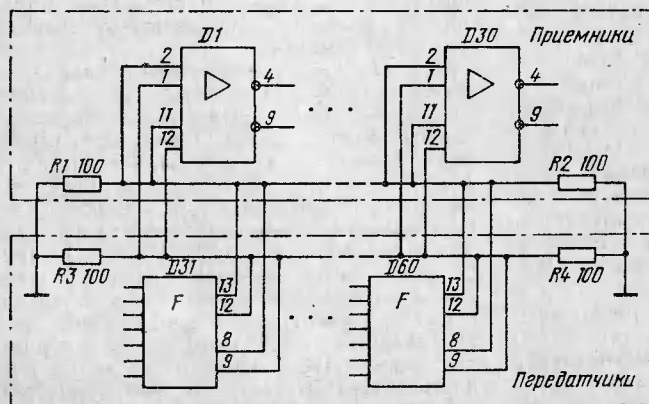


Рис. 4.35. Схема информационной магистрали

4И—НЕ). На рис. 4.33, 4.34 приведены схемы подключения согласованных кабелей РК-50, РК-75 к выходу ИС К155ЛЕ6. На выход длинной линии в этих схемах подключена ИС К155ЛНЗ буферного инвертора с повышенным выходным коллекторным напряжением (до 30 В), нагрузкой которой являются исполнительные каскады. Хорошим решением является подключение к выходу кабеля ИС типа ТЛ2.

Наличие сигналов запрета и стробирования в ИС К170АП1 и К170УП1 позволяет организовать информационную магистраль: несколько приемников (К170УП1) и передатчиков (К170АП1) распределяют общую информацию на одну линию (уплотненный режим работы) (рис. 4.35). При этом один передатчик работает на все приемники, имеющие 1 на стробирующем входе. Линия может быть выполнена согласованной витой парой проводов. Так как входы приемника высокоомны, они не представляют никакой дополнительной нагрузки для кабеля, не влияют на его волновое сопротивление, и в магистраль можно одновременно включать до 30 передатчиков и приемников.

4.6. Защита от статического электричества

При работе ИС ТТЛ необходимо учитывать возможность выхода их из строя от воздействия электростатического заряда, который возникает на поверхности диэлектрика при электризации. В частности, электростатические заряды образуются на теле человека при трении об одежду: ходьбе по линолеуму и т. п. Заряд может достигать такого значения, при котором ИС может быть повреждена либо полностью выйти из строя. Например, если на вход ИС наведен заряд $Q = 10^{-9}$ Кл, то при $C_{вх} = 2$ пФ напряжение на выводе ИС $U = Q/C_{вх} = 500$ В.

Характерными признаками повреждения приборов при воздействии статического электричества являются: anomальные утечки токов; уход параметров за нормы ТУ; короткое замыкание; пробой p - n переходов; выгорание металлизаций; перегорание внутренних выводов и др.

Часто воздействие статического электричества приводит к появлению скрытых дефектов в микросхемах, которые проявляются со временем и приводят к ухудшению электрических параметров. Опасное (критическое) значение статического потенциала приводится в ТУ на микросхемы: 200 В для ИС серий К155, К531 и КР1533 и 30 В для ИС серии К555 (если иное не установлено в ТУ исполнения).

Измерение статического потенциала производят с помощью электростатического вольтметра. Для этого следует соединить измеряемый объект с изолированной клеммой электростатического вольтметра. По-

тенциал объекта с учетом влияния входной емкости вольтметра $C_{вх}$ равен $U_{об} = U(1 + C_{вх}/C)$, где U — показание вольтметра, В; C — емкость объекта.

Электрическая емкость объекта измеряется с помощью прибора $E7 = 5A$ или $E12 = 1A$. Электрическая емкость тела человека в производственных условиях может изменяться от 150 до 250 пФ. Допустимыми следует считать значения, не превышающие половины критического (опасного) потенциала самого чувствительного к статическому электричеству прибору. Для ограничения или устранения воздействия опасного электростатического заряда на ИС необходимо применять комплекс мероприятий. Прежде всего используются покрытия, а также обувь и одежда материалов, обладающих большой проводимостью. Поверхность столов и пола в рабочих помещениях рекомендуется покрывать малозлектризующимися материалами с удельным сопротивлением не более 10^6 Ом·м. Сопротивление покрытия пола по отношению к земле должно быть не более 10^6 Ом. Не допускается загрязнять проводящие покрытия полов и столов веществами, повышающими их сопротивление.

Производственные столы рекомендуется дополнительно накрывать металлическим листом размером 200×300 мм, соединенным через ограничительное сопротивление 1 МОм с заземляющей шиной.

Для ослабления электризации применяются физические и химические методы. Физические методы предусматривают обеспечение заземления всех металлических и электропроводящих неметаллических частей технологического, испытательного и измерительного оборудования. Непрерывный отвод зарядов статического электричества с тела человека обеспечивается использованием антистатических браслетов (колец, пинов), подключенных к заземленной шине через резистор сопротивлением $1 \text{ МОм} \pm 10\%$ гибким изолированным проводом. К физическим методам снижения электризации относится поддержание относительной влажности в помещениях, предназначенных для работы с микросхемами, на уровне максимально допустимого значения, указанного в технической документации.

К химическим методам снижения электризации относятся методы, предусматривающие использование электропроводящих пленок, эмалей, красок, лаков для повышения проводимости диэлектрических покрытий полов, столов, частей оборудования и приспособлений. Такие пленки должны создавать проводящий слой с удельным сопротивлением менее 10^5 Ом·м. Пленки наносят разбрызгиванием, распылением или испарением металла в вакууме. Для снижения удельного поверхностного сопротивления диэлектриков (на 3—5 порядков) рекомендуется наносить на их поверхность различные антистатические вещества («Антистатик», «Чародейка») с поверхност-

но-активными свойствами. При лакировании приборов методом распыления приспособления для лакировки должны быть уста-

новлены на заземленный металлический лист, а красокраситель, плата и ка-мера — заземлены.

Глава 5

Типовые функциональные узлы

В настоящей главе приведены некоторые схмотехнические принципы реализации сложных логических функций и построения функциональных узлов на ИС ТТЛ. Основная цель главы — на конкретных примерах проиллюстрировать разработчикам аппаратуры возможность построения различных функциональных узлов на ТТЛ ИС. Схемные решения, приведенные в данной главе, не привязаны к конкретной конструкции.

5.1. Триггеры

На рис. 5.1 приведены функциональная схема и временные диаграммы работы счетного несимметричного триггера на шести элементах И—НЕ.

Триггер устанавливается в состояние лог. 0 при одновременной подаче напряжения низкого уровня на входы элементов D 2.1 и D 2.3 независимо от уровня напряжения на счетном входе С. При напряжении низкого уровня на счетном входе установка триггера в состояние лог. 0 может быть произведена при подаче напряжения низкого уровня на вход элемента D2.1, при напряжении высокого уровня на счетном входе — при подаче напряжения низкого

уровня на вход элемента D2.3. Поэтому при построении суммирующего счетчика импульсы установки 0 во всех разрядах, кроме первого, подают на шестые элементы, а при построении вычитающего счетчика — на четвертые элементы.

Установка триггера в состояние лог. 1 при напряжении низкого уровня на счетном входе осуществляется подачей напряжения низкого уровня на вход элемента D1.1, при напряжении высокого уровня на счетном входе и входах «установка 0» (R1, R2) — подачей напряжения низкого уровня на вход элемента D2.2.

При одновременной подаче напряжения низкого уровня на входы элементов D1.1 и D2.2 установка в состояние 1 осуществляется независимо от уровня напряжения на счетном входе. Поэтому при записи в счетчик произвольного кода и при установке реверсивных счетчиков в состояние 0 следует подавать импульсы установки на оба входа установки 1 (S1, S2) одновременно или раздельно в зависимости от рода работы.

При напряжении высокого уровня на счетном входе триггер находится в одном из двух устойчивых состояний, а при напряжении низкого уровня — в промежуточном состоянии (основной триггер, элементы

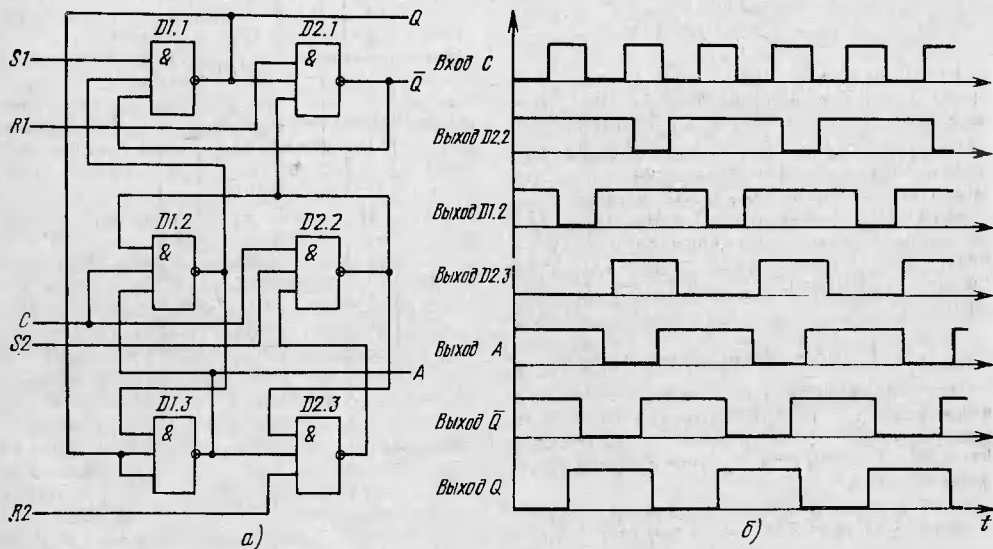


Рис. 5.1. Счетный триггер (а) и временная диаграмма работы (б)

D1.1 и D2.1 в предыдущем состоянии, на входах элементов D1.2 и D2.2 напряжение высокого уровня).

При построении суммирующего счетчика на входы последующих разрядов подаются сигналы с выхода 0 (элементы D2.1 предыдущих триггеров), а при построении вычитающего счетчика — с выхода 1 (элементы D1.1 предыдущих триггеров). На выходе элемента D1.3 повторяются входные импульсы отрицательной полярности с частотой $f_{\text{вх}}/2$.

Минимальная длительность импульсов установки триггера

$$\tau_{\text{и уст min}} = t_{\text{зд p}}^{0,1} + t_{\text{зд p}}^{1,0} \text{ max.}$$

Минимальная длительность цикла работы одиночного триггера

$$t_{\text{min}} = 3t_{\text{зд p}}^{0,1} + 2t_{\text{зд p}}^{1,0}.$$

Задержка распространения сигнала на один разряд при построении последовательного счетчика

$$t_{\text{зд p}} \approx t_{\text{зд p}}^{0,1} + t_{\text{зд p}}^{1,0}.$$

Длительность входных импульсов отрицательной полярности

$$\tau_{\text{и}}^- > t_{\text{зд p}}^{0,1} + t_{\text{зд p}}^{1,0}.$$

Длительность входных импульсов положительной полярности

$$\tau_{\text{и}}^+ > 2t_{\text{зд p}}^{0,1} + t_{\text{зд p}}^{1,0}.$$

Если сигнал снимается с выхода элемента D1.3, минимальная длительность цикла работы одиночного триггера и минимальные длительности входных импульсов составляют:

$$\tau_{\text{и}} = 3t_{\text{зд p}}^{0,1} + 3t_{\text{зд p}}^{1,0}.$$

$$\tau_{\text{и}}^- > 2t_{\text{зд p}}^{0,1} + t_{\text{зд p}}^{1,0}.$$

$$\tau_{\text{и}}^+ > 2t_{\text{зд p}}^{0,1} + t_{\text{зд p}}^{1,0}.$$

Установка в 0 схем, выполненных на триггерах JK и D серий ИС ТТЛ, осуществляется отрицательным импульсом, подаваемым на вход $\bar{R}$. Запись кода ведется в два такта: сначала установка в 0, затем запись 1 в соответствующий разряд.

При выполнении схем на ИС типа ТВ1 и использовании предварительной установки 1 и 0 на вход синхронизации необходимо подавать напряжение низкого уровня.

5.2. Преобразователи кодов

Функционирование преобразователя кода 2421 в 7-позиционный код (рис. 5.2), построенного на логических элементах И—НЕ, описывается системой логических уравнений

$$Y1 = \overline{X4X2X1X4X3}, Y2 = \overline{X2X3X4X1X2}.$$

$$Y3 = \overline{X2X1X3X2}, Y4 = \overline{X4X2X1X4X3}.$$

$$Y5 = \overline{X3X2X1}, Y6 = \overline{X4X3X2X1},$$

$$Y7 = \overline{X1X4X3}$$

и таблицей истинности (табл. 5.1). Быстродействие схемы определяется задержкой двух логических элементов И—НЕ.

Таблица 5.1

Десятичная цифра	Код 2421				Двоично-десятичный код						
	X4	X3	X2	X1	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	1	1	1	1	0	0	1	1
2	0	0	1	0	0	1	0	0	1	0	0
3	0	0	1	1	0	1	0	0	0	0	1
4	0	1	0	0	1	0	0	0	0	1	1
5	1	0	1	1	0	0	0	1	0	0	1
6	1	1	0	0	0	0	0	1	0	0	0
7	1	1	0	1	0	1	1	0	0	1	1
8	1	1	1	0	0	0	0	0	0	0	0
9	1	1	1	1	0	0	0	0	0	0	1

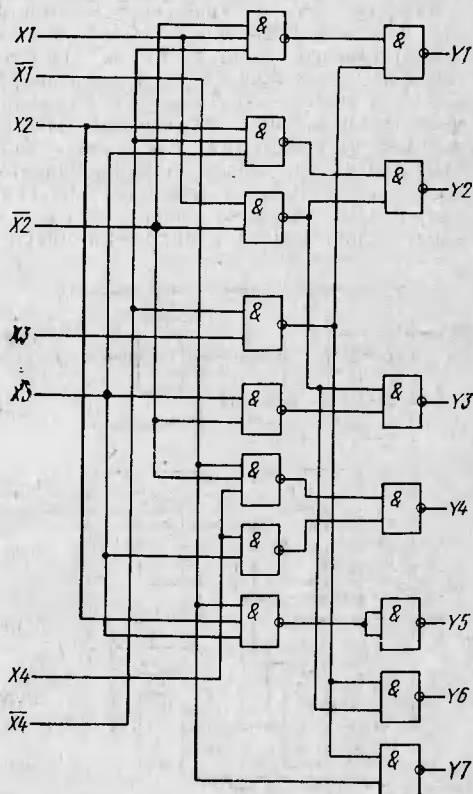


Рис. 5.2. Преобразователь кода 2421 в 7-позиционный двоично-десятичный код

ческих элементах И—НЕ, описывается системой логических уравнений

$$\begin{aligned} Y1 &= \overline{\overline{\overline{X1X3X4X2Y4}}}, Y2 = \overline{\overline{\overline{Y5X1X2X3X4X2}}}, Y3 = \overline{\overline{\overline{X1X1X3X3X2X4}}}, \\ Y4 &= \overline{\overline{\overline{X3X1X2X1X2X3}}}, Y5 = \overline{\overline{\overline{X1X2X3}}}, \\ Y6 &= \overline{\overline{\overline{Y1X1X2X3}}}, Y7 = \overline{\overline{\overline{X1Y1}}} \end{aligned}$$

и таблицей истинности (табл. 5.2). Быстродействие схемы определяется задержкой четырех логических элементов И—НЕ. Функционирование преобразователя кода Джонсона в код 8421 (рис. 5.4), построенного на логических элементах И—НЕ, описывается системой логических уравнений

$$\begin{aligned} Y1 &= \overline{\overline{\overline{X2X1X3X5X4X1X3X4}}}, \\ Y2 &= \overline{\overline{\overline{X4X2X1X3}}}, Y3 = \overline{\overline{\overline{X4X3}}}, Y4 = \overline{\overline{\overline{X3X5}}} \end{aligned}$$

и таблицей истинности (табл. 5.3). Функционирование преобразователя десятичного кода в двоично-десятичный код 8421, построенного на логических элементах И—НЕ, описывается таблицей истинности (рис. 5.5).

Функционирование преобразователя кода Грея в код 8421, построенного на логических элементах И—НЕ, И—ИЛИ—НЕ, описывается таблицей истинности (рис. 5.6).

На рис. 5.7 приведена функциональная схема преобразователя 4-разрядного кода Грея в двоичный 4-разрядный код с использованием ИС типа ИМ1.

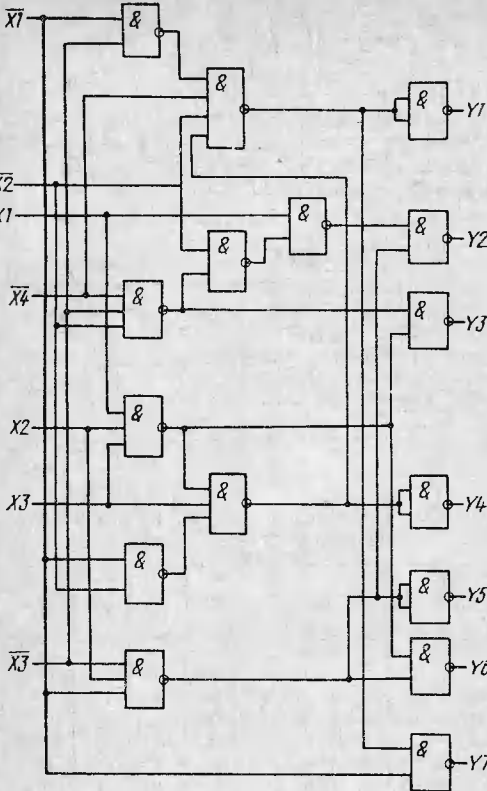


Рис. 5.3. Преобразователь кода 8421 в 7-позиционный двоично-десятичный код

Преобразование кода 8421 в двоично-десятичный код используется для ввода и обработки информации, а также для управления элементами индикации. Функционирование преобразователя кода 8421 в 7-позиционный двоично-десятичный код (рис. 5.3), построенного на логи-

Таблица 5.2

Десятичная цифра	Код 8421				Двоично-десятичный код						
	X4	X3	X2	X1	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	1	1	1	1	0	0	1	1
2	0	0	1	0	0	1	0	0	1	0	0
3	0	0	1	1	0	1	0	0	0	0	1
4	0	1	0	0	1	0	0	0	0	1	1
5	0	1	0	1	0	0	0	1	0	0	1
6	0	1	1	0	0	0	0	1	0	0	0
7	0	1	1	1	0	1	1	0	0	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	1

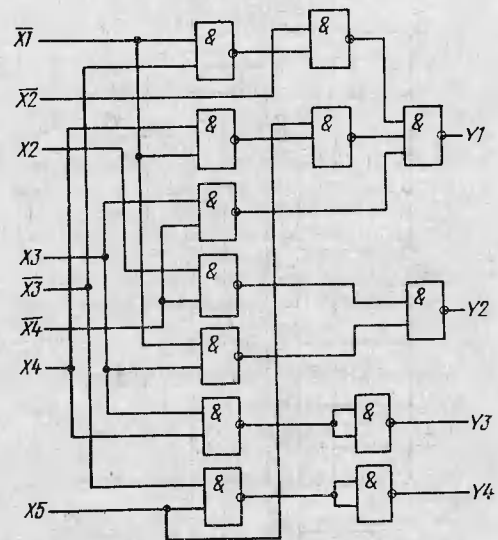


Рис. 5.4. Преобразователь кода Джонсона в код 8421

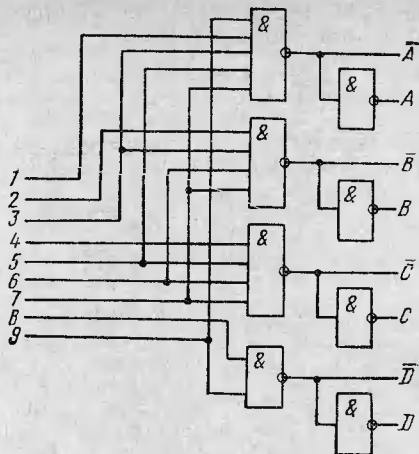


Рис. 5.5. Преобразователь десятичного кода в двоично-десятичный код 8421

Код	$\bar{D}$ 8	$\bar{C}$ 4	$\bar{B}$ 2	$\bar{A}$ 1	Код	$\bar{D}$ 8	$\bar{C}$ 4	$\bar{B}$ 2	$\bar{A}$ 1
0	0	0	0	0	6	0	1	1	0
1	0	0	0	1	7	0	1	1	1
2	0	0	1	0	8	1	0	0	0
3	0	0	1	1	9	1	0	0	1
4	0	1	0	0					
5	0	1	0	1					

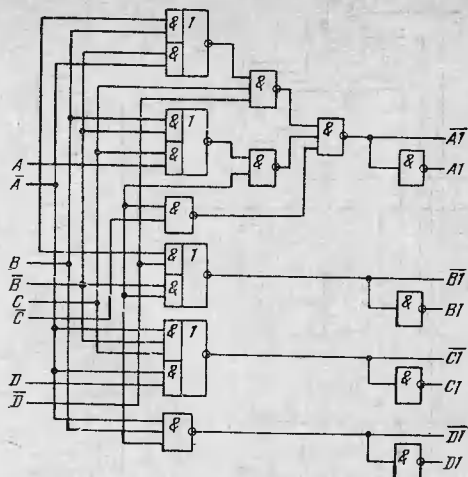


Рис. 5.6. Преобразователь кода Грея в двоично-десятичный код 8421

D	C	B	A	$\bar{D}$ 1	$\bar{C}$ 1	$\bar{B}$ 1	$\bar{A}$ 1
0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1
0	1	1	1	0	0	1	0
0	1	0	1	0	0	1	1
0	1	0	0	0	1	0	0
1	1	0	0	0	1	0	1
1	1	0	1	0	1	1	0
1	1	1	1	0	1	1	1
1	1	1	0	1	0	0	0
1	0	1	0	1	0	0	1

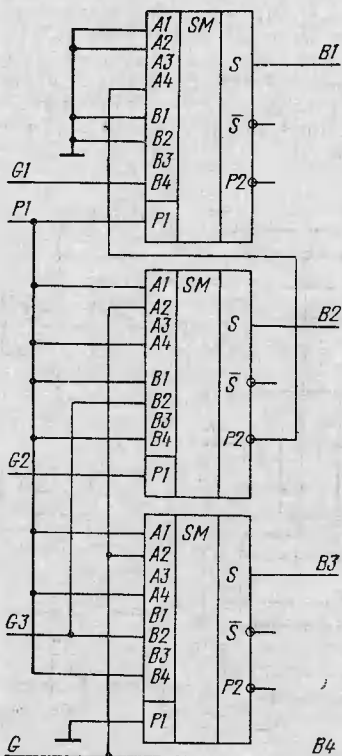


Рис. 5.7. Преобразователь кода Грея в двоичный код

На ИС типа ИР1 можно выполнить последовательно-параллельные преобразователи (рис. 5.8). Положительный пусковой импульс А и такт ввода С2 устанавливают регистр в состояние 0000000. Затем при такте сдвига С1 производится запись информации словами по 7 бит. При этом 1,

Таблица 5.3

Десятичная цифра	Код Джонсона					Код 8421			
	X5	X4	X3	X2	X1	Y4	Y3	Y2	Y1
0	0	0	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	1
2	0	0	0	1	1	0	0	1	0
3	0	0	1	1	1	0	0	1	1
4	0	1	1	1	1	0	1	0	0
5	1	1	1	1	1	0	1	0	1
6	1	1	1	1	0	0	1	1	0
7	1	1	1	0	0	0	1	1	1
8	1	1	0	0	0	1	0	0	0
9	1	0	0	0	0	1	0	0	1

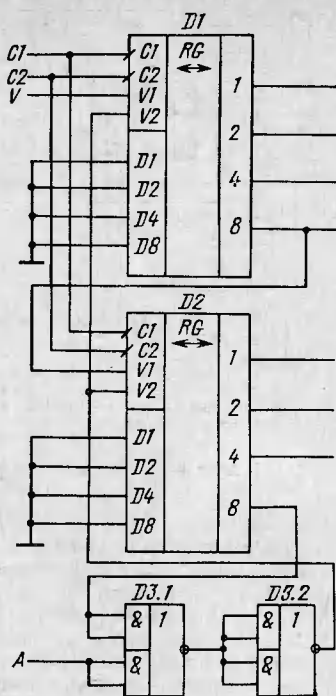


Рис. 5.8. Последовательно-параллельный преобразователь

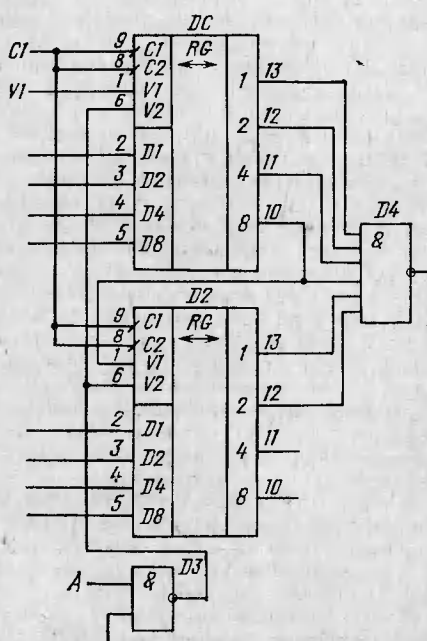


Рис. 5.9. Параллельно-последовательный преобразователь

записанная в разряде 1 регистра, сдвигается в сторону старших разрядов. После подачи седьмого тактового импульса производится переключение входа «Режим работы» (V2) регистра через ИС типа ЛР1 (D3), после чего выходные триггеры снова могут быть установлены в начальное состояние 0000000.

Сдвигающий регистр типа ИР1 благодаря возможности параллельного ввода может быть использован в качестве параллельно-последовательного преобразователя. На рис. 5.9 представлен преобразователь слов длиной 7 бит. Если регистр заполняется впервые, то необходимо подать напряжение низкого уровня на вход А (запуск) преобразователя для установки ИС типа ИР1 на параллельный ввод. При этом одновременно в разряд 1 регистра записывается лог. 0. Затем можно производить последовательное смещение информации, при котором освобождающиеся разряды регистра заполняются 1. После шести тактов сдвига (учитывается и такт ввода после седьмого тактового импульса) на выходе появляется последний бит информации. Так как одновременно в первых шести разрядах регистра устанавливается 1, срабатывает ИС типа ЛА2 (D4), которая переключает регистр из режима сдвига в режим ввода. В результате при следующем тактовом импульсе регистр может воспринимать новую информацию.

5.3. Счетчики

Функциональная схема 4-разрядного счетчика (рис. 5.10) построена на основе элемента памяти с четырьмя устойчивыми состояниями и триггера RS. Установка начального состояния производится подачей напряжения высокого уровня на вход R при $T = 0$. Работа счетчика поясняется таблицей истинности, приведенной на рис. 5.10. Длительность счетного импульса сигнала установки начального состояния и паузы между счетными импульсами не должны быть менее $2t_{зд\text{ ср}}$.

Функционирование n -разрядного счетчика с преобразователем кода Грея на полусумматорах (рис. 5.11), построенного на ИС типа ТМ2, ЛП5, описывается таблицей истинности (табл. 5.4).

На рис. 5.12 приведена функциональная схема соединения ИС типа ИЕ6, ИЕ7 при увеличении разрядности счетчиков. Если схема счетчика используется как делитель частоты без параллельной записи информации, то входы D1, D2, D4, D8 необходимо «заземлить», на вход С подать 1.

Функциональные схемы асинхронных суммирующих счетчиков на триггерах JK и D и временные диаграммы их работы приведены на рис. 5.13—5.16. Если счетные входы триггеров последующих разрядов соединить с выходами Q предыдущих разрядов для счетчиков на триггерах JK и с выходами $\bar{Q}$ для счетчиков на триг-

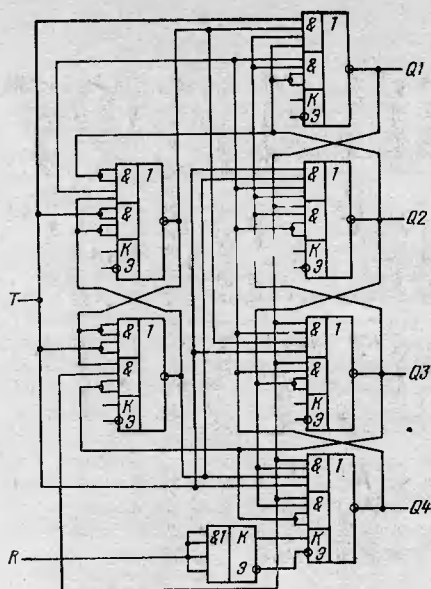


Рис. 5.10. Четырехразрядный счетчик с унитарным кодированием

Состояние выходов разрядов				Состояние выходов разрядов			
Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4
1	1	1	0	1	0	1	1
0	1	1	1	1	1	0	1

герах D, то получим вычитающие счетчики.

Если считывание состояния счетчика производится после прихода каждого входного импульса, то максимальная частота счета для последовательного счетчика определяется меньше из значений $f_{сч \max}$ в соответствии с выражением:

$$f_{сч \max} = F_{сч \max} \approx \frac{1}{(n-1)t_{зд \text{ п}} + t_{ср}},$$

Таблица 5.4

Номер состояния счетчика	Состояние выходов разрядов						
	Q_{q1}	Q_{q2}	...	Q_{qk}	Q_{qk+1}	...	Q_{qn}
0	0	0	...	0	0	...	0
1	1	0	...	0	0	...	0
2	1	1	...	0	0	...	0
3	0	1	...	0	0	...	0
...							
2^k-2	1	0	...	1	0	...	0
2^k-1	0	0	...	1	1	...	0
2^k	0	0	...	1	1	...	0
...							
$2^{n-1}-2$	1	0	...	0	0	...	1
$2^{n-1}-1$	0	0	...	0	0	...	1
2^{n-1}	0	0	...	0	0	...	1
...							
2^n-2	1	0	...	0	0	...	1
2^n-1	0	0	...	0	0	...	1

где $F_{сч \max}$ — максимальная частота счета триггера; n — число разрядов счетчика; $t_{зд \text{ п}}$ — задержка распространения при включении для счетчиков на триггерах JK и задержка распространения при выключении для счетчиков на триггерах D; $t_{ср}$ — время срабатывания внешней схемы считывания.

Если считывается только окончательное состояние счетчика после прихода серии входных импульсов, то максимальная частота счета равна максимальной частоте счета триггера JK или D. В результате одновременного переключения триггеров счетчика с последовательным переносом при опросе его состояний на выходе дешифратора появляются ложные сигна-

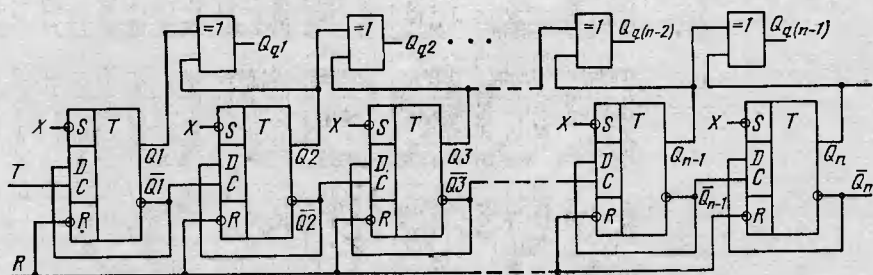


Рис. 5.11. Счетчик на n разрядов с преобразователем кода Грея на полусумматорах ($Q_{qn} = Q_n$; входы X подключаются к источнику напряжения 4,5 В)

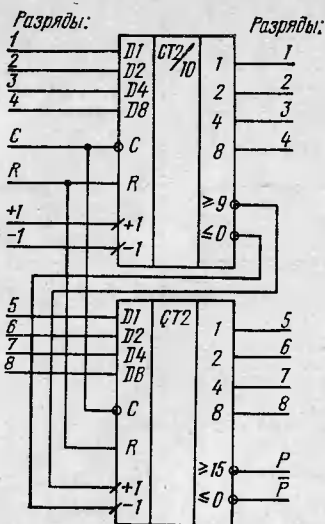


Рис. 5.12. Соединение счетчиков при увеличении разрядности

лы, поэтому на вход дешифратора должен подаваться сигнал стробирования.

Построение асинхронных счетчиков на триггерах JK в ряде случаев приводит к увеличению аппаратных затрат и уменьшению быстродействия в сравнении со счетчиками на триггерах D. Для изменения коэффициента счета асинхронных счетчиков можно использовать входы $\bar{R}$ и $\bar{S}$ триггеров.

На рис. 5.17, 5.18 приведены функциональная схема и временная диаграмма работы асинхронного счетчика по модулю 10. В общем случае для получения счетчика по модулю K на вход C подаются сигналы с выходов Q разрядов, находящихся в состоянии 1 при $K = 1$. Выход D5 подсоединяют ко входу $\bar{S}$ остальных разрядов.

На рис. 5.19 приведена функциональная схема асинхронного счетчика с собственной остановкой на выбранном числе. На входы ИС D4 подается инверсный код числа, на котором необходимо остановить счетчик.

На рис. 5.20 приведена функциональная схема асинхронного реверсивного декад-

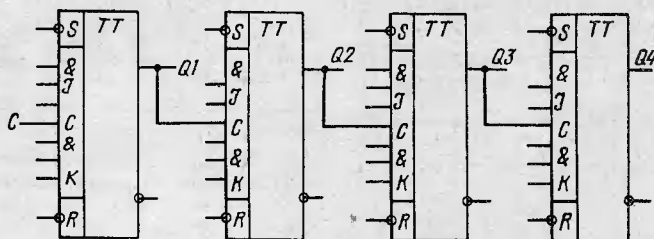


Рис. 5.13. Асинхронный двоичный счетчик на триггерах JK

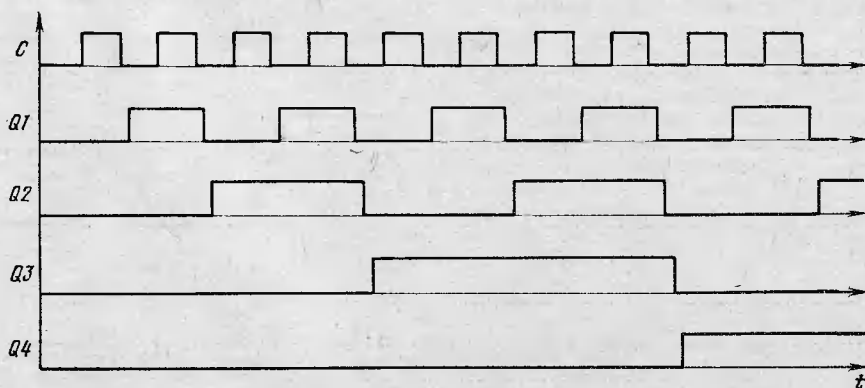


Рис. 5.14. Временная диаграмма к рис. 5.13

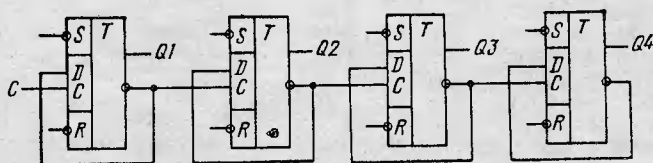


Рис. 5.15. Асинхронный двоичный счетчик на триггерах D

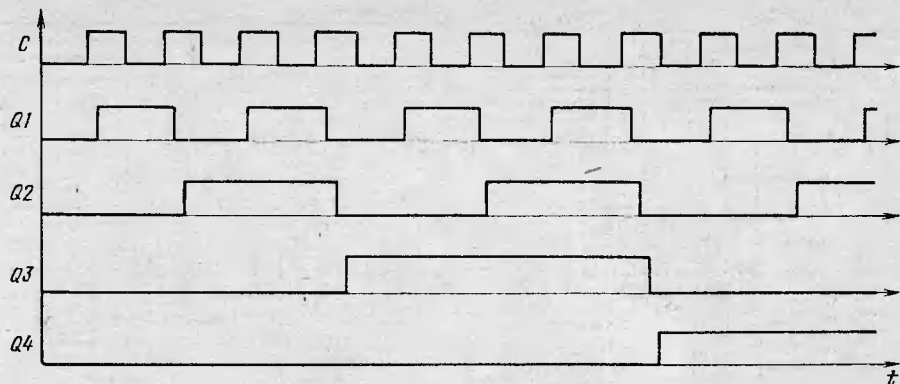


Рис. 5.16. Временная диаграмма к рис. 5.15

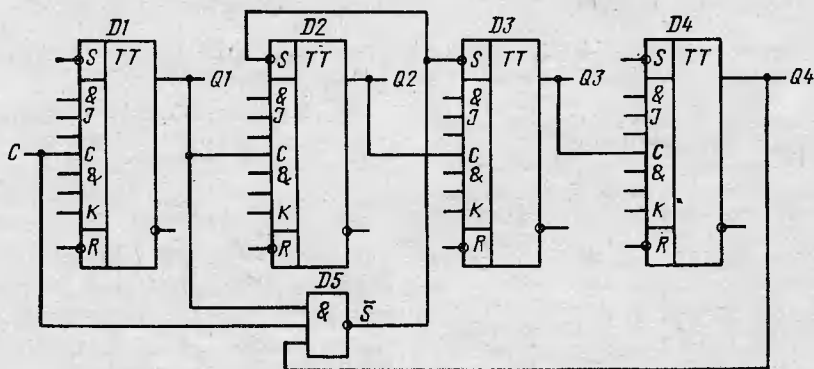


Рис. 5.17. Асинхронный счетчик по модулю 10

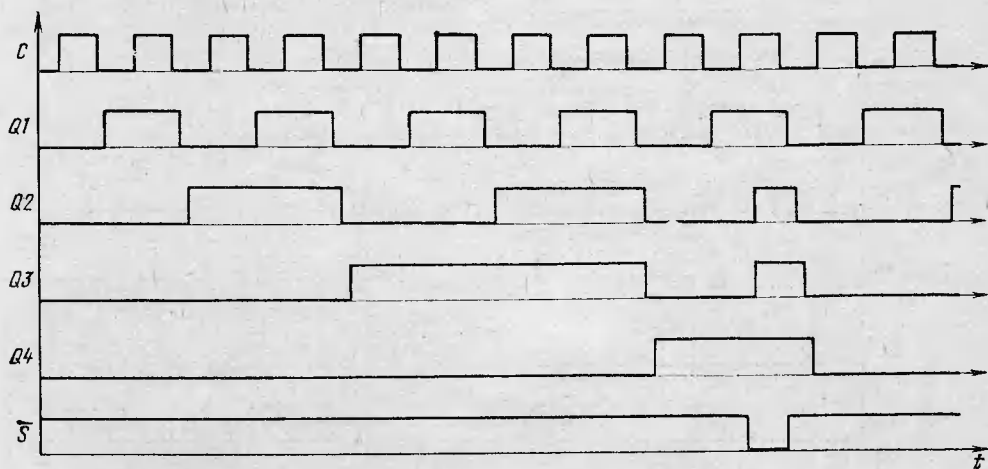


Рис. 5.18. Временная диаграмма к рис. 5.17

ного счетчика. При сложении на вход сложения (+1) подается напряжение низкого уровня, а на вход вычитания (-1) — напряжение высокого уровня, при вычитании наоборот. При изменении направления счета на управляющий вход V должен быть подан 0, а при работе — 1.

В устройствах, где требуется высокое быстродействие, рекомендуется применять синхронные счетчики с параллельным переносом. Для их построения рекомендуется использовать триггеры JK. Из-за ограниченного числа входов J и K триггера счетчики с параллельным переносом

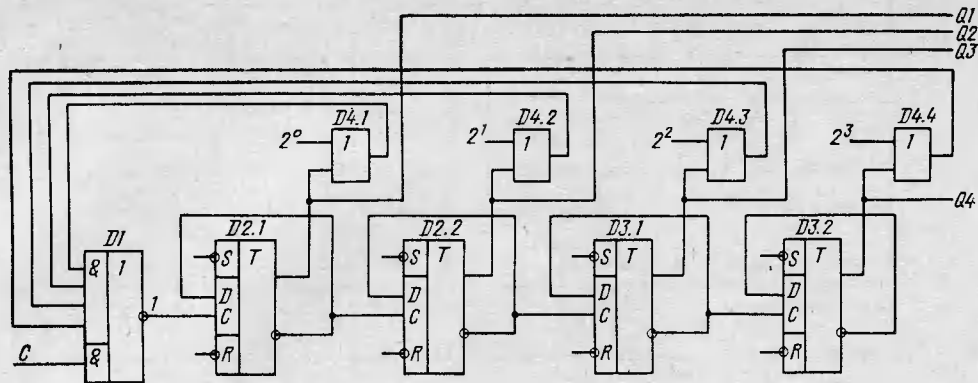


Рис. 5.19. Асинхронный двоичный счетчик с собственной остановкой на выбранном числе

без дополнительной логики могут содержать только четыре разряда. Поэтому при большом числе разрядов счетчик разбивают на группы по четыре разряда в каждой. Функциональная схема одной такой группы с элементом группового переноса приведена на рис. 5.21, временная диаграмма работы — на рис. 5.22. Максимальная частота счета отдельного триггера JK. Если опрос состояний счетчика производится в каждом такте синхронизации, максимальная частота определяется меньшим значением $f_{сч \max 1}$ в соответствии с выражениями:

$$f_{сч \max 1} = F_{сч \max} = 1/t_{ср Q},$$

где $t_{ср Q}$ — время срабатывания схемы считывания с выходов Q в оптимальном варианте (начало считывания отстает от фронта импульса синхронизации на время $t_{зд р}^{1,0}$ триггера).

Максимальная частота счета $f_{сч \max 2}$ одной группы разрядов со съемом информации с выходов Q и $\bar{P}$ определяется мень-

шим значением $f_{сч \max 2}$ в соответствии с выражениями:

$$f_{сч \max 2} = F_{сч \max} = 1/t_{ср Q},$$

$$f_{сч \max 2} = \frac{1}{t_{зд р}^{0,1} \bar{P} + t_{ср \bar{P}} + t_{зд ср \bar{P}}},$$

где $t_{зд р}^{0,1} \bar{P}$ — задержка распространения при выключении ЛЭ с выходом $\bar{P}$; $t_{ср \bar{P}}$ — время срабатывания схемы считывания с выхода $\bar{P}$; $t_{зд ср \bar{P}}$ — время задержки начала считывания с выхода $\bar{P}$ относительно начала считывания с выходов Q.

Максимальная частота одной группы разрядов со съемом информации с выходов Q и P определяется меньшим значением в соответствии с выражениями:

$$f_{сч \max 3} = F_{сч \max} = 1/t_{ср Q},$$

$$f_{сч \max 3} = \frac{1}{t_{зд р}^{1,0} P + t_{зд р}^{0,1} \bar{P} + t_{ср P} + t_{зд ср P}},$$

$$f_{сч \max 3} = \frac{1}{t_{зд р}^{0,1} \bar{P} + t_{зд р}^{1,0} P + t_{ср P} + t_{зд ср P}}.$$

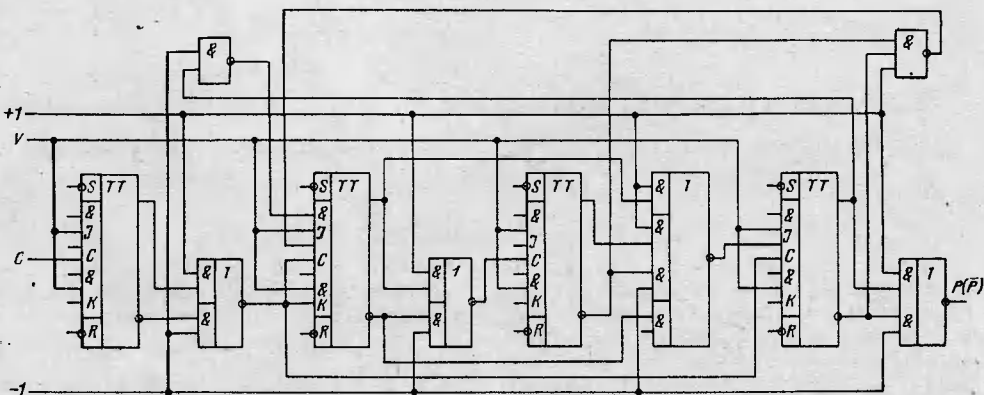


Рис. 5.20. Асинхронный реверсивный декадный счетчик

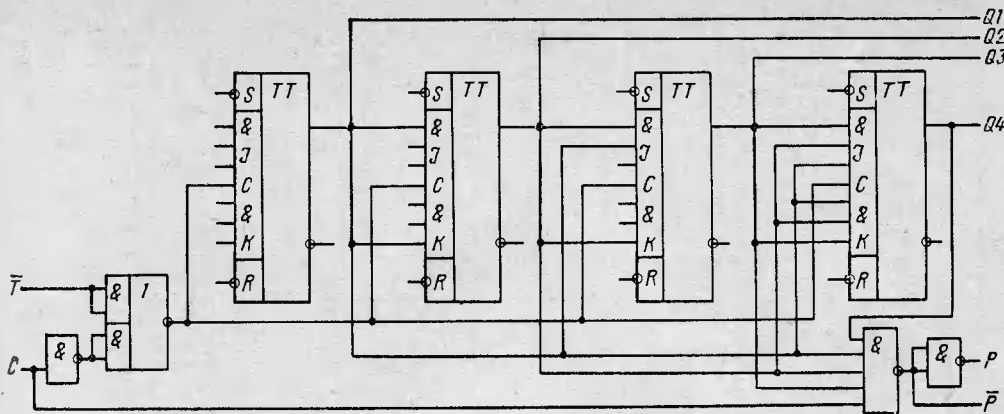


Рис. 5.21. Синхронный двоичный счетчик с параллельным переносом

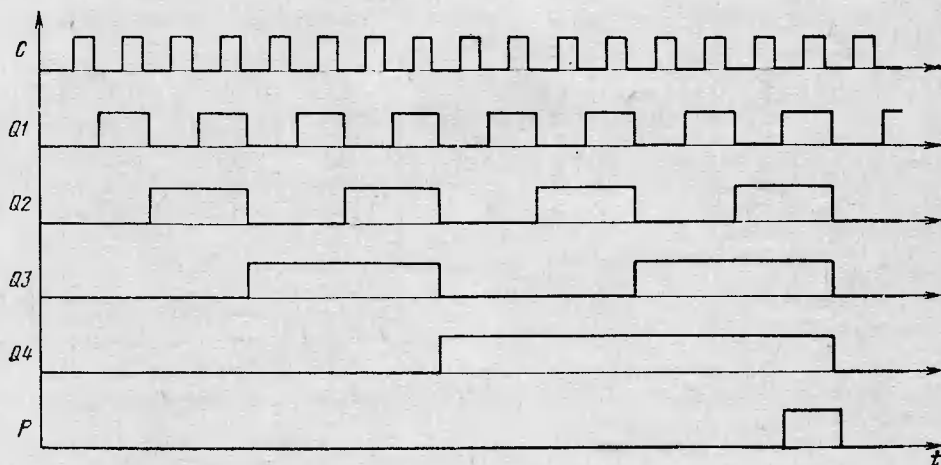


Рис. 5.22. Временная диаграмма к рис. 5.21

где $t_{\text{зд р } \bar{P}}^{1,0}$, $t_{\text{зд р } \bar{P}}^{0,1}$ — задержка распространения при включении ЛЭ с выходом $\bar{P}$; $t_{\text{зд р } P}^{1,0}$, $t_{\text{зд р } P}^{0,1}$ — задержка распространения при включении и выключении ЛЭ с выходом P ; $t_{\text{ср } P}$ — время срабатывания схемы считывания с выхода P ; $t_{\text{зд ср } \bar{P}}$ — время задержки срабатывания начала считывания с выхода P относительно начала считывания с выхода Q .

На рис. 5.23 приведена функциональная схема суммирующего группового счетчика. Особенностью построения счетчика является использование параллельного переноса из первой группы в остальные и экономичного сквозного переноса между старшими группами, начиная со второй. Сквозной перенос между старшими группами не

снижает быстродействия счетчика при общем числе групп

$$\Pi \leq \Pi^* = \frac{2^m - f_{\text{сч max}} 2 - \tau_{\text{и min}} C}{t_{\text{зд р } \bar{P}}^{1,0} + t_{\text{зд р } P}^{0,1}} + 1,$$

где m — число разрядов в первой группе (для рис. 5.23 $m = 4$); Π^* — число старших групп; $\tau_{\text{и min}} C$ — минимальная длительность импульса по входу C триггера JK.

Максимальная частота счета при этом определяется меньшим значением $f_{\text{сч max}}$ в соответствии с выражениями:

$$f_{\text{сч max}} = F_{\text{сч max}} = 1/t_{\text{ср } Q} = \frac{1}{t_{\text{зд р } \bar{P}}^{0,1} + t_{\text{зд р } \bar{P}}^{1,0} + t_{\text{зд р } P}^{1,0} + \tau_{\text{и min}} C},$$

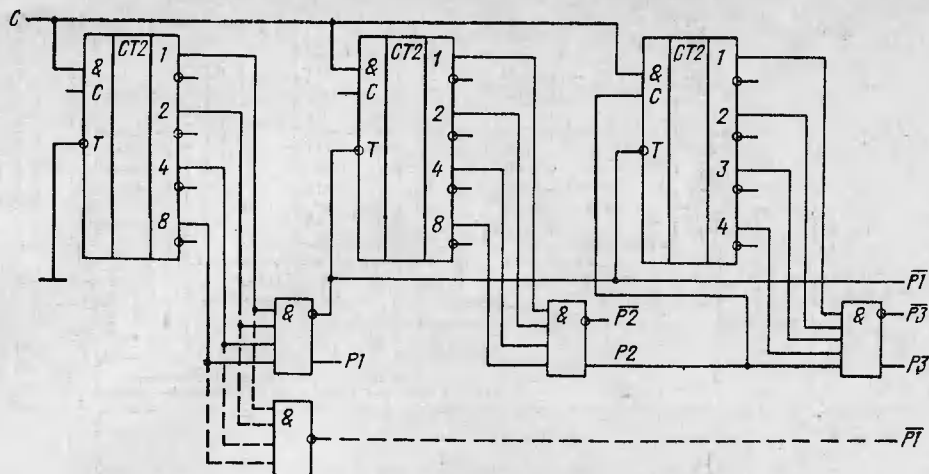


Рис. 5.23. Суммирующий групповой счетчик

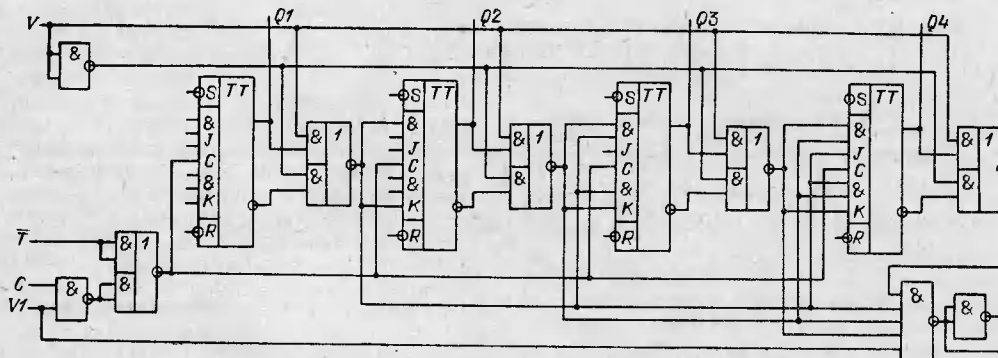


Рис. 5.24. Синхронный двоичный реверсивный счетчик с параллельным переносом

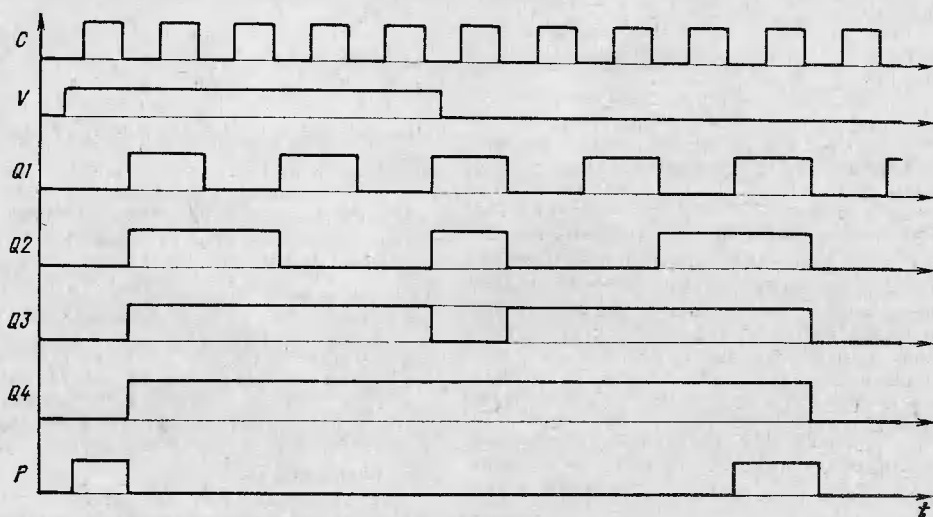


Рис. 5.25. Временная диаграмма к рис. 5.24

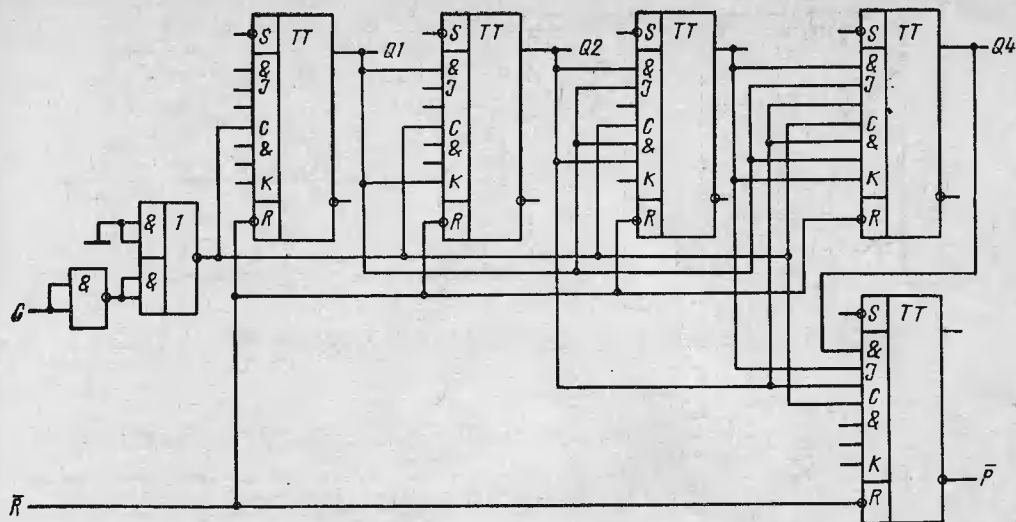


Рис. 5.26. Счетчик с параллельным переносом и триггером запоминания группового параллельного переноса

где $t_{здр\bar{T}}^{1,0}$ — задержка распространения при включении ЛЭ со входом $\bar{T}$; $t_{здрC}^{1,0}$ — задержка распространения при включении по входу С триггера JK.

При $\Pi > \Pi^*$

$$f_{сч\max 5} = \left[\frac{2}{f_{сч\max 2}} + \frac{(\Pi - \Pi^*) \left(t_{здр\bar{P}}^{1,0} + t_{здрP}^{0,1} \right) + \tau_{и\min C}}{2m} \right]^{-1}.$$

При реализации группового счетчика с $n > 10$ необходимы дополнительные элементы для образования параллельного переноса (показано штриховыми линиями на рис. 5.23).

На рис. 5.24, 5.25 приведены функциональная схема и временная диаграмма работы синхронного реверсивного счетчика с параллельным переносом. Направление счета определяется уровнем напряжения на управляющем входе V; при напряжении низкого уровня цепи формирования переноса с выходов $\bar{Q}$ триггеров подготавливаются для суммирования, а при напряжении высокого уровня — с выходов Q триггеров для вычитания поступающих импульсов. Увеличение числа разрядов в реверсивном счетчике осуществляется соединением 4-разрядных групп (см. рис. 5.23). Максимальная частота счета определяется соотношениями, приведенными для счетчика на рис. 5.23, с заменой в формулах для $f_{сч\max}$ величины $t_{здрC}^{1,0} + t_{здрP}^{0,1}$ на сумму $t_{здрC}^{0,1} + t_{здрP}^{1,0}$, где $t_{здрP}^{1,0}$ — задержка распространения при включении логи-

ческих элементов И—ИЛИ—НЕ, входящих в схему рис. 5.24.

Если схему управления реверса выполнить в виде триггера RS, то функциональные возможности счетчика расширяются: переключение со сложения на вычитание и наоборот можно осуществлять короткими импульсами; возможна операция инвертирования кода, записанного в счетчик, для чего следует подать напряжение низкого уровня на оба входа триггера RS управления, а затем — импульс синхронизации на счетный вход счетчика. При этом надо учитывать, что напряжения низкого уровня на входы $\bar{R}$ и $\bar{S}$ триггера RS подавать можно одновременно, а снимать только поочередно.

Быстродействие многоразрядных счетчиков с параллельным переносом, в том числе и реверсивных, можно увеличить, вводя дополнительный триггер переноса в первой группе разрядов, как показано на рис. 5.26. При этом исключается задержка в схеме формирования переноса, так как триггер переноса переключается синхронно с триггерами в разрядах счетчика. Соединение первой группы разрядов со следующими такое же, как на рис. 5.23.

На рис. 5.27—5.30 приведены функциональные схемы и временные диаграммы работы синхронных счетчиков на 3 и 10 на основе триггеров JK и D. Особенностью синхронных счетчиков с параллельным переносом является снижение нагрузочной способности выходов триггеров вследствие использования их для организации параллельного переноса.

На рис. 5.31, 5.32 приведены функциональная схема и временная диаграмма счетчика с параллельно-последовательным

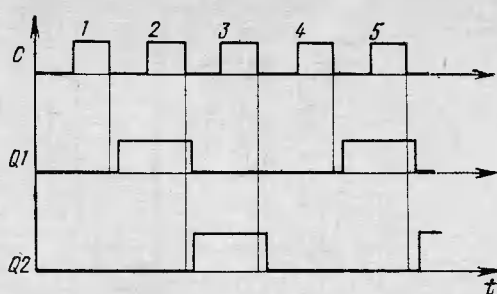
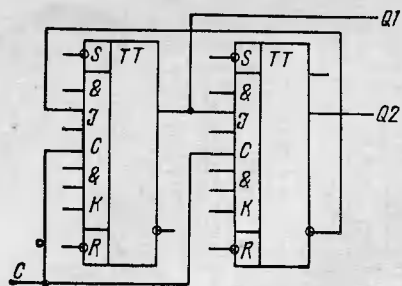


Рис. 5.27. Счетчик по модулю 3 на триггерах JK

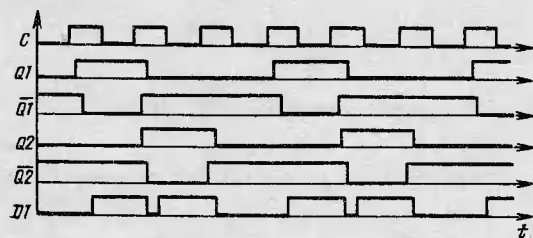
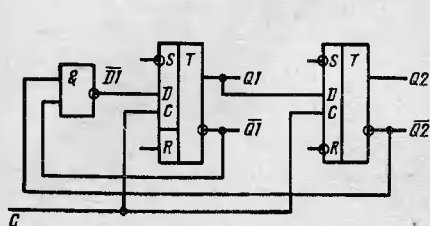


Рис. 5.28. Счетчик по модулю 3 на триггерах D

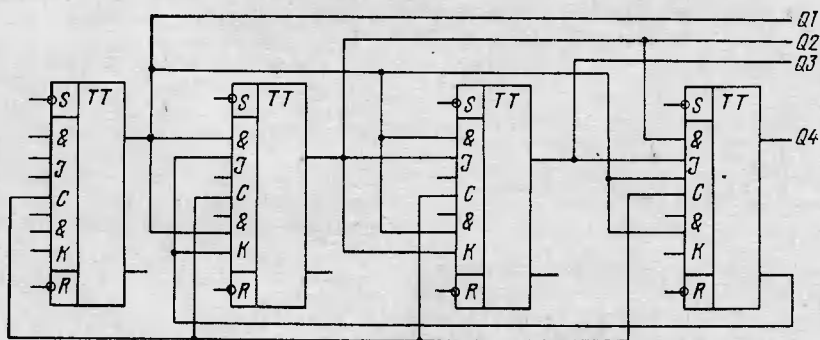


Рис. 5.29. Синхронный суммирующий декадный счетчик

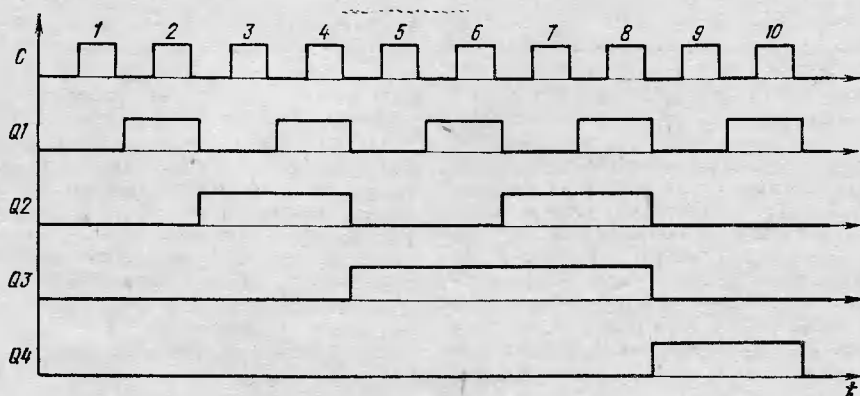


Рис. 5.30. Временная диаграмма к рис. 5.29

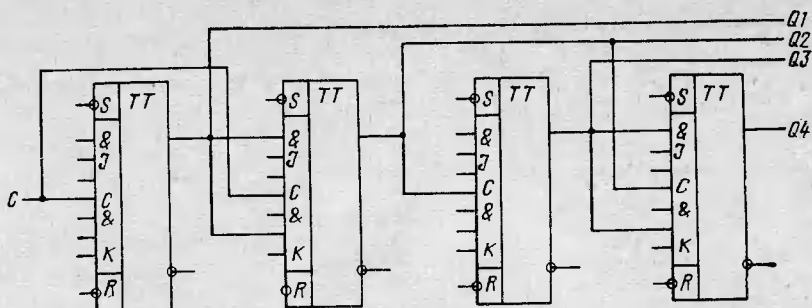


Рис. 5.31. Двоичный счетчик с параллельно-последовательным переносом

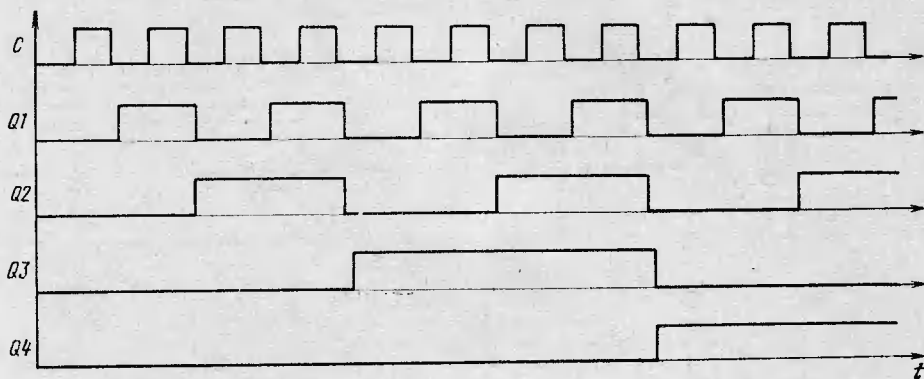


Рис. 5.32. Временная диаграмма к рис. 5.31

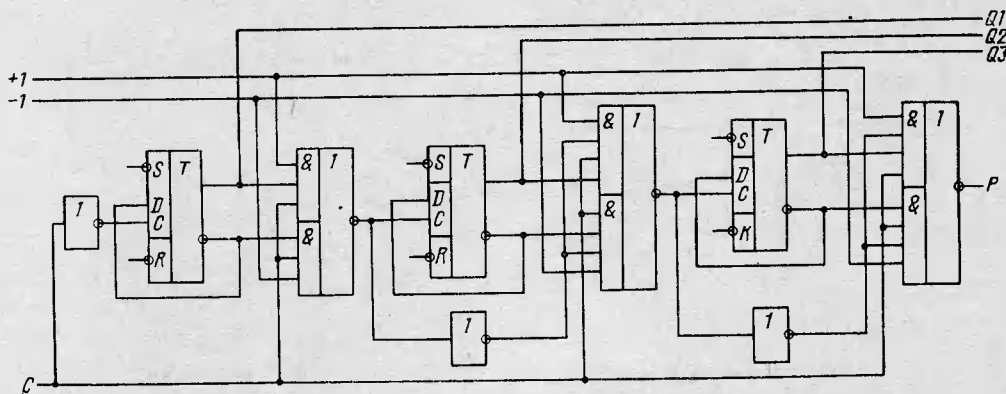


Рис. 5.33. Синхронный реверсивный счетчик со сквозным переносом

переносом. Он имеет присущую счетчику с последовательным переносом высокую нагрузочную способность выходов и простую разводку схемы. Максимальная частота счета определяется по формуле для асинхронных суммирующих счетчиков, где P — число последовательно соединенных групп разрядов счетчика.

На рис. 5.33 приведена функциональная схема синхронного реверсивного счетчика со сквозным переносом. При сложении на вход сложения (+1) подается напряжение

высокого уровня, на вход вычитание (—1) — напряжение низкого уровня, а при вычитании наоборот.

Счетчик с переменным коэффициентом счета выполняет счет тактирующих импульсов с заданным коэффициентом деления частоты тактирующих импульсов в K раз.

Основой сдвигающего счетчика служит последовательный регистр. Для построения сдвигающих счетчиков рекомендуется использовать регистры на триггерах D, как наиболее экономичные. Особенностью

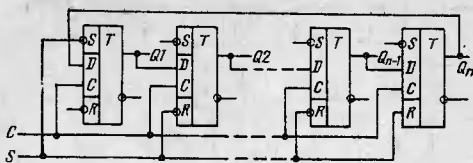


Рис. 5.34. Сдвигающий счетчик с $K=P$

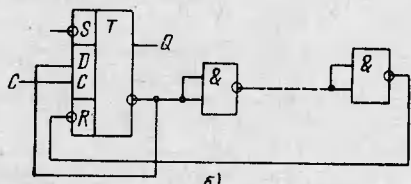
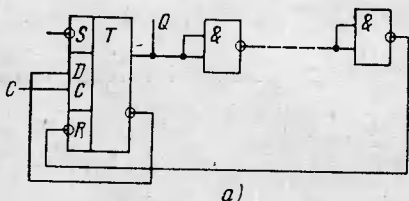
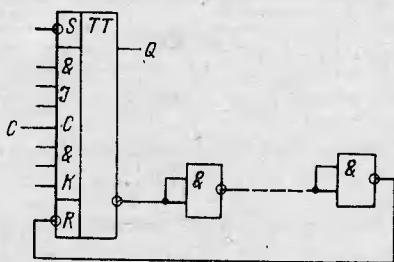
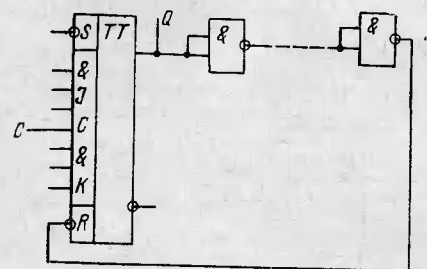
схем этого класса является наличие обратной связи с выходов сдвигающего регистра на его последовательный вход.

Простейший сдвигающий счетчик приведен на рис. 5.34. Счетчик имеет P состояний и n разрядов. Функционирование счетчика основано на последовательной переписи кода 1 или 0 из младшего разряда в старший, т. е. состояние счетчика определяется местоположением кода 1 или 0. Счет-

чики с числом состояний $K = P$ имеют $2^n - P$ неиспользуемых состояний.

На рис. 5.35 приведены функциональные схемы формирователей импульсов. Длительность импульсов регулируется числом элементов НЕ. Для нечетного числа элементов НЕ используются схемы, приведенные на рис. 5.35, а, для четного — схемы, приведенные на рис. 5.35, б. Схемы на триггерах JK формируют импульсы по срезу импульса, схемы на триггерах D — по фронту импульса.

На рис. 5.36, 5.37 приведены схемы, позволяющие осуществить привязку асинхронной информации к системе тактовых импульсов, выполненных на триггерах JK типа ТВ1. С их помощью можно получить положительные импульсы с длительностью, равной периоду следования тактовых импульсов (рис. 5.36), а также положитель-



а)

б)

Рис. 5.35. Формирователь импульсов

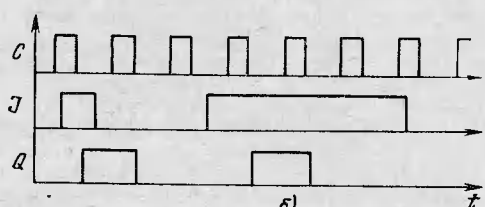
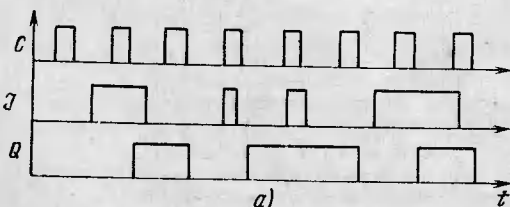
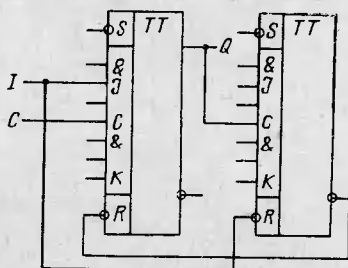
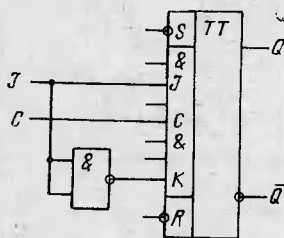


Рис. 5.36. Схемы привязки асинхронной информации

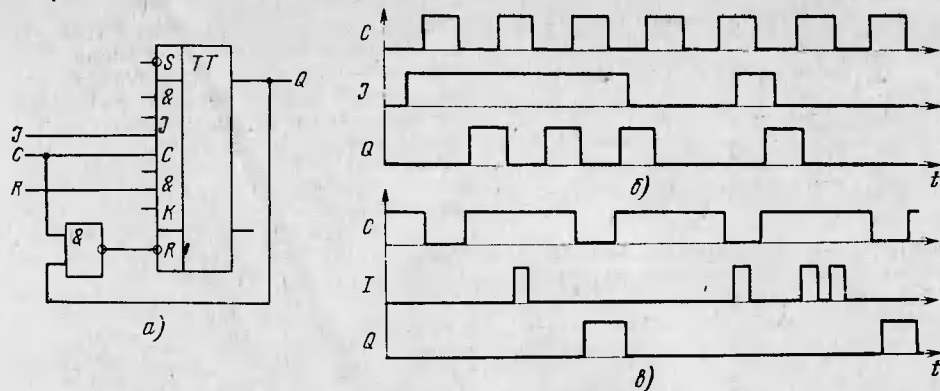


Рис. 5.37. Детектор единицы

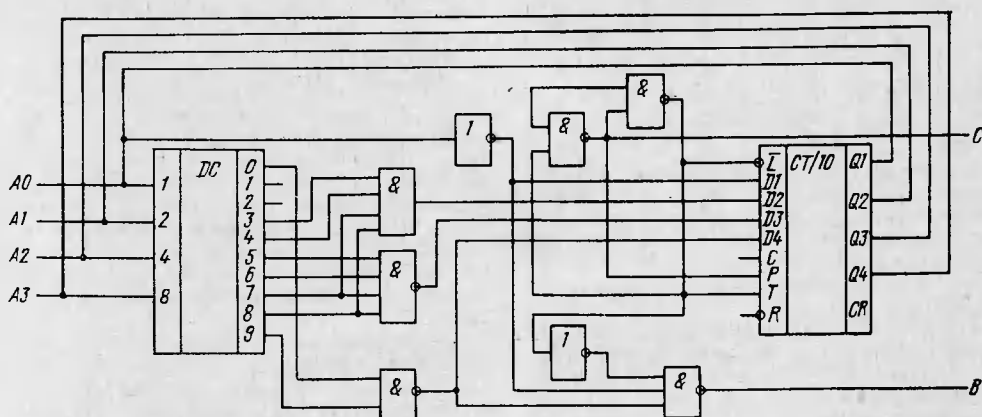


Рис. 5.38. Десятичный реверсивный счетчик

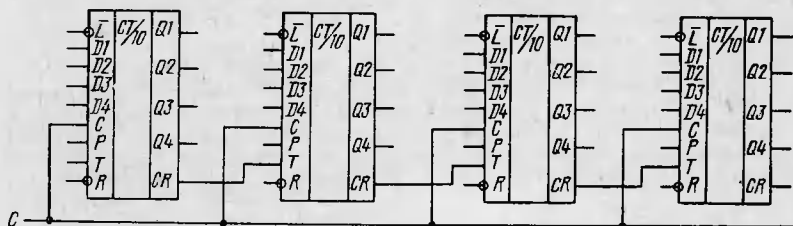


Рис. 5.39. Синхронный многокаскадный счетчик

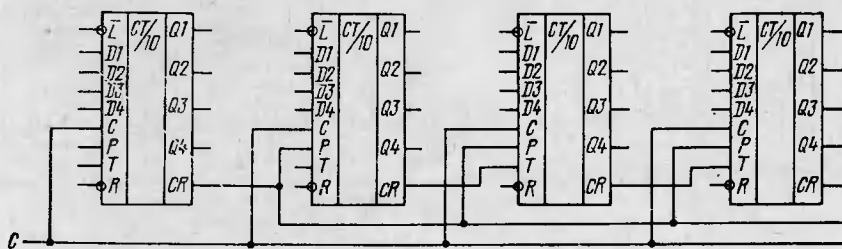


Рис. 5.40. Быстродействующий синхронный многокаскадный счетчик

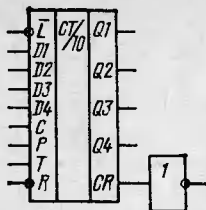


Рис. 5.41. Программируемый делитель

Модуль пересчета	Код	Программируемый вход D			
		D1	D2	D3	D4
2	8	0	0	0	1
3	7	1	1	1	0
4	6	0	1	1	0
5	5	1	0	1	0
6	4	0	0	1	0
7	3	1	1	0	0
8	2	0	1	0	0
9	1	1	0	0	0
10	0	0	0	0	0

ные импульсы в течение времени, пока на асинхронный вход подается 1 (рис. 5.37). Длительность положительных импульсов равна промежутку времени, в течение которого на вход С подается 0 (рис. 5.37, б). Эта схема может быть использована как детектор 1 (рис. 5.37, в).

На рис. 5.38 приведена функциональная схема десятичного реверсивного счетчика на ИС типа ИЕ9. Счетчик может быть использован для обратного счета, когда необходимо вернуть его в определенное состояние.

Для получения многокаскадного синхронного счетчика необходимо соединить выход CR предыдущего счетчика ИЕ9 с входом Т последующего (рис. 5.39). Недостатком данного счетчика является то, что сигнал последовательно проходит через все каскады, ввиду чего снижается максимальная скорость счета. Чтобы увеличить скорость счета, необходимо уменьшить время задержки распространения

сигнала переноса CR (рис. 5.40). В этом случае быстродействие определяется лишь быстродействием многокаскадного счетчика. Можно использовать большее число каскадов, комбинируя схемы, приведенные на рис. 5.39 и 5.40.

Декадный счетчик ИЕ9 может быть использован в качестве синхронного программирующего счетчика с модулем пересчета от 2 до 10 (рис. 5.41) при использовании инвертора. В большинстве случаев требуется, чтобы счет начинался с нуля до определенного числа и наоборот. Так, если необходимо считать до 3, то на входы D1—D4 подают комбинацию, соответствующую числу 6 (0110) и производят счет по входу С.

Декадный счетчик ИЕ9 может использоваться для последовательного сдвига информации. В схеме, представленной на рис. 5.42, выходы Q каждого десятичного счетчика соединены с входами D для осуществления сдвига. Когда на входе L присутствует 1, счетчик работает в режиме счета, когда $\bar{L} = 0$ информация двух декад счетчика сдвигается и поступает на выход Q4 второго декадного счетчика. Если выход десятичного счетчика соединить со входами предыдущих каскадов, то значения в младших разрядах сдвинутся в первую очередь. Выходы Q1 каскадов с меньшими порядковыми номерами обеспечивают последовательный выход информации.

При включении десятичных счетчиков по схеме, представленной на рис. 5.43, информация с каждого счетчика сдвигается параллельно на декаду, причем с каскадов с наибольшим порядковым номером в первую очередь.

5.4. Регистры

Параллельный регистр выполняет функции записи и хранения параллельного кода. Для построения регистра рекомендуется использовать триггеры D. На рис. 5.44 приведены функциональная схема параллельного регистра и временная диаграмма

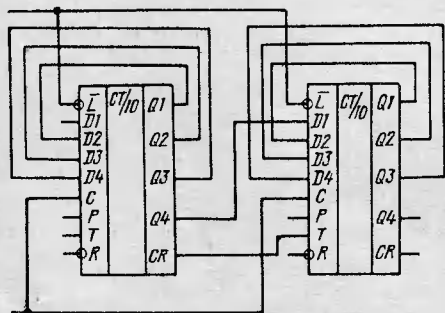


Рис. 5.42. Счетчик — последовательный регистр

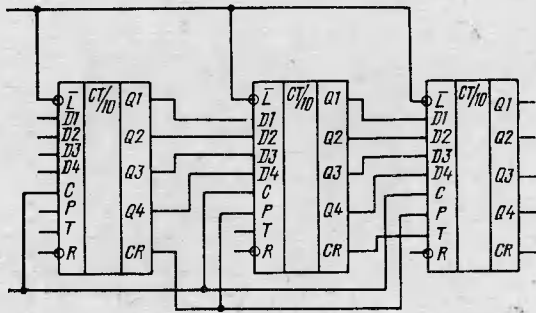


Рис. 5.43. Счетчик — сдвиговый регистр

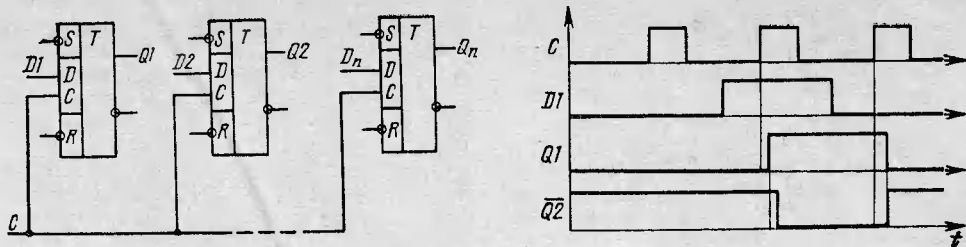


Рис. 5.44. Параллельный регистр

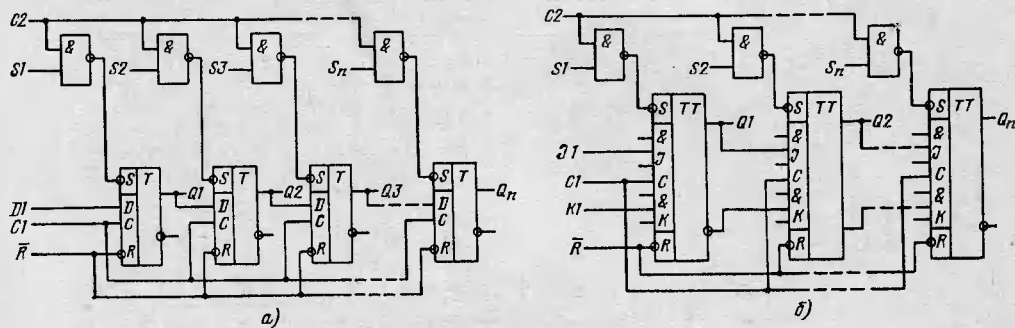


Рис. 5.45. Сдвигающий регистр

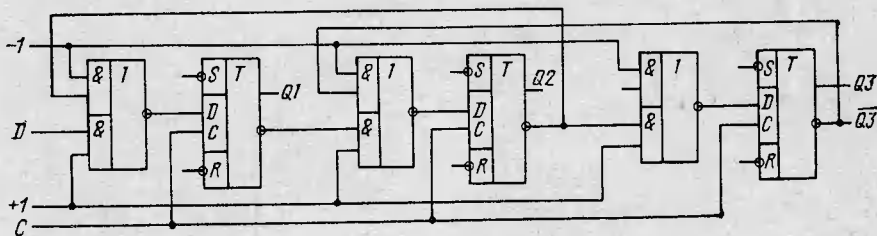


Рис. 5.46. Реверсивный сдвигающий регистр на триггерах D

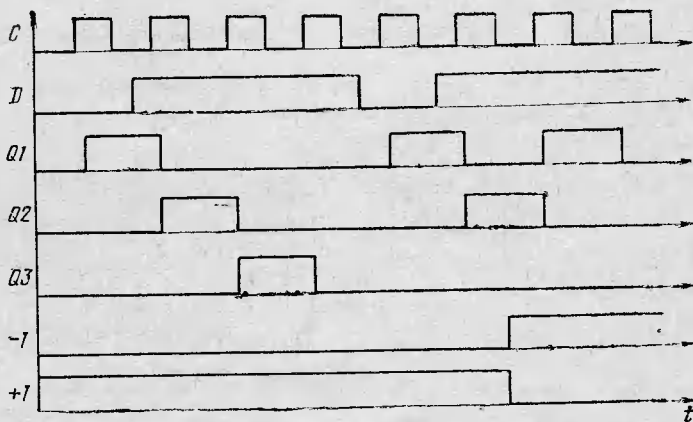


Рис. 5.47. Временная диаграмма к рис. 5.46

работы разряда 1 при поочередной записи кодов 1 и 0. Параллельный код подается на входы $D_1—D_n$. Запись осуществляется при подаче лог. 1 на вход C триггеров. Код снимается с выходов $Q_1—Q_n$.

Сдвигающий регистр выполняет функцию преобразования параллельного кода в последовательный и наоборот. Для уменьшения числа связей и объема оборудования, сдвигающие регистры целесообразно строить на триггерах D . На рис. 5.45 приведе-

ны функциональные схемы сдвигающих регистров на триггерах D и JK . Установка регистров в 0 — выполняется отрицательным импульсом, подаваемым на вход $\bar{R}$. Параллельный код поступает на входы $S_1—S_n$. Запись 1 параллельного кода осуществляется положительным импульсом, подаваемым на вход C_2 . Последовательный код поступает на вход D_1 схемы, приведенной на рис. 5.45, а и парафазно на входы J_1 и K_1 схемы, приведенной на рис. 5.45, б.

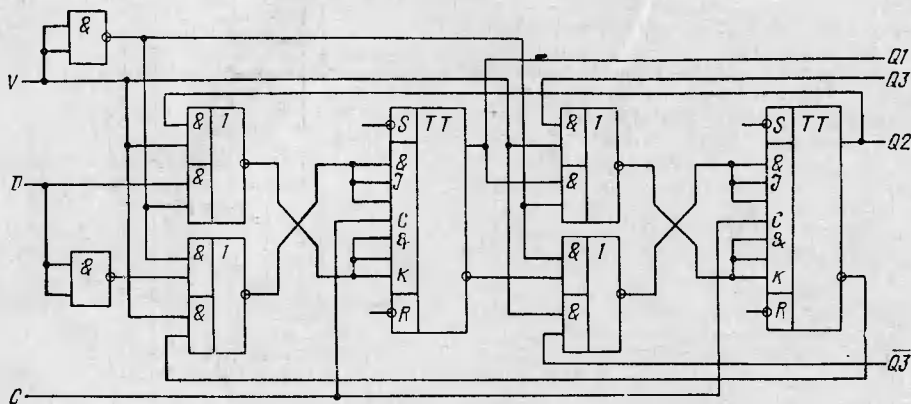


Рис. 5.48. Реверсивный сдвигающий регистр на триггерах JK

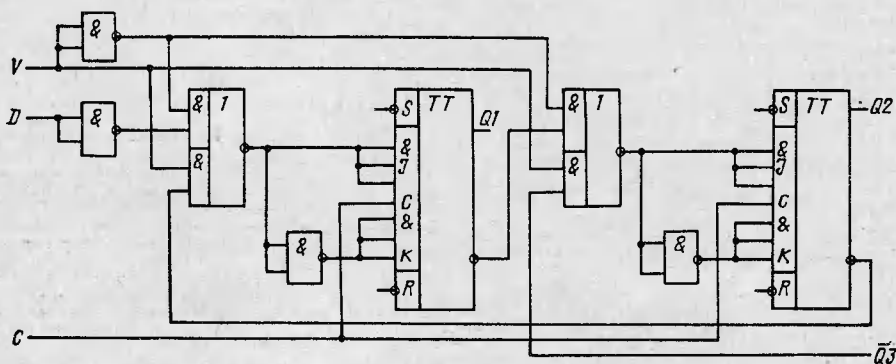


Рис. 5.49. Реверсивный сдвигающий регистр на триггерах JK с меньшим числом ЛЭ

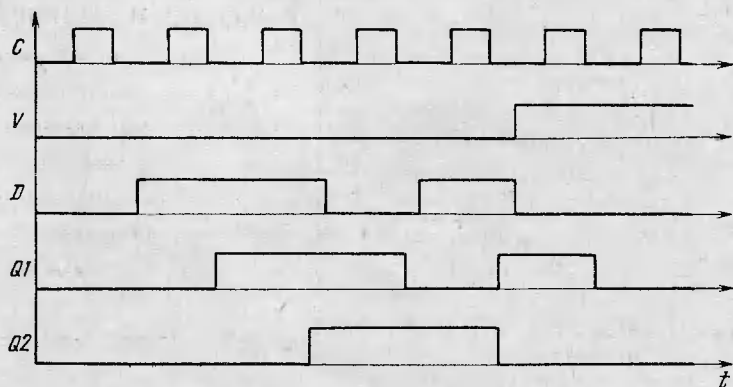


Рис. 5.50. Временная диаграмма к рис. 5.49

Функциональные схемы реверсивных сдвигающих регистров и временные диаграммы их работы показаны на рис. 5.46—5.50. Схема, приведенная на рис. 5.48, имеет большее быстродействие, но в ней используется больше логических элементов, чем в схеме, приведенной на рис. 5.49, временная диаграмма работы которой приведена на рис. 5.50.

На рис. 5.51 приведена схема реверсивного сдвигающего регистра на ИС типа ИР1 с использованием логических элементов малой степени интеграции.

Сдвигающий регистр на десять разрядов (рис. 5.52) выполнен на основе 4-разрядных универсальных сдвигающих регистров ИР1. Для построения n -разрядного сдвигающего регистра необходимо выход последнего разряда одного универсального регистра соединить с последовательным входом ($V1$) последующего универсального регистра. В этом случае время, необходимое для сдвига кода на n разрядов,

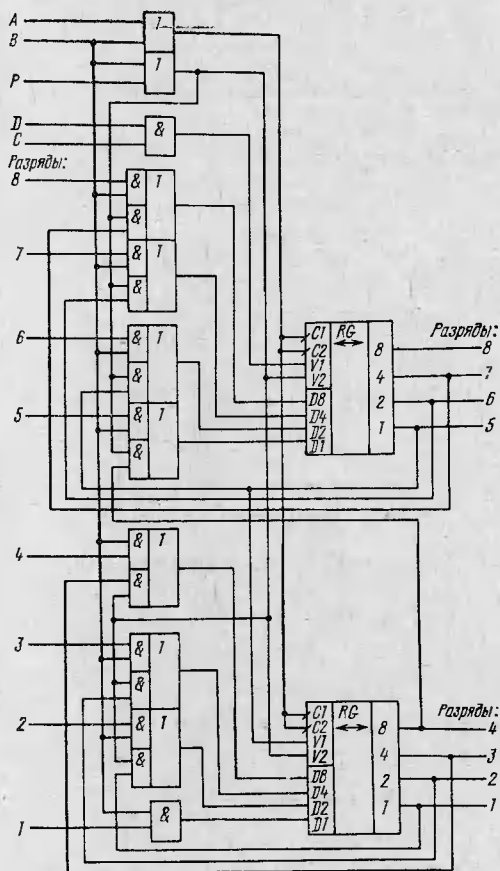


Рис. 5.51. Восьмиразрядный реверсивный сдвигающий регистр:

A — вход сдвига; B — вход записи; P — вход реверса; D — информационный вход; C — вход синхронизации

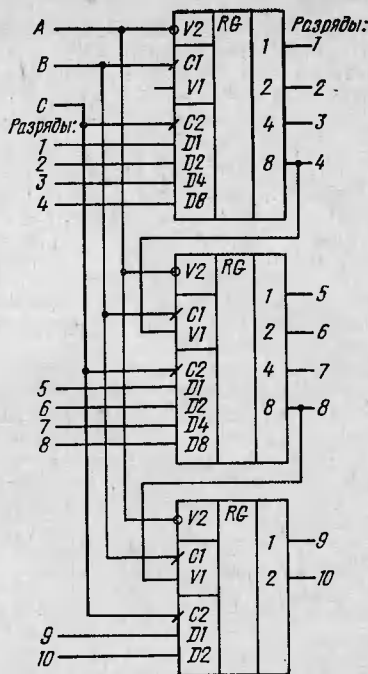


Рис. 5.52. Сдвигающий регистр; A — вход режима; B — вход сдвига; C — вход разрешения записи

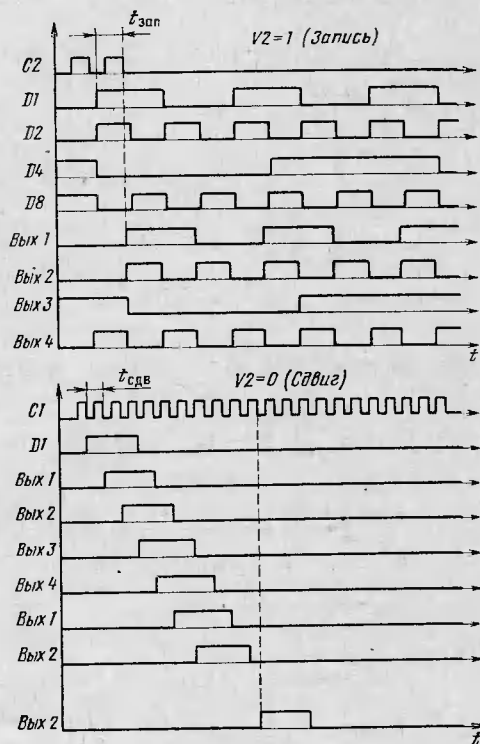


Рис. 5.53. Временная диаграмма к рис. 5.52

$t_n = nt_{сдв}$, где $t_{сдв}$ — время, необходимое для сдвига кода на один разряд.

Возможны два режима работы сдвигающего регистра: «Запись» и «Сдвиг». Управление режимами осуществляется сигналом режима, поступающим на вход V2. Если $V2 = 1$, регистр работает в режиме записи. В этом случае информацию, поступающую на входы D1—D8, записывают в регистр по срезу сигнала синхронизации (C2). Если $V2 = 0$, производится сдвиг информации по срезу сигнала синхронизации, поступающего на вход C1. Временные диаграммы, поясняющие работу сдвигающего регистра, приведены на рис. 5.53.

Применяя дополнительно внешний инвертор, можно осуществить деление частоты на 2, 4, 6, 8 на ИС ИР1 (рис. 5.54). При этом сигнал на входе выбора режима $V2 = 0$. Входные импульсы, подлежащие делению, поступают на вход синхронизации C1, а выходные снимаются с соответствующего разряда (1, 2, 3 или 4 при делении на 2, 4, 6 или 8 соответственно), выход которого соединен через инвертор обратной связи с входом информации V1. Состояние на входах C2, D1—D8 может быть любым.

При делении частоты на 3, 5 и 7 в цепь обратной связи вместо инвертора включается логическая схема И—НЕ, на входы которой сигналы поступают с выходов разрядов 1 и 2 (при делении на 3), 2 и 3 (при делении на 5) или 3 и 4 (при делении на 7).

На рис. 5.55 приведена функциональная схема однофазного двухтактного регистра с параллельно-последовательным сдвигом информации на четыре разряда, выполненная на ИС ИР15. С приходом тактового импульса T1 происходит запись информации в разряд 1 запоминающей части регистра. С приходом тактового импульса T2 информация из разряда 1 запоминающей части регистра переписывается в разряд 1 основной части регистра.

С приходом второго импульса T1 информация с выхода разряда 1 основной части регистра переписывается в разряд 2 запоминающей его части, а информация со входа схемы записывается в разряд 1 запоминающей части регистра. С приходом второго импульса T2 информация с разрядов 1 и 2 запоминающей части регистра переписывается в разряд 1 и 2 основной его части. Так как выходы и входы разрядов запоминающей и основной частей регистра последовательно соединены между собой, то после прихода каждой пары тактовых импульсов T1 и T2 информация в основной части регистра сдвигается на один разряд вправо. И только после прихода четырех пар тактовых импульсов информация со входа схемы записывается в разряд 4 основной части регистра.

Если такую же схему собрать на ИС ТМ2, то потребуется в два раза больше ИС.

На рис. 5.56 приведена схема работы ИС ИР17 в аналого-цифровом преобразо-

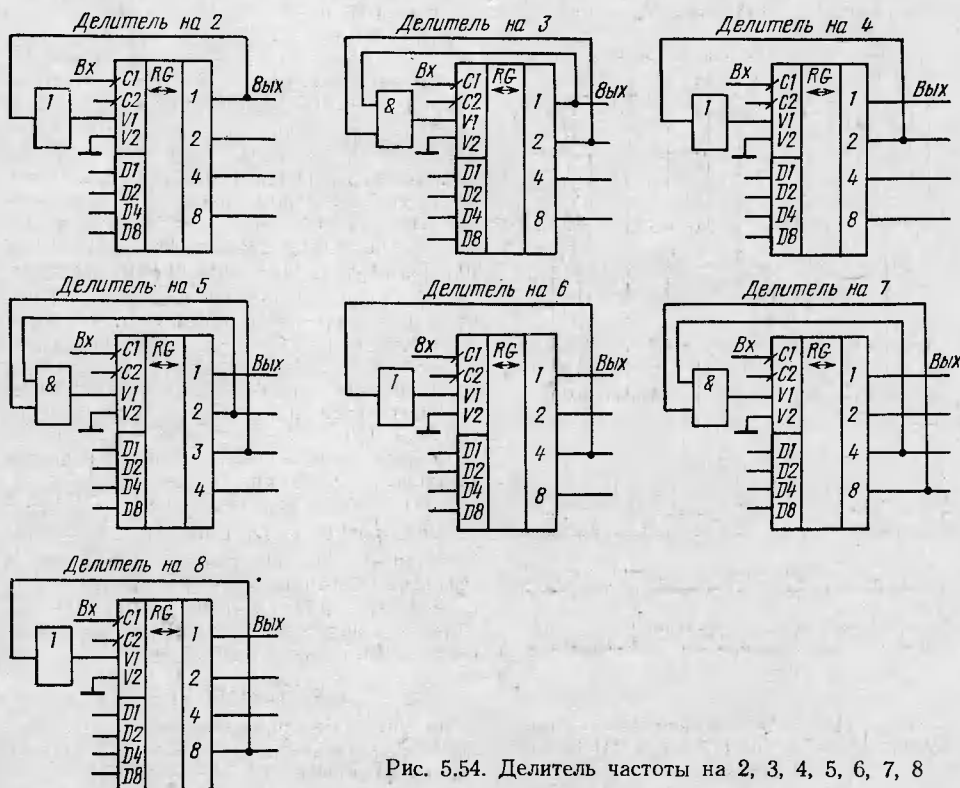


Рис. 5.54. Делитель частоты на 2, 3, 4, 5, 6, 7, 8

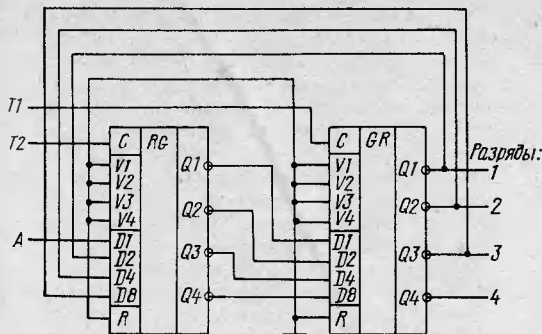


Рис. 5.55. Регистр с параллельно-последовательным сдвигом информации

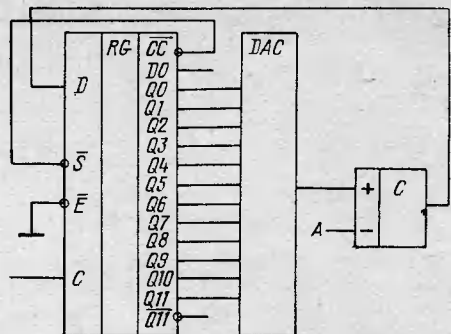


Рис. 5.56. Аналого-цифровой преобразователь на основе ИС типа ИР17

вателе DAC) по методу поразрядного взвешивания. В каждом такте преобразования регистр вырабатывает испытательный цифровой код, начиная с кода 011 ... 11, который в АЦП преобразуется в аналоговый сигнал и сравнивается затем в компараторе (С) с преобразуемым аналоговым сигналом (А). Если испытательный сигнал, поступающий с цифро-аналогового преобразователя, меньше преобразуемого аналогового сигнала, компаратор вырабатывает 1, в противном случае 0. Сигнал с выход-компаратора, поступая на вход D регистра, устанавливает старший разряд регистра в состояние, соответствующее аналоговому сигналу при положительном импуль-

се синхронизации. Одновременно следующий, более младший разряд регистра, устанавливается в 0. Таким образом, после двух тактовых импульсов на выходе регистра устанавливается код D11, 011 ... , где D11 — значение в старшем разряде регистра, соответствующее уровню преобразуемого аналогового сигнала.

После трех тактовых импульсов определяется разряд 10 регистра, а полное преобразование осуществляется за 13 тактовых импульсов, в то время как для следующего АЦП требуется 2^{n-1} тактовых импульсов, где n — число разрядов. ИС ИР17 обеспечивает формирование 4095 градаций аналогового сигнала.

Для работы с ЦАП с меньшей разрешающей способностью может быть применен усеченный регистр. В Q регистре, кроме прямого, предусмотрен инверсный выход старшего разряда Q11, который используется при представлении биполярного аналогового сигнала в дополнительном или обратном цифровом коде. Для контроля поступающей в регистр информации имеется прямой выход данных D0. В ИС ИР17 предусмотрен асинхронный вход разрешения $\bar{E}$, позволяющий каскадировать регистры для получения любого числа разрядов. Регистр на 24 разряда, показанный на рис. 5. 57, может применяться в цифровой технике для преобразования последовательного кода (вход D) в параллельный (выходы Q0 — Q11), а также в качестве устройства управления в повторяющихся цифровых программах (извлечение квадратного корня, деления и т. д.). При наличии обратной связи с выхода $\bar{C}$ на вход $\bar{E}$ и при D = 1 получаем схему кольцевого счетчика («бегущий ноль»), которая широко применяется для линейной выборки в памяти в качестве генератора последовательности в системах управления.

5.5. Сумматоры

На рис. 5.58 приведена функциональная схема одноразрядного сумматора, построенного на логических элементах.

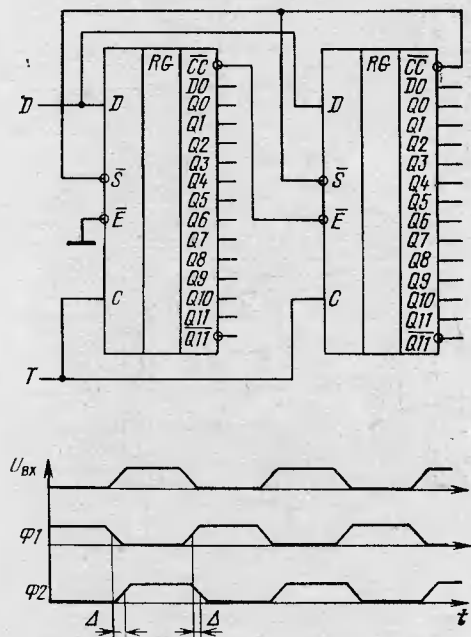


Рис. 5.57. Регистр последовательного приближения на основе ИС типа ИР17 на 24 разряда

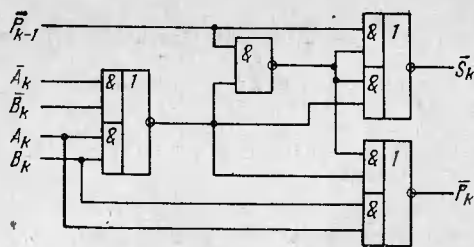


Рис. 5.58. Одноразрядный сумматор

A_k	B_k	P_{k-1}	$\bar{S}_k$	$\bar{P}_k$	A_k	B_k	P_{k-1}	$\bar{S}_k$	$\bar{P}_k$
0	0	0	0	0	0	1	1	0	1
0	0	1	1	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1
1	0	0	1	0	1	1	1	1	1

На рис. 5.59 приведена схема накапливающего сумматора, выполненного на основе полных комбинационных сумматоров D1, D2 — ИМЗ, D3 — ИМ2) и регистра (D4 — D6 — ИР1 — регистр памяти).

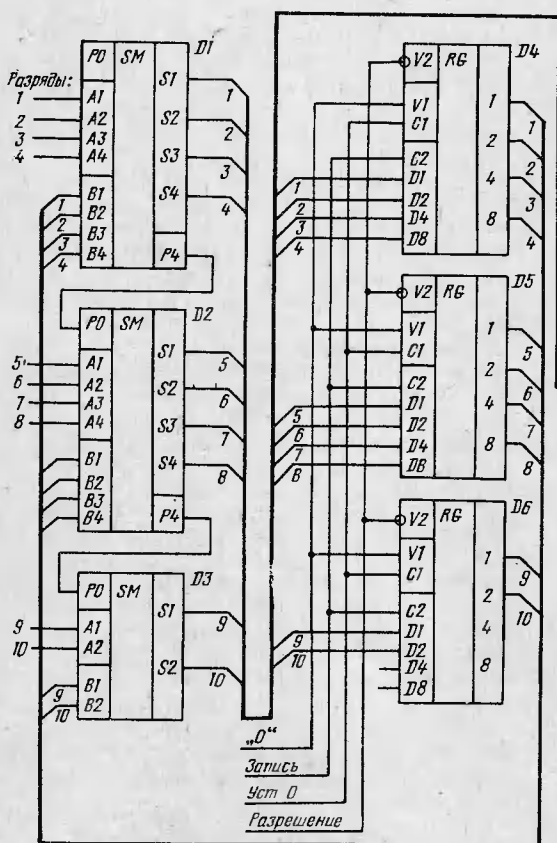


Рис. 5.59. Накапливающий сумматор

Перед началом суммирования все регистры памяти устанавливаются в нуль, для чего на входы V2 подается 0. На рис. 5.60 поясняется процесс установления в 0 регистра памяти на примере одного универсального регистра D4. На последовательный вход V1 подается 0. Далее этот сигнал последовательно записывается во все четыре разряда регистра путем сдвига входной информации за четыре такта сигнала «Уст.0», поступающего на вход C1. На вход полного комбинационного сумматора поступает код числа, который складывается с содержимым регистра памяти. Полученная сумма записывается в регистр памяти по срезу сигнала записи (C2) при сигнале переключения режимов, равным 1. Таким образом, данная сумма является слагаемым для последующего прибавляемого числа.

Время суммирования включает время срабатывания сумматора и время записи суммы в регистр памяти: $t_{\Sigma} = nt_c + t_{\text{за}}$, где n — число полных комбинационных сумматоров.

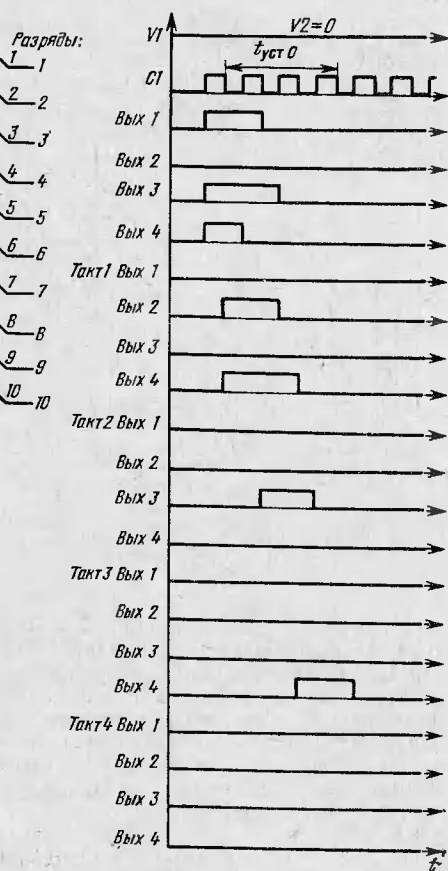


Рис. 5.60. Временная диаграмма к рис. 5.59

5.6. Дешифраторы

Функциональная схема полного 3-разрядного дешифратора (рис. 5.63), построенная на логических элементах И—НЕ, И—ИЛИ—НЕ, описывается системой логических уравнений

$$Y_0 = \overline{X_1} \overline{X_2} + X_3, \quad Y_1 = \overline{X_1} X_2 + X_3,$$

$$Y_2 = \overline{X_1} X_2 + X_3, \quad Y_3 = \overline{X_1} X_2 + X_3,$$

$$Y_4 = \overline{X_1} X_2 + X_3, \quad Y_5 = \overline{X_1} X_2 + X_3,$$

$$Y_6 = \overline{X_1} X_2 + X_3, \quad Y_7 = \overline{X_1} X_2 + X_3$$

и таблицей истинности (табл. 5.5).

На рис. 5.64 приведена схема дешифратора 1 из 32, выполненного на ИС ИД3. На вход дешифратора подается информация в виде 5-разрядного двоичного числа: четыре младших разряда подаются на соответствующие информационные входы А0 — А3, полный старший разряд — на стробирующий вход (W0) ИС D2 и стробирующий вход (W0) ИС D3 через инвертор.

На рис. 5.65 приведена схема применения ИД4 в качестве дешифратора с 3 линий на 8, для чего попарно объединены стробирующие входы (S1 и S2) и информа-

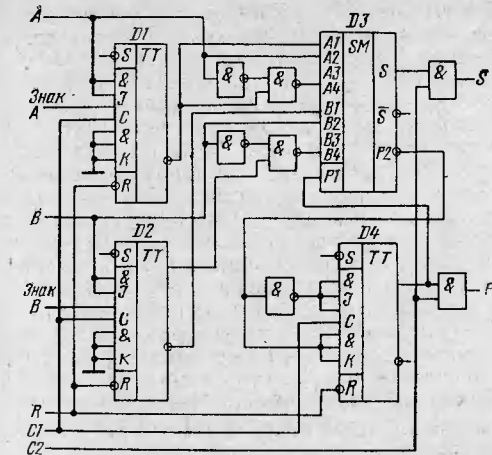


Рис. 5.61. Последовательный сумматор

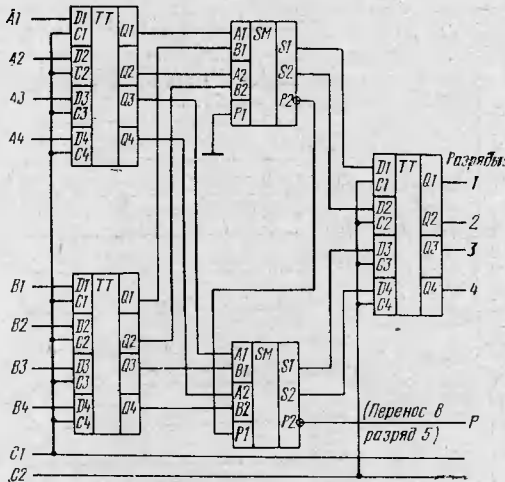


Рис. 5.62. Сложение двух 4-разрядных положительных чисел

На рис. 5.61 приведена функциональная схема последовательного сумматора. Триггеры D1 и D2 служат для преобразования прямого кода в дополнительный, причем напряжение низкого уровня на входах «Знак А» и «Знак В» соответствует положительному знаку числа, а напряжение высокого уровня — отрицательному. Триггер D4 служит для запоминания переноса предыдущего разряда.

На рис. 5.62 приведена функциональная схема сложения двух 4-разрядных положительных чисел А и В на ИС ИМ2 и ТМ5.

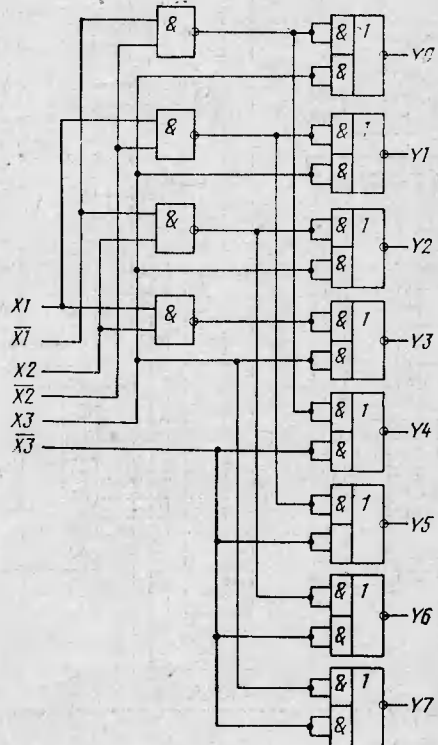


Рис. 5.63. Трехразрядный дешифратор

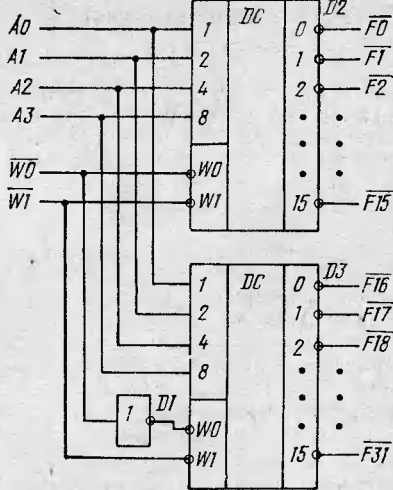


Рис. 5.64. Дешифратор 1 из 32

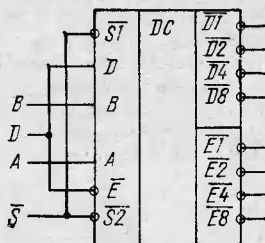


Рис. 5.65. Дешифратор 3 из 8

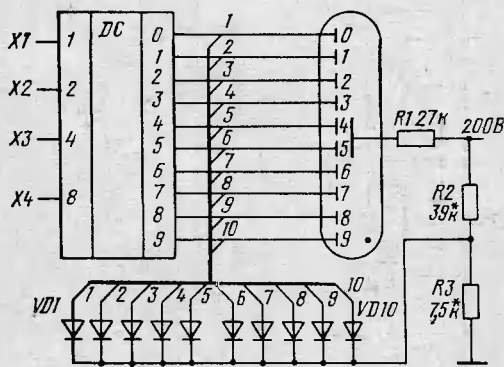


Рис. 5.66. Совместная работа ИС типа ИД1 с газоразрядным индикатором

щонные входы (D и E). Если информацию подавать на вход S1, а входы A, B, D использовать как адресные, то схема будет работать как демультиплексор с 1 линии на 8.

На рис. 5.66 приведена схема подключения ИС ИД1 к индикаторной лампе ИН-16

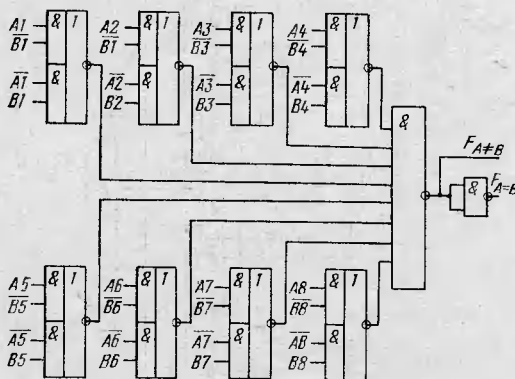
Таблица 5.5.

Десятичная цифра	Двоично-десятичный код			Десятичный код							
	X3	X2	X1	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0	0	0	0	0
2	0	1	0	0	0	1	0	0	0	0	0
3	0	1	1	0	0	0	1	0	0	0	0
4	1	0	0	0	0	0	0	1	0	0	0
5	1	0	1	0	0	0	0	0	1	0	0
6	1	1	0	0	0	0	0	0	0	1	0
7	1	1	1	0	0	0	0	0	0	0	1

(ИН-4, ИН-12, ИН-14). Необходимо учитывать, что ток через открытый выход дешифратора не должен превышать 7 мА. Для ограничения напряжения на закрытых выходах дешифратора (не более 60 В) используются ограничительные диоды VD1—VD10, подключаемые как показано на рис. 5.66, и резистор R1 в цепи питания анода. Напряжение на объединенных катодах диодов задается делителем напряжения R2R3; оно устанавливает уровень напряжения на закрытых выходах дешифратора. Для подсветки цифры на входы X1—X4 подаются сигналы, соответствующие высвечиваемой цифре в двоичном коде.

5.7. Схемы сравнения

Функциональная схема и логические уравнения устройства сравнения, реализующего функцию равнозначности, приведена на рис. 5.67. На рис. 5.68 приведена



$$F_{A=B} = (A1\bar{B1} + \bar{A1}B1)(A2\bar{B2} + \bar{A2}B2)(A3\bar{B3} + \bar{A3}B3)(A4\bar{B4} + \bar{A4}B4) \times$$

$$\times (A5\bar{B5} + \bar{A5}B5)(A6\bar{B6} + \bar{A6}B6)(A7\bar{B7} + \bar{A7}B7)(A8\bar{B8} + \bar{A8}B8),$$

$$F_{A \neq B} = \bar{F}_{A=B}$$

Рис. 5.67. Устройство сравнения, реализующее функцию равнозначности

5.8. Другие функциональные устройства

На рис. 5.70 приведена схема импульсного фильтра, обеспечивающего формирование выходного сигнала и выполненного на элементах И — НЕ, представляющих собой четыре триггера RS (восемь элементов И — НЕ), соединенных через четыре инвертора и элемент И — НЕ. Принцип работы поясняется временными диаграммами (рис. 5.71). Сигнал длительностью τ_1 , подлежащий фильтрации, и импульсы помехи длительностью $\Delta\tau_1$ поступают на вход X фильтра, представляющий собой соединенные параллельно входы X четырех триггеров RS. На неосновные входы фильтра, представляющие собой входы 0 триггеров RS, поступают дополнительные импульсные сигналы A, B, $\bar{A}$, $\bar{B}$. Длительности импульсов дополнительного сигнала τ_2 и помехи $\Delta\tau_1$ связаны соотношением: $\Delta\tau_1 \leq \leq \tau_2$.

Помеха в зависимости от ее временного положения поддается в одном из четырех триггеров. При прохождении входного импульса через триггеры происходит задержка его фронта в случае, если фронт импульса на входе S совпадает с фронтом положительного импульса, поступающего на вход R. Под действием основного и дополнительных импульсных сигналов на входах X

Рис. 5.68. Схема сравнения двух 4-разрядных чисел

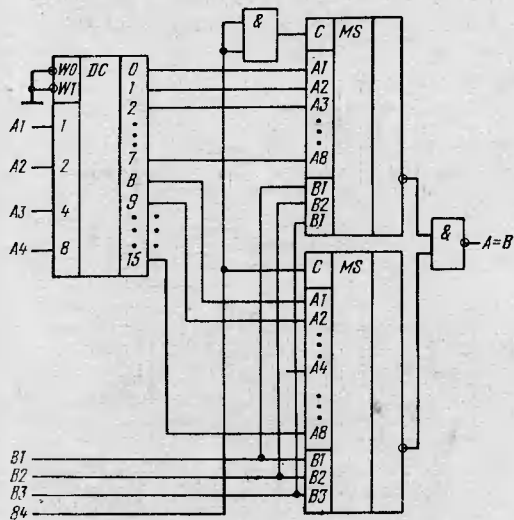


Рис. 5.69. Схема равенства двух 4-разрядных чисел

схема сравнения двух 4-разрядных чисел, выполненная на ИС ИМ1, а на рис. 5.69—схема равенства двух 4-разрядных чисел, выполненная на ИС ИДЗ и КП7.

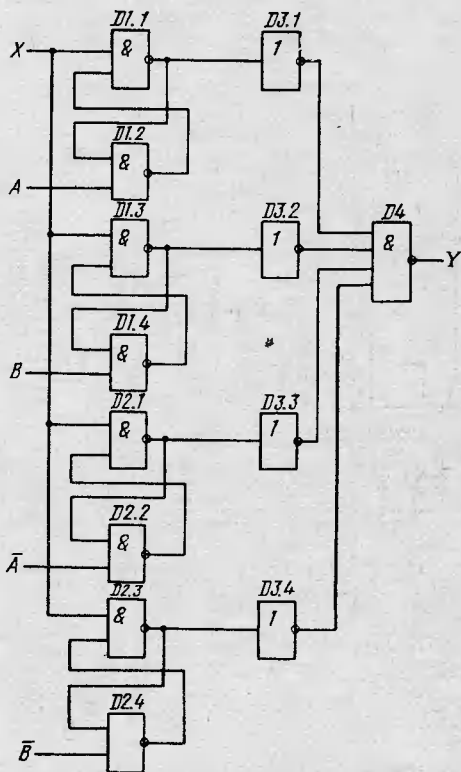


Рис. 5.70. Импульсный фильтр

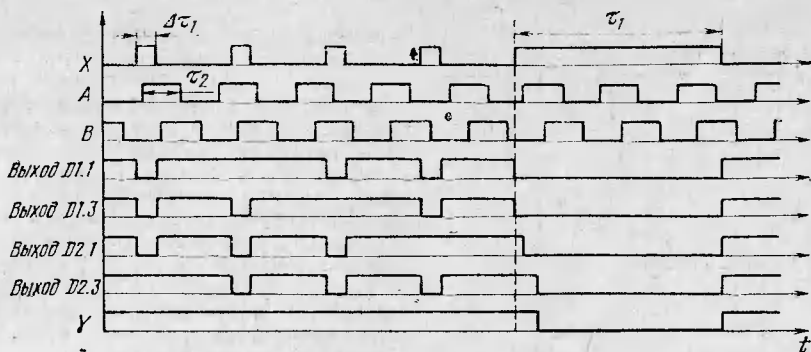


Рис. 5.71. Временная диаграмма к рис. 5.70

триггеров RS формируются импульсы, поступающие на D4. На выходе Y формируется отрицательный импульс без помехи.

На рис. 5.72 приведена схема задержки импульсов, состоящая из четырех элементов задержки, каждый из которых представляет собой два последовательно соединенных триггера RS. Принцип работы схемы поясняется временными диаграммами на (рис. 5.73). Схема осуществляет задержку импульса, поступающего на вход X, на время $t_{зд} = \tau_2/2$. Чтобы увеличить задержку в n раз, необходимо последовательно соединить n элементов задержки, тогда общее время задержки $t_{зд} = n\tau_2/2$.

В схеме, приведенной на рис. 5.72, необходимо осуществить привязку фронта и среза входного импульса к фронту тактирующего импульса, подаваемого на вход A, и к срезу тактирующего импульса, подаваемого на вход B.

Формирователь импульсов (рис. 5.74) представляет собой последовательно сое-

диненные через инвертор два триггера RS, каждый из которых состоит из двух элементов И — НЕ. Схема осуществляет расширение входного импульса. На основной вход X поступает импульс отрицательной полярности длительностью τ_1 , а на вспомогательные входы A, B, — сдвинутые во времени тактирующие импульсы с периодом повторения $2t_2$. На рис. 5.74, б приведена временная диаграмма работы микросхемы для случая $\tau_1 \gg t_2$. С выхода D1.1 снимается импульс положительной полярности длительностью $\tau_2 = \tau_1 + t_2/2$. С выхода D1.3 снимается расширенный импульс положительной полярности длительностью $\tau_3 = \tau_1 + t_2$.

Для n последовательно соединенных через инверторы триггеров RS имеем схему формирователя, позволяющую получать расширенные импульсы длительностью $\tau_3 = \tau_1 + nt_2$. На рис. 5.74, в иллюстрируется получение расширенного импульса на выходе D1.3 для случая $\tau_1 \ll t_2$.

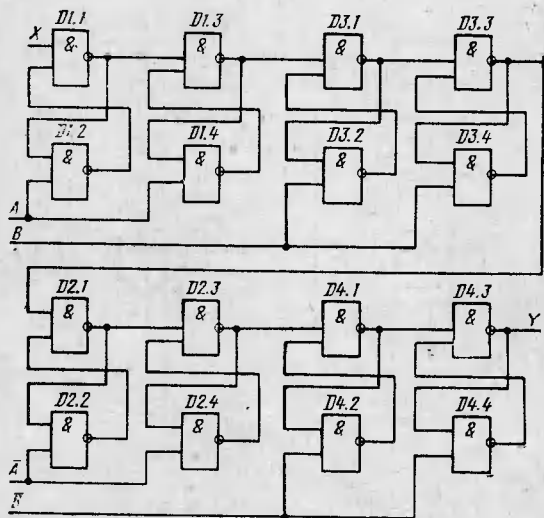


Рис. 5.72. Схема задержки импульсов

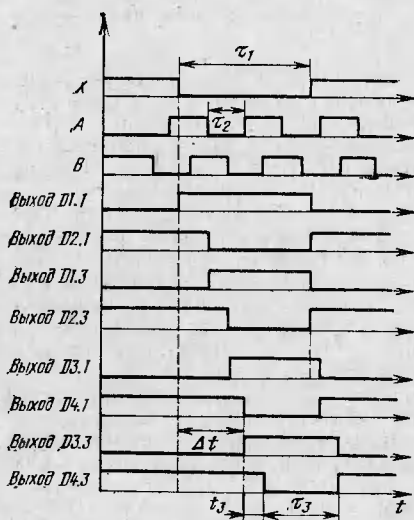


Рис. 5.73. Временная диаграмма к рис. 5.72

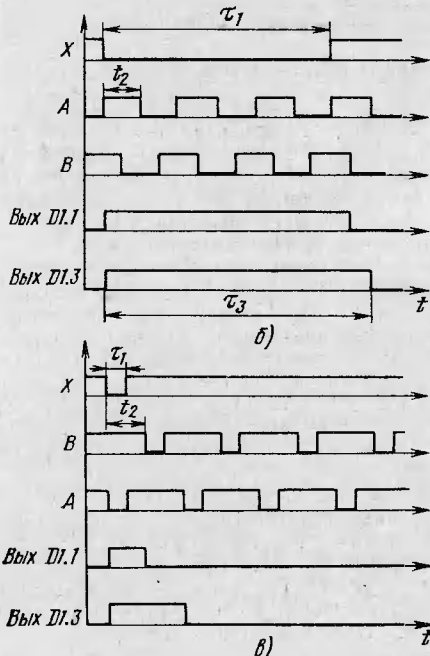
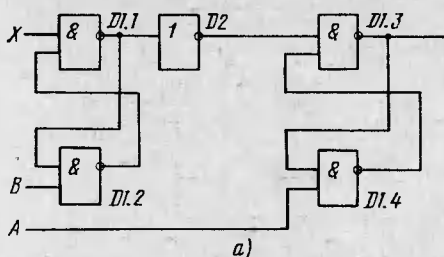


Рис. 5.74. Формирователь импульсов

На рис. 5.75 приведена **схема селектора-мультиплексора** из 16 каналов в один цикл стробирования, выполненная на ИС КР7.

На рис. 5.76 показаны **примеры использования ИС ИП2** в качестве 9-разрядной схемы контроля четности.

На рис. 5.77 приведена **схема ОЗУ** на 16 четырехразрядных слов, реализованная на ИС РУ1. Схема имеет четыре входа управления (A, B, C, D), позволяющие выбрать нужное слово, вход разрешения выборки (V), вход разрешения записи информации (V1) и входы записи информации (разряды 1—4).

На рис. 5.78 приведена **схема многофазного тактового генератора**, выполненного на ИС ИР1. В сложных логических системах для управления отдельными функциями требуются многофазные тактовые генераторы. Все выходы регистра (D1) соединяются между собой через логический элемент ИЛИ — НЕ, выход которого подключен к последовательному входу регистра. Поэтому до тех пор, пока на одном разряде

регистра имеется 1, в него будут записываться нули. При поступлении четырех тактовых импульсов микросхема D3 переключается, и на последовательном входе регистра 1. Благодаря этому только на одном выходе устанавливается 1. Чтобы предотвратить наложение тактовых сигналов, все выходы регистра подключают к микросхеме D2, выполняющей функцию И, а на другие ее входы подается исходный тактовый сигнал.

На рис. 5.79 приведена функциональная **схема быстродействующего параллельного умножающего устройства**, выполненного на ИС ДИ1, ИМ3. Преимущество этого устройства в том, что оно не требует применения управляющей схемы и отпадает

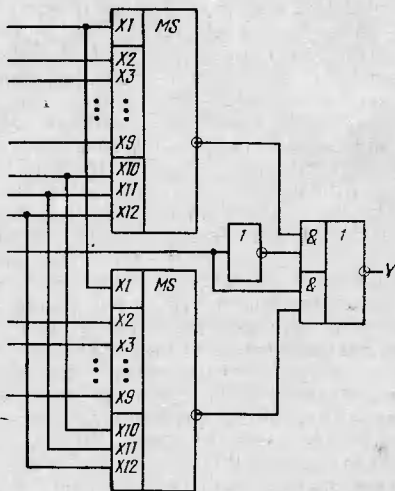


Рис. 5.75. Селектор-мультиплексор 16 каналов на 1

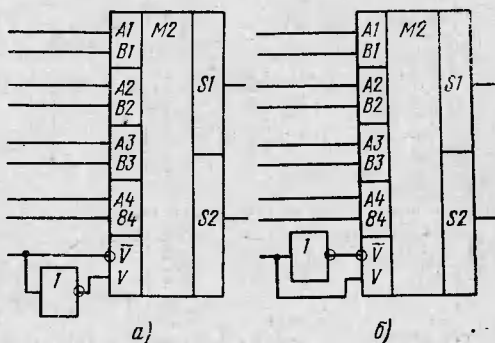


Рис. 5.76. Схемы контроля четности на девять разрядов

Сумма «единиц» на информационных входах	S1 (нечет.)		S2 (чет.)	
	а	б	в	г
Четная	0	1	1	0
Нечетная	1	0	0	1

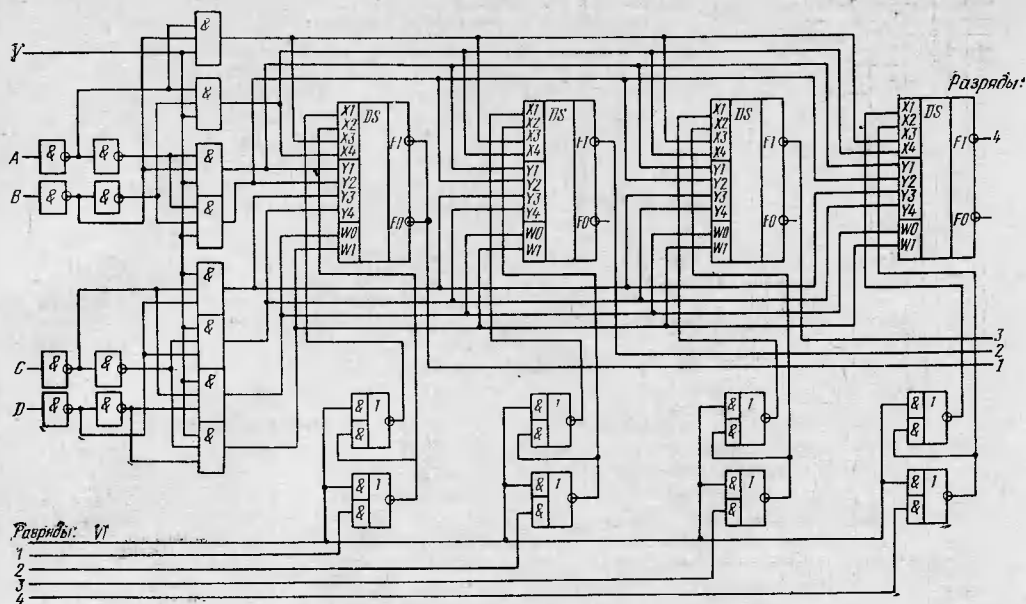


Рис. 5.77. ОЗУ на 16 четырехразрядных слов

необходимость в промежуточном накоплении результатов.

На рис. 5.80 приведена схема двойного цифро-аналогового преобразователя с широтно-импульсной модуляцией, в которой применяется десятичный счетчик ИЕ9. Число может быть преобразовано при использовании параллельных входов программируемого счетчика и поступит на счетчик обращения, когда на его выходе CR—1. Программируемый счетчик считает

до числа большего по значению, чем счетчик обращения, и это число эквивалентно цифровым входам. Дополнительное число каналов легко получить с помощью дополнительных программируемых счетчиков и триггера для каждого канала.

На рис. 5.81 приведена типовая схема использования ИС КП1 в качестве постоянного накопителя и его таблица истинности (табл.5.6). Данная схема представляет

Таблица 56

Десятичный адрес	Двоичный адрес	Информация	Выход накопителя				
			Q1	Q2	Q3	Q4	Q5
0	0 0 0 0	0				0	0
1	0 0 0 1	1	0	0	0		0
2	0 0 1 0	2	0	0	0		0
3	0 0 1 1	3	0				
4	0 1 0 0	4		0		0	
5	0 1 0 1	5					0
6	0 1 1 0	6	0		0		
7	0 1 1 1	7	0	0	0		
8	1 0 0 0	8		0	0		
9	1 0 0 1	9				0	0
10	1 0 1 0	+	0				0
11	1 0 1 1	-	0	0			
12	1 1 0 0	Точка (·)			0	0	0
13	1 1 0 1	Запись				0	
14	1 1 1 0	Уст. в 0 одного знака		0			
15	1 1 1 1	Уст. в 0 записи			0		

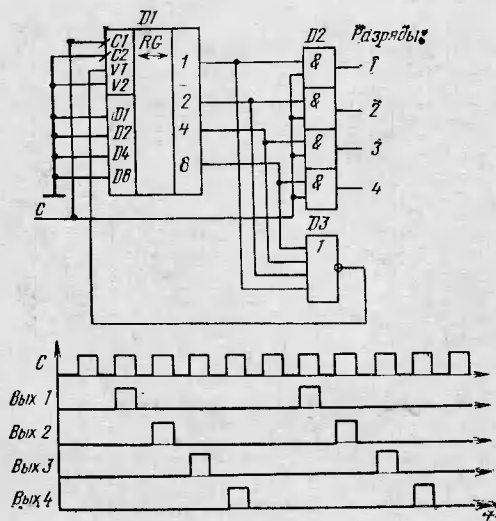


Рис. 5.78. Генератор многофазный тактовый

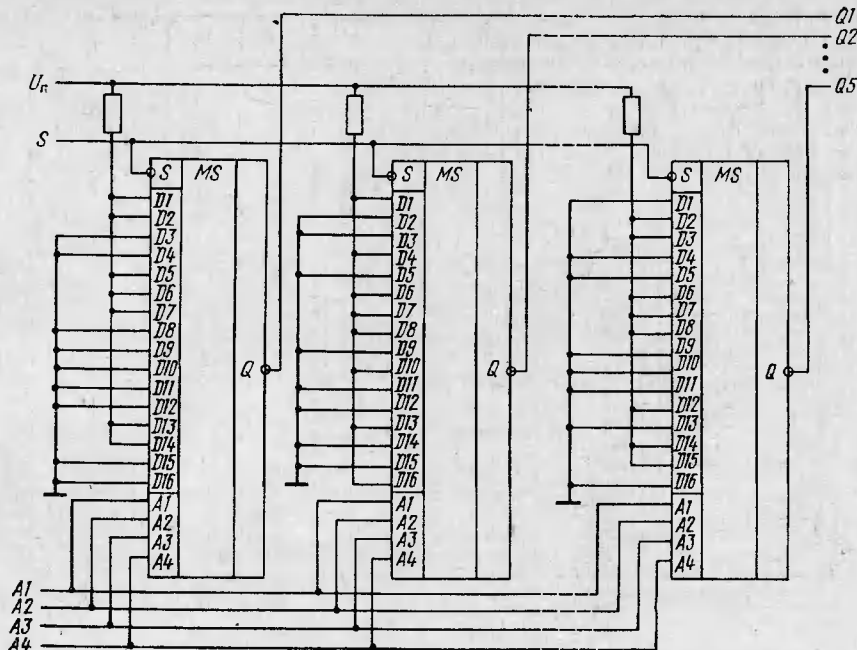


Рис. 5.81. Преобразователь кода 1248 в 5-канальный код

Принцип работы иллюстрирует таблица истинности. Например, когда $A1 = A4 = 0$, выбранным является информационный вход D1. При этом выходной сигнал $Q \approx 0$, если $E = 0$, или $Q \approx 1$, если $E \approx 1$. Поэтому вход D1 следует подключить к E. Когда адресные входы $A1 - A4$ выбирают вход D2 (см. строки 3, 4 таблицы истинности), на этот вход следует подать 0, и т. д.

На рис. 5.83 приведены функциональная схема и таблица истинности использо-

вании ИС КП1 в схеме реализации произвольной функции шести переменных.

На рис. 5.84, 5.85 приведены схемы совместного использования ИС ИПЗ и ИП4. С помощью ИС ИП4 можно сформировать ускоренный перенос между группами в пределах 16 и 32 двоичных разрядов с применением одного, двух, трех уровней ускоренного переноса.

Схемы АЛУ можно использовать для перевода чисел из дополнительного ко-

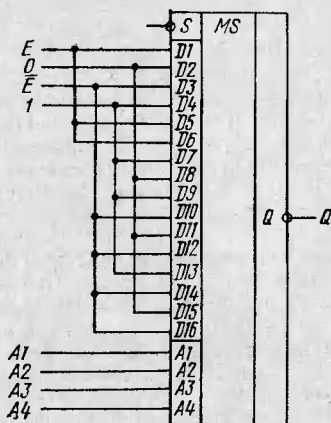


Рис. 5.82. Реализация произвольной функции пяти переменных

A1	A2	A3	A4	E	Q	A1	A2	A3	A4	E	Q
0	0	0	0	0	0	1	0	0	0	0	0
0	0	0	0	1	1	1	0	0	0	1	1
0	0	0	1	0	0	1	0	0	1	0	0
0	0	0	1	1	1	1	0	1	1	1	1
0	0	1	0	0	1	1	0	1	0	0	1
0	0	1	0	1	0	1	0	1	0	1	0
0	0	1	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	0	1	1	1	1
0	1	0	0	0	0	1	1	0	0	0	0
0	1	0	0	1	1	1	1	0	0	1	0
0	1	0	1	0	0	1	1	0	1	0	0
0	1	0	1	1	1	1	1	0	1	1	1
0	1	1	0	0	1	1	1	1	0	0	0
0	1	1	0	1	0	1	1	1	1	0	1
0	1	1	1	0	0	1	1	1	1	1	0
0	1	1	1	1	1	1	1	1	1	1	1

в прямой код и наоборот, а также для перевода чисел из обратного кода в прямой и наоборот (рис. 5.86—5.89). Переводимое в другую систему число обозначено через N , а переведенное — через P . Разряд восемь ($N7$, $P7$) — знаковый, первый числовой разряд ($N0$ $P0$) — это наименьший значащий разряд.

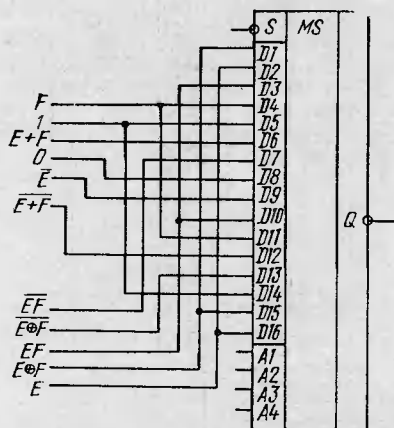


Рис. 5.83. Реализация произвольной функции шести переменных

A1	A2	A3	A4	E	F	Q
0	0	0	0	0	0	0
0	0	0	0	0	1	1
0	0	0	0	1	0	1
0	0	0	0	1	1	0
0	0	0	1	0	0	0
0	0	0	1	0	1	0
0	0	0	1	1	0	1
0	0	0	1	1	1	1
0	0	1	0	0	0	0
0	0	1	0	0	1	0
0	0	1	0	1	0	0
0	0	1	0	1	1	1
0	0	1	1	0	0	1
0	0	1	1	0	1	0
0	0	1	1	1	0	1
0	0	1	1	1	1	0
0	1	0	0	0	0	0
0	1	0	0	0	1	1
0	1	0	0	1	0	1
0	1	0	0	1	1	1
0	1	0	1	0	0	0
0	1	0	1	0	1	1
0	1	0	1	1	0	0
0	1	0	1	1	1	1
0	1	1	0	0	0	1
0	1	1	0	0	1	0
0	1	1	0	1	0	0
0	1	1	0	1	1	1
0	1	1	1	0	0	0
0	1	1	1	0	1	0
0	1	1	1	1	0	0
0	1	1	1	1	1	0

A1	A2	A3	A4	E	F	Q
1	0	0	0	0	0	1
1	0	0	0	0	1	1
1	0	0	0	1	0	0
1	0	0	0	1	1	0
1	0	0	1	0	0	0
1	0	0	1	0	1	0
1	0	0	1	1	0	1
1	0	1	0	0	0	1
1	0	1	0	1	1	0
1	0	1	1	0	0	1
1	0	1	1	1	0	0
1	1	0	0	0	0	0
1	1	0	0	1	0	0
1	1	0	0	1	1	0
1	1	0	1	0	0	1
1	1	0	1	1	0	0
1	1	1	0	0	1	1
1	1	1	0	1	0	0
1	1	1	0	1	1	1
1	1	1	1	0	0	0
1	1	1	1	0	1	1
1	1	1	1	1	0	0
1	1	1	1	1	1	1
1	1	1	1	1	1	1
1	1	1	1	1	1	1

Рассмотрим для примера перевод числа из дополнительного кода в прямой и наоборот. Селектирующие входы $S0 = 0$, $S1 = S2 = S3 = 1$ и вход M контролируют знаковый разряд. Арифметическая функция (при $M = 0$), которая может быть получена в этом случае: $A + (A + \bar{B})$. Логическая функция (при $M = 1$) — $A + B$, причем не имеет значения состояние C_n входа первого устройства. Если $A = 0$, а $C_n = 1$, то арифметическая операция есть $\bar{B} + 1$, т. е. результат на выходе преобразователя есть представление отрицательного числа в дополнительном коде. В знаковом разряде 0 представляет отрицательное число, т. е. $M = 0$ и устройство выполняет арифметические операции.

Если $A = 0$, то при $M = 0$ на выходе имеем B , что является представлением положительного числа в дополнительном коде. Это превращение кодов обратимо.

На рис. 5.90—5.92 приведены схемы наращивания разрядности преобразователя ПР6. В табл. 5.7 приведено число преобразуемых тетрад двоично-десятичного кода и число требуемых для преобразования ИС типа ПР6.

Для преобразования n -разрядного двоичного кода в ИС ПР7 предусмотрена возможность каскадного включения. Число

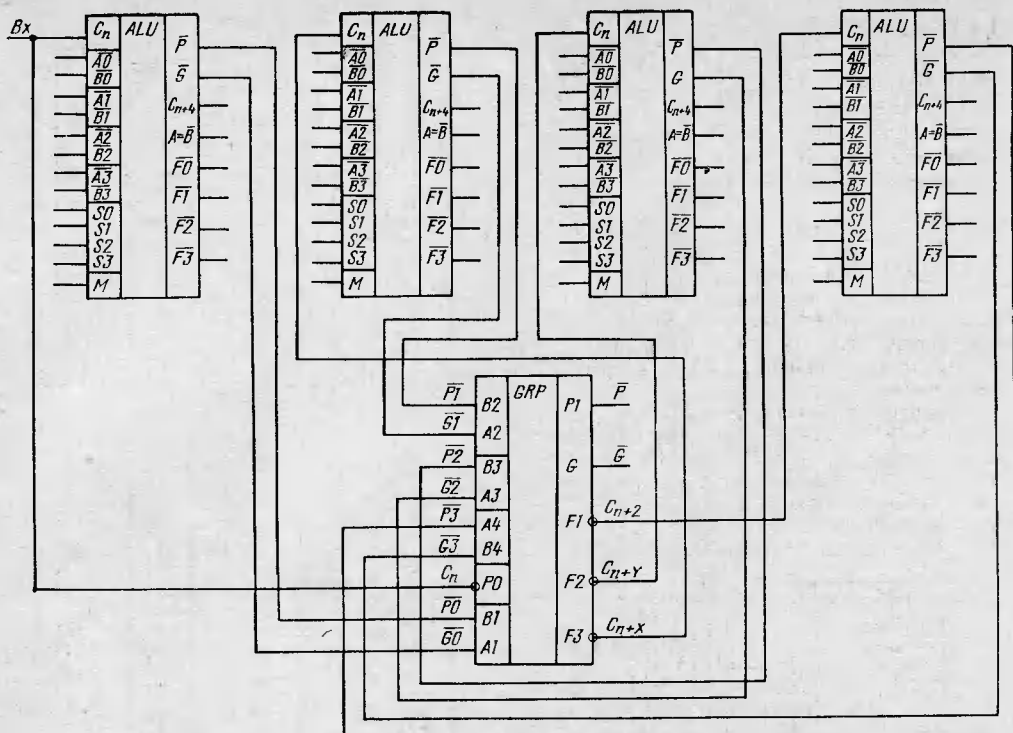


Рис. 5.84. АЛУ с двумя уровнями ускоренного переноса (16 разрядов)

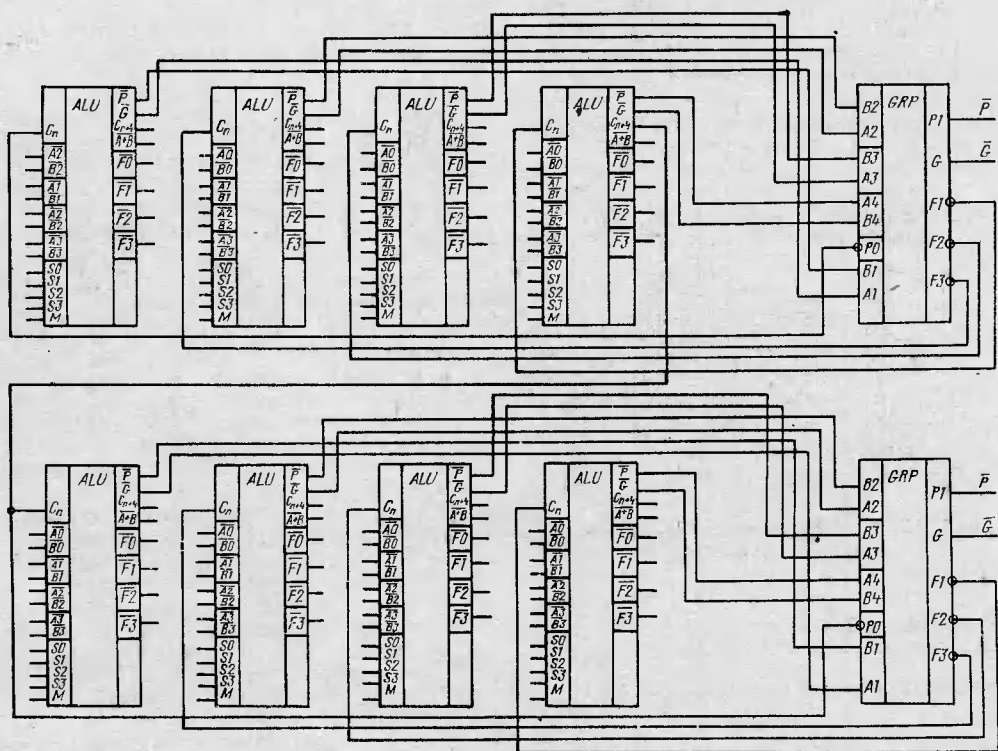


Рис. 5.85. АЛУ с двумя уровнями ускоренного переноса (32 разряда)

Таблица 5.7

Число тетрад двончно-десятичного кода	2	3	4	5	6
Число ИС типа ПР6	2	6	11	19	28

ИС ПР7, требуемых для преобразования двоичного кода в двоично-десятичный, в зависимости от разрядности преобразуемого двоичного кода дано в табл. 5.8.

На рис. 5.93—5.96 показаны схемы применения ИС ПР7 для преобразования n -разрядного двоичного кода в двоично-десятичный.

Генератор символов. В матрицы запоминающих элементов ИС записаны буквы русского алфавита (РЕ21), латинского алфавита (РЕ22), арифметические знаки и цифры (РЕ23), дополнительные знаки (РЕ24). В совокупности эти ИС образуют генератор символов на 96 знаков форматов 7×5

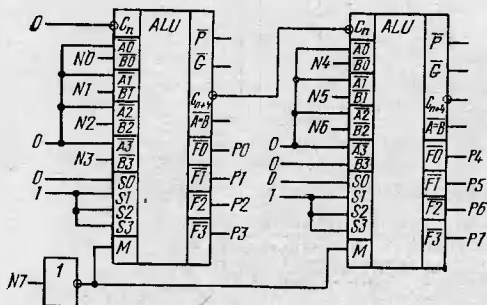


Рис. 5.86. Преобразователь дополнительного кода в прямой или наоборот

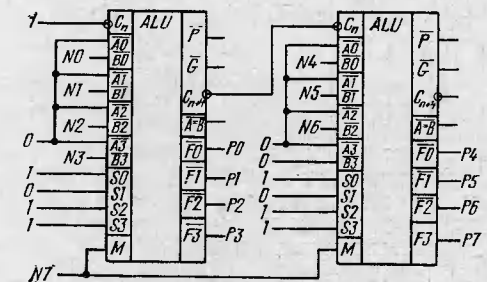


Рис. 5.87. Преобразователь обратного кода в прямой или наоборот

Таблица 5.8

Число разрядов двоичного кода	4—6	7—8	9	10	11	12	13	14	15	16	17	18	19	20
Число ИС типа ПР7	1	3	4	5	7	8	10	12	14	16	19	21	24	27

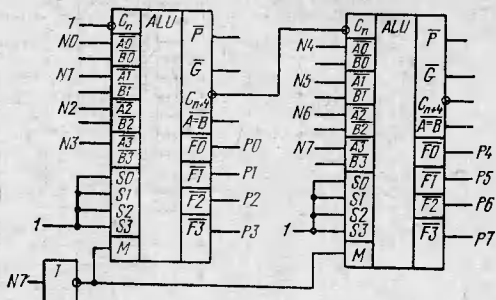


Рис. 5.88. Преобразователь дополнительного кода в обратный

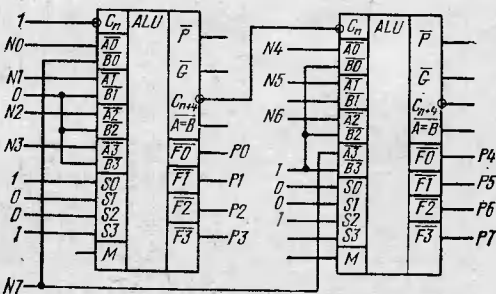


Рис. 5.89. Преобразователь обратного кода в дополнительный

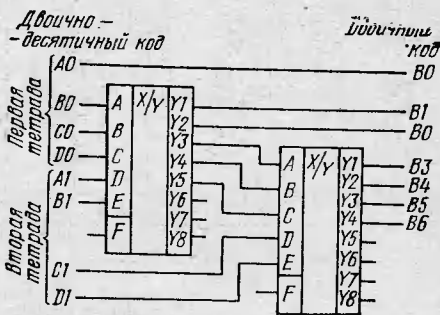


Рис. 5.90. Каскадное включение ИС типа ПР6 при преобразовании двух тетрад двоично-десятичного кода в двоичный

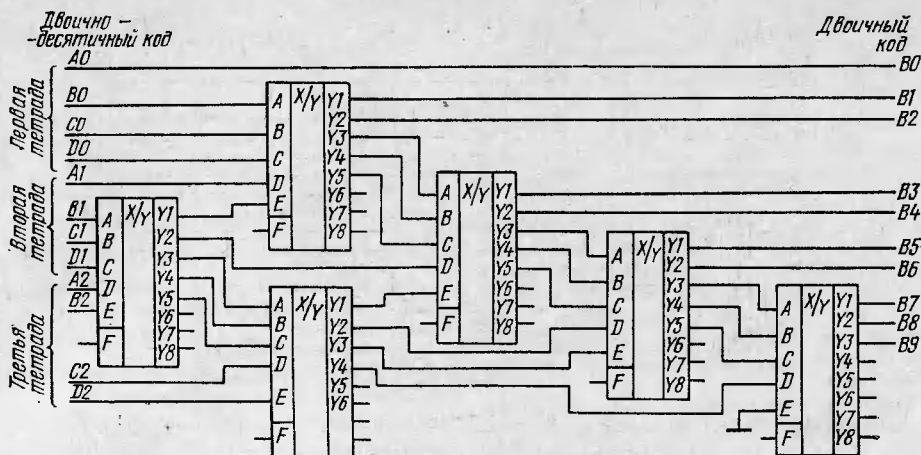


Рис. 5.91. Каскадное включение ИС типа ПР6 при преобразовании трех тетрад двоично-десятичного кода в двоичный

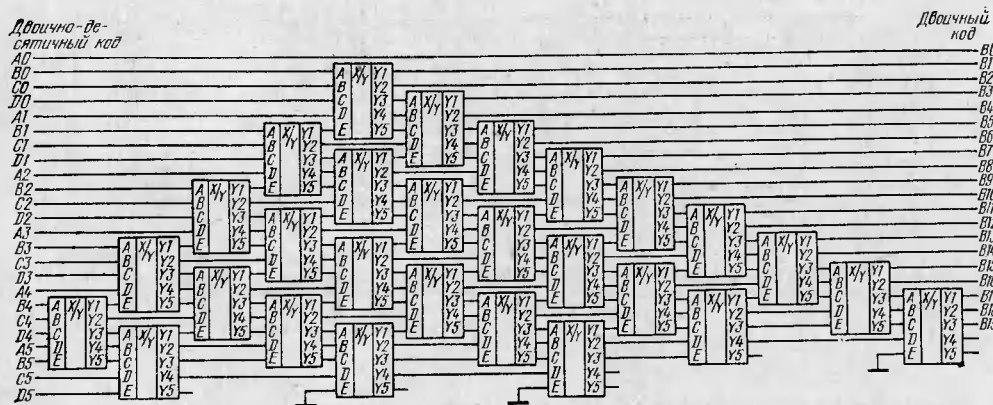


Рис. 5.92. Каскадное включение ИС типа ПР6 при преобразовании шести тетрад двоично-десятичного кода в двоичный код

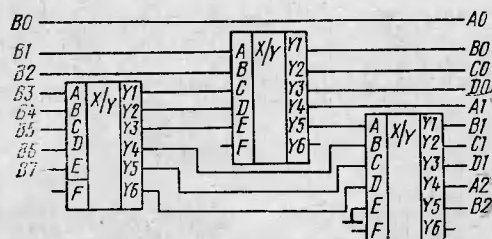


Рис. 5.93. Каскадное включение ИС типа ПР7 при преобразовании восьми разрядов двоичного кода в двоично-десятичный код 8421

(рис. 5.97—5.99). Реализация генератора символов возможна только при совместном включении каждой ИС РЕ21, РЕ22, РЕ23 или все трех ИС с микросхемой РЕ24, дополняющей пятый разряд символа (Y5).

Пример построения генератора символов на микросхемах РЕ21 — РЕ24 приведен на рис. 5.100. Выбор нужного символа осуществляется 10-разрядным входным кодом, в котором три разряда (A1—A3) используются для развертки символа по вертикали, а остальные (A4—A10) определяют выбор символа. Управление выбором одного из трех кристаллов ПЗУ (РЕ21, РЕ22 или

Таблица 5.9

Код разряда		Тип микросхемы	Выбор разряда микросхемы РЕ24
A9	A10		
0	1	РЕ21	У3 (вывод 10)
1	0	РЕ22	У2 (вывод 11)
1	1	РЕ23	У1 (вывод 12)

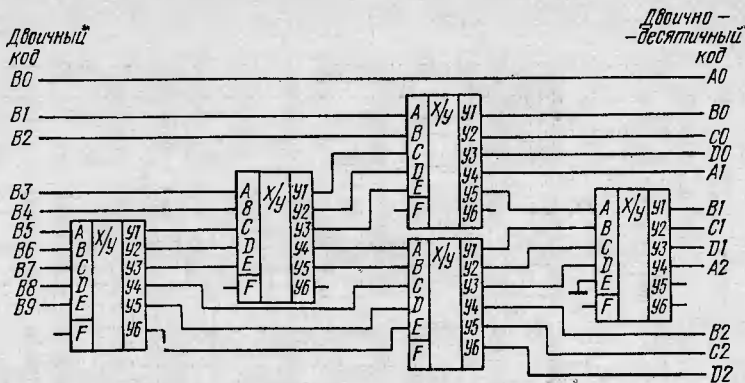


Рис. 5.94. Каскадное включение ИС типа ПР7 при преобразовании 10 разрядов двоичного кода в двоично-десятичный код 8421

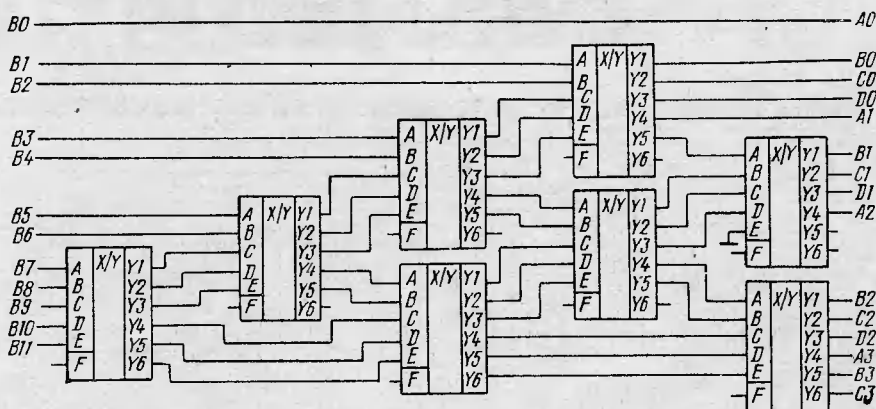


Рис. 5.95. Каскадное включение ИС типа ПР7 при преобразовании 12 разрядов двоичного кода в двоично-десятичный код 8421

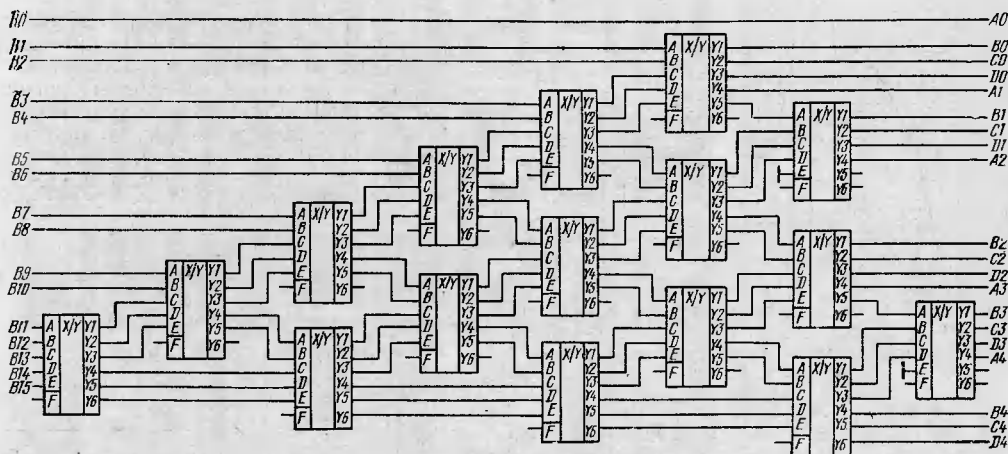


Рис. 5.96. Каскадное включение ИС типа ПР7 при преобразовании 16 разрядов двоичного кода в двоично-десятичный код 8421

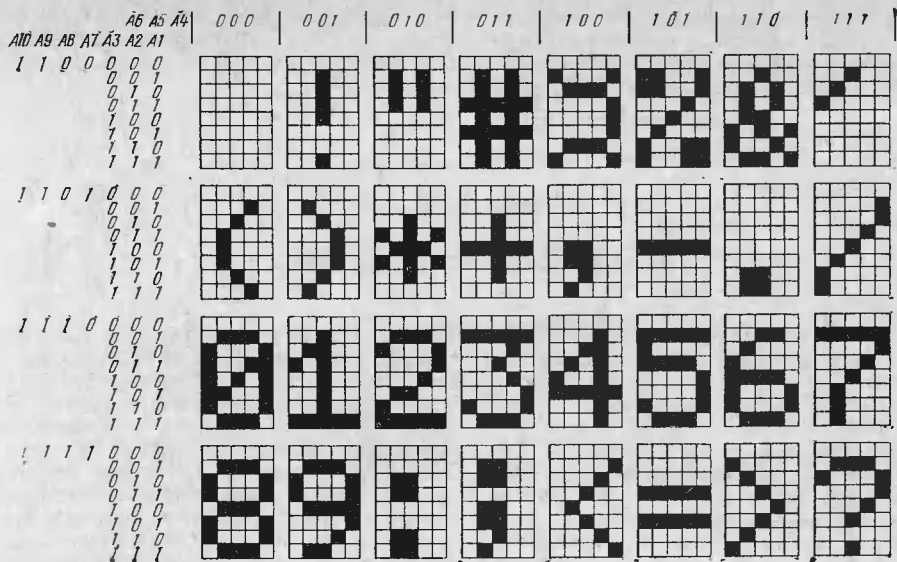


Рис. 5.99. Изображение и кодировка символов с помощью ИС типов РЕ23, РЕ24

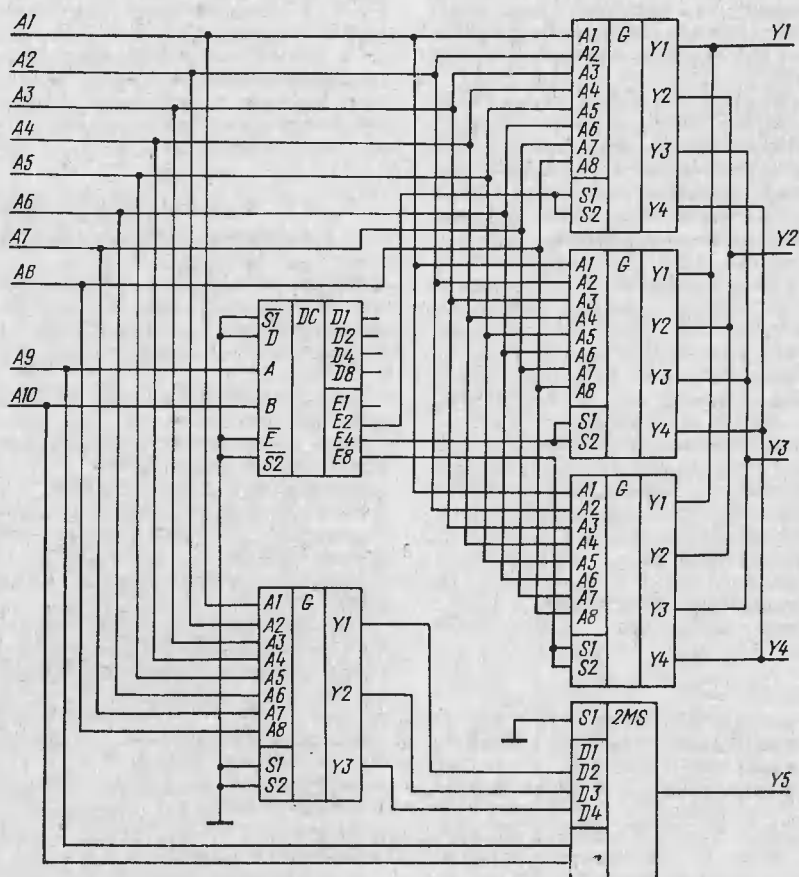


Рис. 5.100. Генератор символов

РЕ23) и одного из трех разрядов дополнительного ПЗУ (РЕ24) осуществляются вспомогательными дешифратором и селектором в зависимости от кодов разрядов А9,

А10 в соответствии с табл. 5.9. В качестве вспомогательного дешифратора может быть использована ИС ИД4, а в качестве селектора ИС КР2.

Глава 6

Микропроцессорные БИС

На основе микропроцессорных БИС, выполненных по технологии ТТЛШ, можно реализовать структуры различной организации и разрядности, кратной 2,4 и 8. Микросхемы различного функционального назначения каждой серии К589, КР1802 и К1804 образуют секционированные микропроцессорные комплекты (МПК).

Секционирование процессорной и интерфейсной частей устройств позволило создать БИС с разной шинной организацией (совмещенные, отдельные, двунаправленные), а также различной структурой организации для наращивания по горизонтали и вертикали, что позволяет реализовать модульные структуры с высокoeffективной связью между ними и конвейерный метод обработки.

Объем программ систем на основе МПК может достигать нескольких сотен килобайт. В отличие от однокристалльных ЭВМ и МПК на основе однокристалльных микропроцессоров использование секционированных МПК эффективно в тех случаях, когда необходима максимальная производительность, т. е. в ЭВМ общего и специального назначения, с возможностью реализации различных систем команд и алгоритмов работы частично или полностью на микропрограммном уровне. Система команд выбирается разработчиком в соответствии с конкретным назначением и реализуется микропрограммным способом.

В состав МПК входят: микропроцессорная секция разрядности n , предназначенная для обработки информации и временного хранения результатов, микропрограммное устройство управления, а также БИС выполняющие функции синхронизации, связи с периферийными устройствами, обработки прерываний. Вместе с тем в микропроцессорные комплекты серий К589,

КР1802, К1804 не входят схемы запоминающих устройств (ЗУ). В зависимости от требуемой емкости и организации, быстродействия и уровней входных-выходных сигналов ЗУ выбираются из общей номенклатуры выпускаемых микросхем ЗУ.

Микропроцессорные комплекты рассматриваемых серий отличаются по быстродействию, архитектуре, числу шин ввода — вывода информации, эффективности систем микрокоманд и т. д. Значения их основных показателей приведены в табл. 6.1. Все микросхемы МПК серий К589, КР1802, К1804 имеют напряжение питания $+5В \pm \pm 5\%$ и предназначены для работы в диапазоне температур от -10 до $+70^\circ\text{C}$.

В данной главе изложены информационно-справочные данные: состав МПК, электрические структурные схемы, основные параметры. Вопросы применения рассмотрены в [13, 15].

6.1. Микропроцессорный комплект БИС серии К589

Микропроцессорный комплект БИС серии К589 предназначен для построения быстродействующих контроллеров различного назначения, встроенных микро- и мини-ЭВМ и др.

Функциональный состав МПК БИС серии К589:

- блок микропрограммного управления К589ИК01 (аналог М3001);
- центральный процессорный элемент К589ИК02 (аналог М3002);
- схема ускоренного переноса К589ИК03 (аналог М3003);
- блок приоритетного прерывания К589ИК14 (аналог М3214);
- многорежимный буферный регистр К589ИР12 (аналог М3113);
- шинный формирователь К589АП16 (аналог М3216) и шинный формирователь с инверсией К589АП26 (аналог М3226);
- многофункциональное синхронизирующее устройство К589ХЛ4.

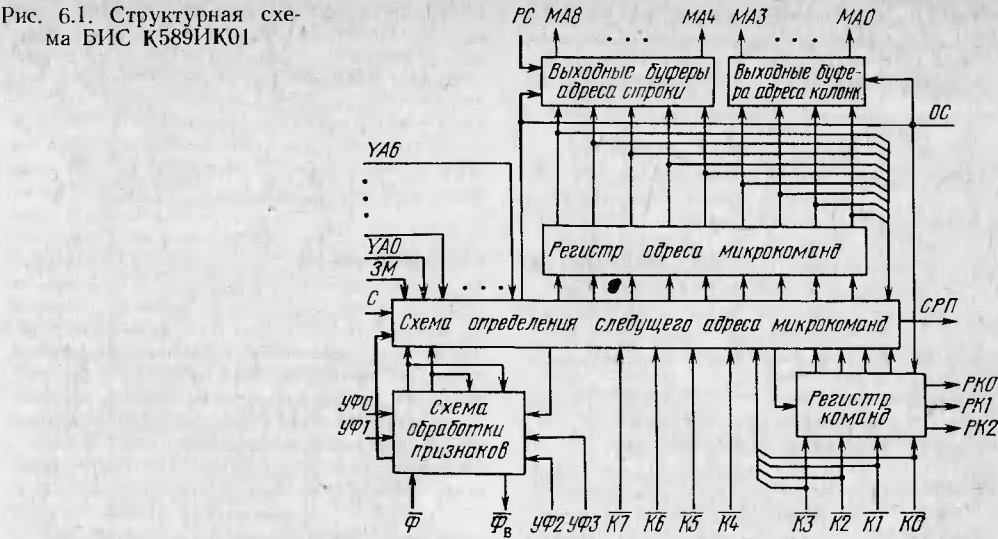
Микросхема К589ИК01 предназначена для использования в устройствах микропрограммного управления и выполняет следующие функции:

непосредственную адресацию стандартных постоянных ЗУ и программируемых постоянных ЗУ;

Таблица 6.1

Серия МПК	Разрядность	Быстродействие (время цикла), нс, не менее	Число РОН	Р пот., Вт	Число ИС в МПК
К589	2	100	11	2,15	8
КР1802	8	150	16	2,2	6
КР1804	4	100	16	2,05	8

Рис. 6.1. Структурная схема БИС К5891К01



адресацию 512 микрокоманд с возможностью увеличения числа адресации ячеек дополнительными схемами; управление последовательностью выбора микрокоманд из памяти;

хранение и анализ 4-разрядного кода команды на регистре команд;

выдачу 3-разрядного регистра команд для адресации регистров в центральном процессоре;

хранение признаков (С и Z) и условный переход по ним.

Микросхема К5891К01 (рис. 6.1) состоит из следующих блоков: регистра адреса микрокоманд; схемы определения следующего адреса микрокоманд; регистра команд; схемы обработки признаков; выходных буферов адреса строки и адреса колонки.

Схема определения следующего адреса — комбинационная. В зависимости от значения управляющих сигналов на входах УА0 — УА6, ЗМ и информации, поступающей с шин К0 — К7 и со схемы обработки признаков, регистра адреса микрокоманд и регистра команд она формирует: адрес следующей микрокоманды; сигнал разрешения прерывания и сигналы управления регистром команд. Адрес следующей микрокоманды поступает в 9-разрядный регистр адреса микрокоманд и через буфер адреса строки (старшие пять разрядов) выбирает один из 512 адресов внешнего ПЗУ.

В зависимости от кодовой комбинации на входах УА0 — УА6 выполняются функции: безусловные переходы; условные переходы по признакам; условные переходы по содержимому шин К4 — К7; условные переходы по содержимому регистра команд; управление признаками; загрузка.

Четырехразрядный регистр команд предназначен для хранения разрядов ко-

манды, по которым в дальнейшем можно выполнить условный переход или выдать содержимое регистра на выходы РК0 — РК2, для определения адреса регистра в центральном процессоре.

Схема обработки признаков обеспечивает хранение текущего значения признака, поступающего на вход Ф и выдачу его на выход Фв. С помощью управляющих сигналов УФ0 и УФ1 выполняются четыре команды установки признака (флажка), а с помощью сигналов УФ2 и УФ3 кодируются четыре команды выдачи признака (флажка) на вывод Фв.

Назначение выводов микросхемы К5891К01 приведено в табл. 6.2.

Таблица 6.2

Номер вывода	Условное обозначение	Назначение
5, 6, 8, 10, 1—4	К0 — К7	Входы регистра команды (разряды 0—7)
11, 9, 7	РК0 — РК2	Выходы регистра команды (разряды 0—2)
15, 16, 13, 12	УФ0 — УФ3	Входы управления флажками
17	Ф	Вход признаков
14	Фв	Выход признаков
18	СРП	Выход stroba разрешения прерывания
19	С	Вход синхронизации
20	⊥	Общий
21—24, 37—39	УА0 — УА6	Вход управления регистром адреса микрокоманды

Номер вывода	Условное обозначение	Назначение
25	ОС	Вход общего строга
26—29	MA0—MA3	Выходы адреса колонки микрокоманды
30—34	MA4—MA8	Выходы адреса строки микрокоманды
35	РС	Вход разрешения выдачи адреса строки
36	ЗМ	Вход загрузки адреса микрокоманды
40	U _н	Питание

Основные характеристики

Разрядность выходного адреса	9
Разрядность входной микрокоманды	7
Разрядность команды	8
Потребляемая мощность, мВт, не более	1280
Тип корпуса	2123.40-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх\ пор}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх\ пор}^0$, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 10$ мА), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	240
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более:	
по входу С	120
по входу ОС	80
по остальным входам	40
Входной ток низкого уровня, $I_{вх}^0$, мА, не менее:	
по входу С	-0,75
по входу ОС	-0,5
по остальным входам	-0,25
Время цикла, $t_{ц}$, нс, не менее	85
Время задержки распространения сигнала от входа С до выходов MA0—MA8, $t_{с-MA_i}$, нс, не более	45

Микросхема К589ИК02 представляет собой 2-разрядную микропроцессорную секцию параллельной обработки информации с возможностью наращивания. Микросхема ориентирована на выполнение арифметических и логических операций, сдвигов,

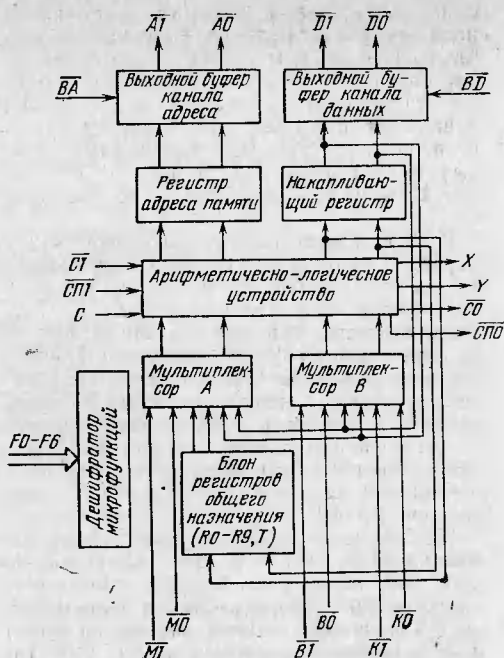


Рис. 6.2. Структурная схема БИС К589ИК02

выполняет проверку слова, части слова или одного разряда на 0.

Микропроцессорная секция состоит из следующих блоков (рис. 6.2): блок регистров общего назначения; арифметическо-логического устройства (АЛУ); накапливающего регистра; регистра адреса памяти; дешифратора микрофункций; мультиплексоров А и В; выходных буферов канала адреса и канала данных.

Блок регистров общего назначения состоит из одиннадцати 2-разрядных регистров, предназначенных для оперативного хранения информации. АЛУ выполняет арифметические и логические операции над данными, поступающими через входные мультиплексоры А и В с шин М, В и К. Входная шина М предназначена для передачи данных из внешней главной памяти, шина В — для передачи данных от внешних систем ввода-вывода. Разделение на две шины обеспечивает относительно малую загрузку шин даже в том случае, если к шине В подключено большее число устройств ввода-вывода.

Шина К — шина маскирования, при арифметических операциях используется для маскирования частей обрабатываемых полей. Кроме того, шина К используется для передачи констант из микропрограммы на вход микропроцессорной секции. Возможность маскирования значительно увеличивает универсальность АЛУ.

Накапливающий регистр (аккумулятор) предназначен для временного хранения одного из операндов, участвующего в опера-

циях, выполняемых АЛУ, или для запоминания результата операции. Выход накапливающего регистра через выходной буфер подсоединен к выходной шине D. Обычно эта шина используется для передачи данных на внешнюю главную память или на внешнее устройство ввода-вывода. Каждый разряд выходного буфера шины данных D имеет на выходе состояние Выключено.

Регистр адреса памяти используется для пересылки адреса из АЛУ на выходную шину A, с которой осуществляется выбор соответствующей ячейки ЗУ или внешнего устройства при выполнении операций ввода-вывода. Информация на шину A поступает с регистра адреса памяти через выходной буфер, каждый разряд которого имеет на выходе состояние Выключено.

Разделение шин адреса и данных позволяет повысить быстродействие вычислительных систем, построенных на базе микросхем К589ИК02.

Дешифратор микрофункций позволяет реализовать более 40 микрокоманд. На его вход поступает 7-разрядная микрокоманда (F0 — F6), а на выходе формируются управляющие сигналы, осуществляющие выбор соответствующего регистра общего назначения, мультиплексора (A или B), выполняемой АЛУ функции. Мультиплексоры A и B выбирают данные для двух входов АЛУ, в зависимости от кода на шине команд. На входы мультиплексора A подаются данные шины M, с выхода блока регистров общего назначения и с накапливающего регистра; на входы мультиплексора B — данные шин B и K накапливающего регистра. Сигналы на выбранном входе мультиплексора B всегда логически перемножаются с сигналами соответствующего входа K для обеспечения гибкого маскирования и возможности проверки разрядов. Работа ИС синхронизируется одним тактовым сигналом синхронизации (C). Назначение выводов микросхемы К589ИК02 приведено в табл. 6.3.

Таблица 6.3

Номер вывода	Условное обозначение	Назначение
1, 2	B0, B1	Входы внешней шины
3, 4	K0, K1	Входы маскирующей шины
5, 6	X, Y	Выходы ускоренного переноса
7	C0	Выход переноса
8	СП0	Выход сдвига вправо
9	СП1	Вход сдвига вправо
10	C1	Вход переноса
11	BA	Вход разрешения адреса
12, 13	A1, A0	Выходы адреса памяти

Окончание табл. 6.3

Номер вывода	Условное обозначение	Назначение
14	$\perp$	Общий
15—17, 24—27	F6—F0	Входы кода микрокоманды
18	C	Вход синхронизации
19, 20	D0, D1	Выходы данных
21, 22	M1, M0	Входы данных
23	BD	Вход разрешения данных
23	U _п	Питание

Основные характеристики

Число каналов ввода	3
Число каналов вывода	2
Разрядность каждого канала	2
Разрядность микрокоманд	7
Потребляемая мощность, мВт, не более	950
Тип корпуса	2121.28-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх}^1$ пор, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх}^0$ пор, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 10$ мА), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	190
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более:	
по входам C, K, BA, BD, F0—F6	40
по входам B, M, СП1	60
по входу C1	180
Входной ток низкого уровня, $I_{вх}^0$, мА, не менее:	
по входам C, K, BA, BD	—0,25
по входам B, M, СП1	—1,5
по входу C1	—4,0
Время цикла, $t_{ц}$, нс, не менее	100
Время задержки распространения сигнала от входов F0—F6 до выходов X, Y, СП0, t_{X-F} , нс, не более	65
Время задержки распространения сигнала от входа C до выходов X, Y, СП0: нс, не более:	60
$t_{сп 0-C}$	60
t_{X-C}	70

Время задержки распространения сигнала от входов В, М, К до выходов Х, У, СПО: нс, не более:

$t_{\text{сп}0-\text{к}}$ 55
 $t_{\text{х-в}}$ 42

Время задержки распространения сигнала от входа С до выхода С0, $t_{\text{с}0-\text{с}}$, нс, не более 60

Микросхема К589ИК03 представляет собой схему ускоренного переноса и предназначена для формирования групповых переносов при совместном использовании с микропроцессорной секцией или любой другой схемой, имеющей выходы предварительного просмотра переноса. Одиа схема ускоренного переноса позволяет организовать 16-разрядный процессор на микросхемах К589ИК02.

Схема ускоренного переноса (рис. 6.3) представляет собой комбинационную схему, имеющую 17 информационных входов, 8 информационных выходов и один управляющий вход (РП), который позволяет управлять выходом самого старшего переноса, переводя его в состояние Выключено.

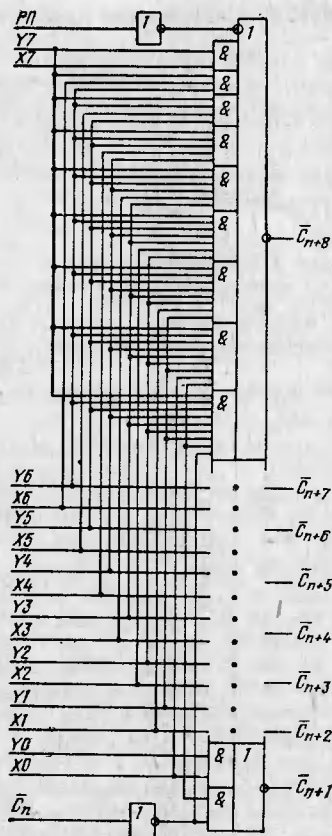


Рис. 6.3. Структурная схема БИС К589ИК03

Назначение выводов микросхемы приведено в табл. 6.4.

Т а б л и ц а 6.4

Номер вывода	Условное обозначение	Назначение
1, 27, 7, 8, 11, 23, 21, 18	Y7—Y0	Входы У групповых переносов
2, 26, 5, 6, 10, 24, 20, 19, 3	X7—X0	Входы Х групповых переносов
4, 9, 12, 13, 15, 16, 22, 25, 14, 17, 28	РП C _{n+8} , C _{n+1} — C _{n+7} $\perp$ C _n U _п	Вход разрешения переноса C _{n+8} Выходы переноса Общий Вход переноса Питание

Основные характеристики

Разрядность 8
 Потребляемая мощность, мВт, не более 683
 Тип корпуса 2121.28-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{\text{вх}}^1$ пор, В 2,0
 Входное пороговое напряжение низкого уровня, $U_{\text{вх}}^0$ пор, В 0,8
 Выходное напряжение высокого уровня $U_{\text{вх}}^1$, В (при $I_{\text{вх}}^1 = -1$ мА), не менее 2,4
 Выходное напряжение низкого уровня $U_{\text{вх}}^0$, В (при $I_{\text{вх}}^0 = 10$ мА), не более 0,5
 Ток потребления, $I_{\text{пот}}$, мА, не более 130
 Входной ток высокого уровня, $I_{\text{вх}}^1$, мкА, не более:
 по входам C_n, РП 40
 по остальным входам 100
 Входной ток низкого уровня, $I_{\text{вх}}^0$, мА, не менее:
 по входам C_n, РП, X6, X7 -0,25
 по входам X0—X5, Y7 -0,5
 Время задержки распространения сигнала от входов Х, У до выходов C_{n+1}, C_{n+8}, $t_{\text{с}n+8-\text{х}}$, нс, не более 20
 Время задержки распространения сигнала от входа РП до выхода C_{n+8}, $t_{\text{с}(n+8)-\text{РП}}$, нс, не более 40

Время задержки распространения сигнала от входа C_n до выхода C_{n+1} , $t(C_{n+1}) - C_n$, нс, не более 30

Микросхема К589ИК14 представляет собой схему приоритетного прерывания, предназначенную для построения многоуровневых систем прерывания. Система прерываний, построенная на основе микросхемы К589ИК14, обеспечивает: восемь отдельных уровней прерывания; программируемый приоритет; возможность увеличения уровней прерывания до восьми; автоматическую выборку вектора прерывания.

Схема приоритетного прерывания состоит из следующих основных узлов (рис. 6.4): регистра запросов на прерывание и шифратора приоритета; регистра текущего приоритета; схемы сравнения приоритетов; триггера прерывания (Т2); триггера блокировки прерывания (Т1).

Регистр запросов на прерывание состоит из восьми триггеров типа «защелка» и служит для запоминания запросов на прерывание на время обработки текущего прерывания. Шифратор приоритета анализирует запросы, поступающие с регистра запросов и при одновременном поступлении нескольких из них выдает на выход шифратора код старшего запроса.

Регистр текущего приоритета состоит из четырех триггеров типа «защелка» и служит для запоминания кода обрабатываемого прерывания, поступающего на входы П0—П2.

Схема сравнения приоритетов служит для сравнения кода, поступившего с шифратора запросов на прерывание, с кодом, хранящимся в регистре текущего состояния. Схема сравнения приоритетов выдает разрешающий сигнал на выработку сигнала прерывания только в том случае, когда код с шифратора запросов больше кода, хранящегося в регистре текущего приоритета.

Триггер прерывания служит для выработки признака прерывания и запоминания этого признака до следующего такта. Триггер блокировки прерывания служит для запрета приема запросов на прерывание на регистр запросов на прерывание при обработке текущего приоритета, а также блокирует выработку нового признака прерывания.

Запросы на прерывание (лог. 0) поступают на входы ЗП0—ЗП7. Наивысший приоритет имеет запрос, поступивший на вход ЗП7. При проектировании аппаратуры необходимо учитывать, что снятие запроса допускается только после установившейся в 1 триггера блокировки прерывания. Информация с регистра запросов на прерывание поступает на шифратор приоритета. Если поступивший запрос имеет приоритет выше, чем хранящийся в регистре текущего приоритета, то вырабатывается сигнал подтверждения прерывания (ПР), а на выходы КП0—КП2 при наличии сигнала входа

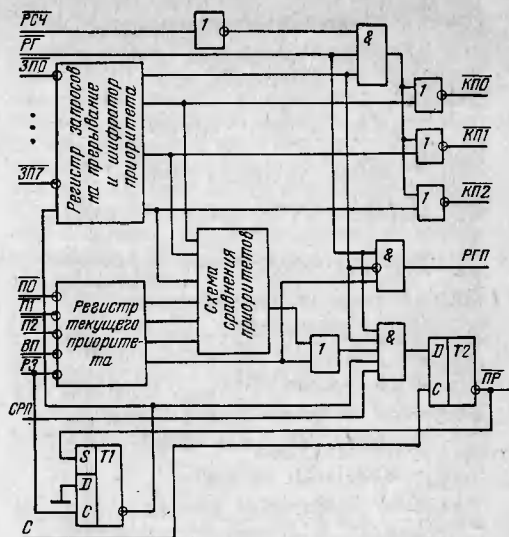


Рис. 6.4. Структурная схема БИС К589ИК14

разрешения считывания кода прерывания выдается код прерывания, соответствующий выбранному запросу. Выводы РГ и РГП используются при объединении нескольких микросхем К589ИК14 в группу (при необходимости иметь число запросов более восьми).

Назначение выводов микросхемы К589ИК14 приведено в табл. 6.5.

Таблица 6.5

Номер вывода	Условное обозначение	Назначение
1—3	П0—П2	Входы уровня приоритета
4	ВП	Выборка уровня приоритета
5	ПР	Выход прерывания
6	С	Вход синхронизации
7	СРП	Строб разрешения прерывания
8—10	КП0—КП2	Выходы кода прерывания
11	РСЧ	Разрешение считывания
12	⊥	Общий
13	РГ	Вход разрешения группы прерываний
14	РГП	Выход разрешения группы прерывания
15—22	ЗП0—ЗП7	Входы запроса прерывания
23	РЗ	Вход разрешения записи
24	U _п	Питание

Число уровней прерывания	8
Разрядность выходного приоритета	3
Разрядность текущего приоритета	3
Потребляемая мощность, мВт, не более	683
Тип корпуса	239.24-2

Входное пороговое напряжение высокого уровня, $U_{вх\ пор}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх\ пор}^0$, В	0,8
Выходное напряжение высоко- го уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 =$ $= 15$ мА), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	130
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более:	
по входу РГ	80
по остальным входам	40
Входной ток низкого уровня $I_{вх}^0$, мА, не менее:	
по входу РГ	-0,5
по остальным входам	-0,25
Время цикла, $t_{ц}$, нс, не менее	80
Время задержки распростране- ния сигнала от входов ЗПО—ЗП7 до выходов КПО—КП2, $t_{кп_i} - зп_i$, нс, не более	100
Время задержки распростране- ния сигнала от входа РЗ до выходов КПО—КП2, $t_{кп_i} - рз$, нс, не более	55
Время задержки распростране- ния сигнала от входов ЗПО— ЗП7 до выхода РПГ, $t_{рпг} - зп_i$, нс, не более	25

Многорежимный буферный регистр (рис. 6.5) состоит из следующих блоков: восьми информационных триггеров (T1—T8); восьми выходных буферов, имеющих на выходе состояние Выключено (Z1—Z8); схемы управления режимом; схемы формирования прерывания.

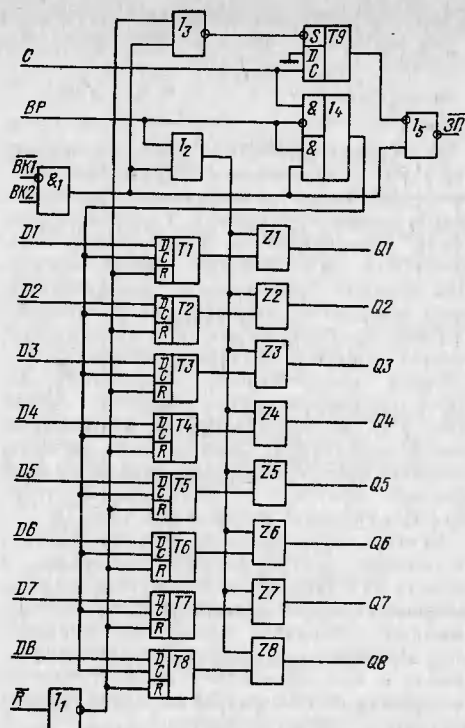


Рис. 6.5. Структурная схема БИС К589ИР12

Схема формирования прерывания (Т9, 1а, 1б) вырабатывает сигнал запроса прерывания (лог. 0) при поступлении сигналов выбора микросхемы ВК1 (лог. 0) и ВК2 (лог. 1) или при переходе сигнала С из 1 в 0. В исходном состоянии, которое устанавливается при поступлении сигнала $\bar{R} = 0$, все информационные триггеры устанавливаются в состояние 0 и сигнал запроса прерывания не выдается ($ЗП = 1$).

Таблица 6.6

Номер вывода	Условное обозначение	Назначение
1, 13	ВК1,	Входы выбора кри-
2	ВК2 ВР	стала Выбор режима

Номер вывода	Условное обозначение	Назначение
3, 5, 7, 9, 16, 18, 20, 22	D1—D8	Входы информации
4, 6, 8, 10, 15, 17, 19, 21	Q1—Q2	Выходы информации
11	C	Вход строба
12	$\frac{1}{I}$	Общий
14	R	Вход установки нуля
23	ЗП	Выход запроса прерывания
24	U _п	Питание

Основные характеристики

Разрядность	8
Режимы работы	хранение, запись, выдача
Потребляемая мощность, мВт, не более	683
Тип корпуса	239.24-2

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх}^1$, В . .	2,0
Входное пороговое напряжение низкого уровня, $U_{вх}^0$, В . .	0,8
Выходное напряжение высокого уровня $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее . .	3,65
Выходное напряжение низкого уровня $U_{вых}^0$, В (при $I = 10$ мА), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	130
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более:	
по входу ВК1	40
по входу ВР	30
по остальным входам	10
Входной ток низкого уровня, $I_{вх}^0$, мА, не менее:	
по входу ВК1	-1,0
по входу ВР	-0,75
по остальным входам	-0,25
Время задержки распространения сигнала от входов С, ВК до выходов Q1—Q8, $t_{Q_i - C}$.	
($t_{Q_i - ВК}$), нс, не более	40
Время задержки распространения сигнала от входов D1—D8 до выходов Q1—Q8, $t_{Q_i - D_i}$, нс, не более	30

Микросхемы К589АП16 и К589АП26 представляют собой двунаправленные формирователи, предназначенные для управления магистралями в цифровых вычислительных устройствах. Каждая схема является 4-разрядным коммутатором, имеющим в каждом разряде одну шину только для приема (А), одну шину только для выдачи (С) и одну двунаправленную шину для приема и выдачи (В) информации. В микроструктуре К589АП16 передача информации осуществляется без инверсий (рис. 6.6), а в микросхеме К589АП26 — с инверсией (рис. 6.7). Выбор микросхемы и направление передачи информации ($A \rightarrow B$, $B \rightarrow C$) осуществляется управляющими сигналами ВК и УВ.

Назначение выводов микросхем К589АП16, К589АП26 приведено в табл. 6.7

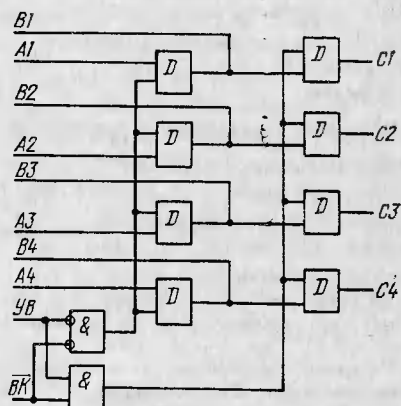


Рис. 6.6. Структурная схема БИС К589АП16

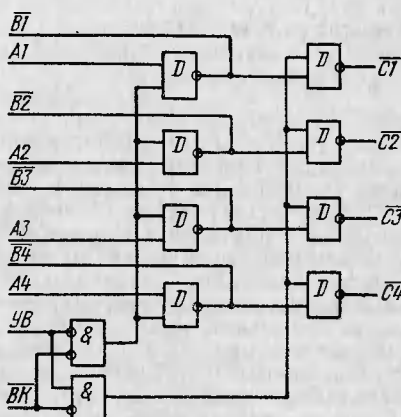


Рис. 6.7. Структурная схема БИС К589АП26

Таблица 6.7

Номер вывода	Условное обозначение	Назначение
1	ВК	Вход выборки кристалла
2, 5, 11, 14	C1—C4	Выходы информации
3, 6, 10, 13	B1—B4	Входы—выходы реверсивной передачи информации
4, 7, 9, 12	A1—A4	Входы информации
8	$\perp$	Общий
15	УВ	Вход управления вы- дачей информации
16	U _П	Питание

Основные характеристики

Разрядность	4
Потребляемая мощность, мВт, не более	683
Тип корпуса	238.16-2

Основные электрические параметры

Входное пороговое напряжение высокого уровня $U_{ВХ}^1$ пор, В	2,0
Входное пороговое напряжение низкого уровня, $U_{ВХ}^0$ пор, В	0,8
Выходное напряжение высоко- го уровня, $U_{ВЫХ}^1$ В, не менее: по выходам C1—C4 (при $I_{ВЫХ}^1 = -1$ мА) . . .	3,65
по выходам B1—B4 (при $I_{ВЫХ}^1 = -10$ мА) . . .	2,4
Выходное напряжение низко- го уровня, $U_{ВЫХ}^0$ В, не бо- лее:	

по выходам C1—C4 (при $I_{ВЫХ}^0 = 15$ мА)	0,5
по выходам B1—B4 (при $I_{ВЫХ}^0 = 50$ мА)	0,7
Ток потребления $I_{Пот}$, мА, не более	130
Входной ток высокого уровня $I_{ВХ}^1$, мкА, не более:	
по входам A1—A4, B1—B4 по входам ВК, УВ	40 80
Входной ток низкого уровня $I_{ВХ}^0$, мА, не менее:	
по входам A1—A4, B1—B4 по входам ВК, УВ	—0,25 —0,5
Время задержки распростране- ния сигнала от входов A1— A4 до выходов B1—B4, $t_{B_i - A_i}$, нс, не более	30
Время задержки распростране- ния сигнала от входов B1— B4 до выходов C1—C4, $t_{C_i - B_i}$, нс, не более	25
Время задержки распростране- ния сигнала от входов ВК, УВ до выходов B1—B4, C1— C4, $t_{B_i - ВК}$, нс, не более	25

Микросхема К589ХЛ4 представляет собой многофункциональное синхронизирующее устройство и предназначена для применения в устройствах ЭВМ. Микросхема может работать в следующих режимах: делителя частоты; дискретной линии задержки; формирователя пачки импульсов; формирователя длительности импульсов. Для каждой выполняемой функции коэффициент деления может быть переменным и устанавливается как предварительно, так и в процессе работы.

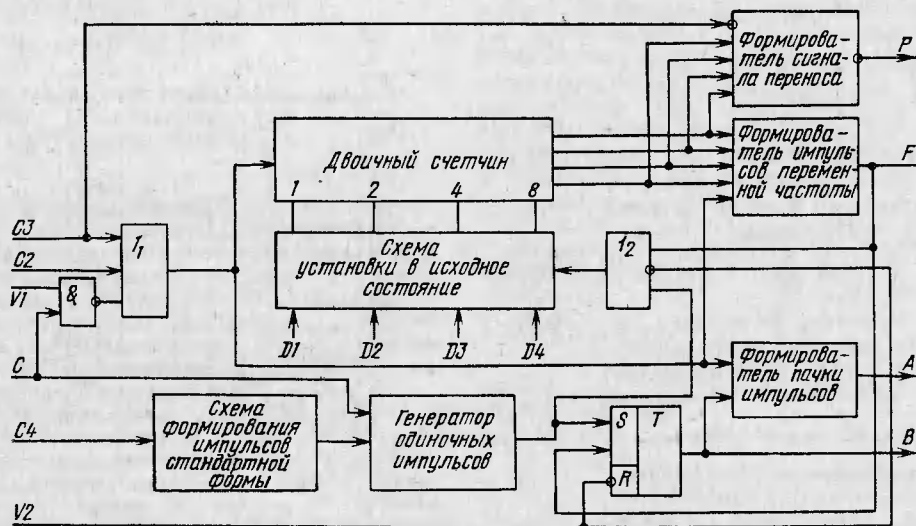


Рис. 6.8. Структурная схема БИС К589ХЛ4

Микросхема К589ХЛ4 (рис. 6.8) состоит из следующих блоков: 4-разрядного двоичного счетчика; схемы уставки в исходное состояние; генератора одиночных импульсов; схемы формирования импульсов стандартной формы; формирователя сигнала переноса; формирователя импульсов переменной частоты; формирователя пачки импульсов; формирователя длительности импульсов (Т); схем управления (&, I_1 , I_2).

Установка микросхемы в исходное состояние осуществляется при поступлении сигнала разрешения записи произвольной длительности с любого устройства, синхронизирующего или несинхронизирующего с данным устройством.

Схема формирования импульсов стандартной формы формирует сигнал, который подготавливает генератор одиночных импульсов к приему тактового импульса (С). Генератор одиночных импульсов вырабатывает одиночный сигнал, синхронизированный с сигналом С, который, поступая на схему установки в исходное состояние, позволяет улавливать двоичный счетчик в состоянии, определяемое кодом на входах D1 — D4. Для получения необходимого коэффициента деления на выходы D1 — D4 подается код пересчета, который определяется как дополнение требуемого коэффициента деления до 16. Режим работы микросхемы задается внешней коммутацией отдельных выводов. Используемые формирователи являются формирователями выходных сигналов. Схемы &, I_1 используются при наращивании разрядности синхронизирующих устройств.

Назначение выводов микросхемы К589ХЛ4 приведено в табл. 6.8.

Основные характеристики

Разрядность	4
Число режимов работы . . .	4
Потребляемая мощность, мВт, не более	499
Частота тактовых сигналов, МГц, не более	25
Тип корпуса	238.16-2

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх}^1$ пор, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх}^0$ пор, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее . . .	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 10$ мА), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	95
Время цикла $t_{ц}$, нс, не менее	50

6.2. Микропроцессорный комплект БИС серии КР1802

Микропроцессорный комплект БИС серии КР1802 предназначен для построения микро- и мини-ЭВМ, устройств обработки данных. Большая и все расширяющаяся номенклатура МПК, возможность параллельного наращивания и микропроцессорного управления, совместимость с сериями ИС ТТЛ, ТТЛШ, обеспечивают широкое применение данного комплекта.

Функциональный состав МПК БИС серии КР1802;

микропроцессорная секция параллельной обработки информации КР1802ВС1; двухадресный регистр общего назначения КР1802ИР1; арифметический расширитель КР1802ВР1;

умножитель КР1802ВР2; схема обмена информацией КР1802ВВ1; схема интерфейса КР1802ВВ2.

Микросхема КР1802ВС1 представляет собой 8-разрядную микропроцессорную секцию параллельной обработки информации с возможностью наращивания и предназначена для выполнения следующих операций: арифметического сложения и вычитания в дополнительном коде; логических операций конъюнкции, дизъюнкции, инверсии и сложения по модулю 2; арифметических, логических, циклических сдвигов вправо и влево на один разряд.

При выполнении перечисленных операций можно производить многочисленные

Таблица 6.8

Номер вывода	Условное обозначение	Назначение
1	C2	Вход переноса синхронизирующий
2	V1	Вход формирователя длительности импульса
3	C	Синхронизирующий вход
4	C4	Вход разрешения записи
5	V2	Вход переноса
6	B	Выход формирователя длительности
7	A	Выход формирователя пачки импульсов
8	$\perp$	Общий
9	F	Выход делителя
10	P	Выход переноса
11—14	D4—D1	Вход предустановки информационный
15	C3	Вход переноса синхронизирующий
16	$U_{п}$	Питание

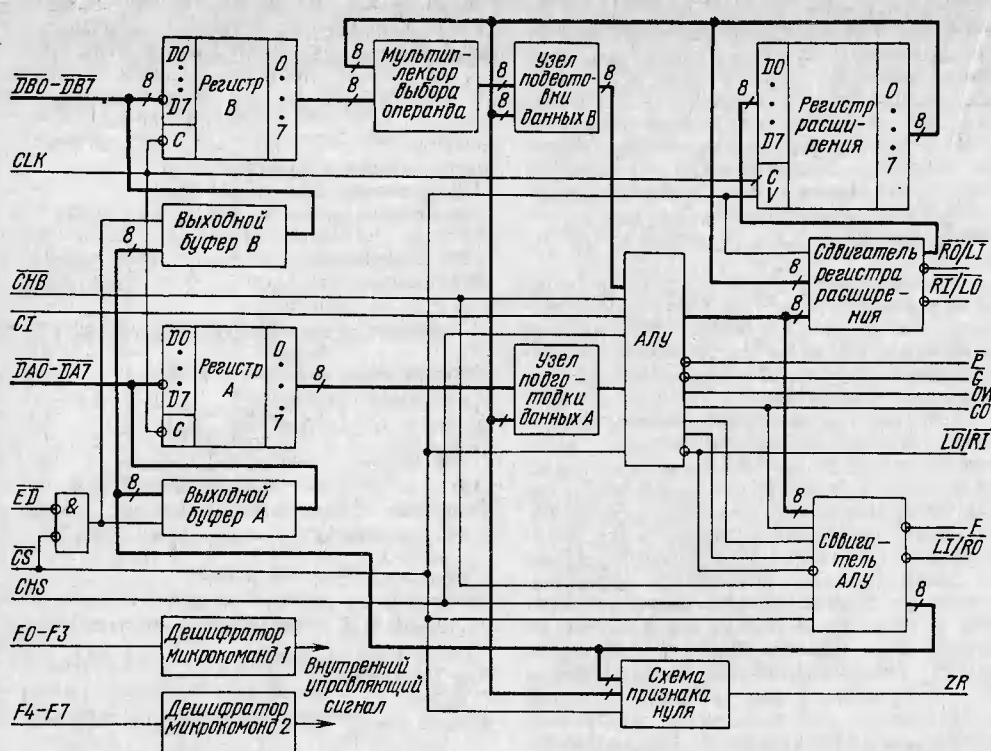


Рис. 6.9. Структурная схема БИС KPI802BC1

операции маскирования отдельных разрядов входных данных содержимым регистра расширения. По результату операции вырабатываются признаки равенства нулю результата и признак переполнения (в операциях сложения, вычитания и в операции сдвига влево). При соединении нескольких микросхем KPI802BC1 можно производить последовательный и ускоренный перенос операции обработки байтов, широкий набор операций сдвигов, включая и расширенные сдвиги, т. е. сдвиги двойного слова совместно с регистром расширения без внешних дополнительных схем с выработкой признаков результата только в выбранных микросхемах.

Микропроцессорная секция (рис. 6.9) состоит из следующих узлов: двух 8-разрядных регистров А и В; мультиплексора выбора операнда; узлов подготовки данных А и В; арифметическо-логического устройства; дешифраторов микрокоманд; сдвигателя АЛУ; регистра расширения; сдвигателя регистра расширения; выходных буферов А и В; схемы признака нуля.

Разряды микрокоманд F0—F3 определяют операцию АЛУ с данными, поступающими из регистра А и мультиплексора выбора операнда. Разряды микрокоманды F4—F7 определяют операции модификаций АЛУ: выбор операнда в мультиплексоре выбора операнда, т. е. операция с ре-

гистра В или регистра расширения; разрешение операции маскирования; различные операции сдвигов.

Работа микросхемы синхронизируется одним тактовым сигналом.

Назначение выводов микросхемы KPI802BC1 приведено в табл. 6.9.

Таблица 6.9

Номер вывода	Условное обозначение	Назначение
1, 3, 5, 18, 20, 22, 24, 41	DA0—DA7	Вход—выход информации А (разряды 0—7)
2, 4, 19, 21, 23, 25, 40, 42	DB0—DB7	Вход—выход информации В (разряды 0—7)
6—9, 14—17	F0—F7	Вход кода микрокоманды (разряды 0—7)
10	CI	Вход переноса
11	GND	Общий
12	ZR	Выход признака равенства нулю результата
13	CIK	Вход синхронизации
26	OW	Выход признака переполнения

Номер вывода	Условное обозначение	Назначение
27	F	Выход выдвигаемых разрядов АЛУ или выходного переноса СО
28	LO/PI	Выход сдвига влево, вход сдвига вправо сдвигателя АЛУ
29	ED	Вход разрешения выдачи информации
30	CHS	Вход выборки старшего кристалла
31	CHB	Вход управления инверсией старшего разряда
32	U_{CC}	Питание
33	CO	Выход переноса
34, 35	P, G	Выходы ускоренного переноса
36	CS	Вход выборки кристалла
37	RI/LO	Вход сдвига вправо — выход сдвига влево CPP
38	RO/LI	Выход сдвига вправо — вход сдвига влево CPP
39	LI/RO	Вход сдвига влево — выход сдвига вправо сдвигателя АЛУ или перенос из разряда 3 АЛУ

Основные характеристики

Число каналов ввода — вывода	2
Разрядность каждого канала	8
Разрядность микрокоманды	8
Потребляемая мощность, мВт, не более	1470
Время передачи информации от входа до выхода, нс, не более	150
Тип корпуса	2206.42-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх пор}^1$ В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх пор}^0$ В	0,8
Выходное напряжение высокого уровня $U_{вых}^1$, В (при $I_{вых}^1 = -0,6; -1$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 6; 10; 15$ мА), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	280

Микросхема КР1802ИР1 представляет собой двухадресную регистровую память, которая имеет два независимых 4-разрядных канала для приема и выдачи информации и предназначена для создания сверхоперативных запоминающих устройств процессоров и микросхемных оперативных запоминающих устройств (ОЗУ).

Микросхема КР1802ИР1 (рис. 6.10) состоит из следующих блоков: матрицы регистров общего назначения (РОН); дешифраторов DCA и DCB; устройств управления режимом работы каналов А и В; двунаправленных усилителей.

Матрица РОН имеет организацию 16 регистров $\times 4$ бита и состоит из триггерных ячеек, переход которых из одного состояния в другое осуществляется потенциальным сигналом и не зависит от длительности его фронта. Дешифраторы DCA и DCB производят выбор необходимого регистра матрицы как в режиме записи, так и в режиме считывания. Задание необходимого адреса регистра осуществляется подачей двоичного кода на входы: AA0 — AA3 для канала А, АВ0 — АВ3 для канала В.

Устройства управления режимом работы каналов А и В в зависимости от сочетания управляющих сигналов, поступающих на их входы, обеспечивают следующие режимы работы: запись по каналу А; запись по каналу В; одновременную запись по каналам А и В; считывание по каналу А; считывание по каналу В; одновременное считывание по каналам А и В; запись по каналу А и считывание по каналу В.

Двунаправленный усилитель состоит из восьми усилителей считывания, каждый из которых имеет на выходе состояние Включено, и восьми усилителей записи, обеспечивающих режим ввода—вывода инфор-

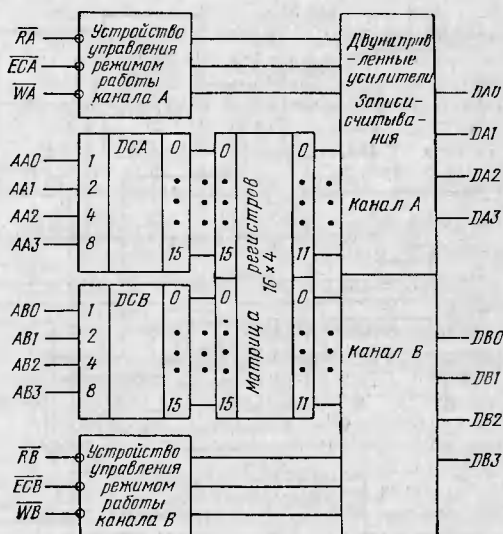


Рис. 6.10. Структурная схема БИС КР1802ИР1

мации в (из) матрицы РОН из (в) каналов А и В.

Назначение выводов микросхемы КР1802ИР1 приведено в табл. 6.10.

Таблица 6.10

Номер вывода	Условное обозначение	Назначение
1—4	AA0—AA3	Входы адреса канала А
5—8	DA0—DA3	Входы—выходы канала А
9, 21	RA, RB	Вход считывания каналов А, В
10, 22	ECA, ECB	Вход разрешения каналов А, В
11, 23	WA, WB	Вход записи каналов А, В
12	GND	Общий
13—16	AB0—AB3	Входы адреса канала В
17—20	DB3—DB0	Входы—выходы канала В
24	U_{CC}	Питание

Основные характеристики

Число адресных межотраслей	2
Число информационных магистралей	2
Число регистров	16
Разрядность каждого регистра	4
Потребляемая мощность, мВт, не более	892
Тип корпуса	2120.24-2

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх}^1$ пор, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх}^0$ пор, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 10$ мА), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	160
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более	40
Входной ток низкого уровня, $I_{вх}^0$, мА, не менее:	
по входам AA, DA, AB, DB	—0,25
по входам RA, WA, RB, WB	—0,4
по входам ECA, ECB	—0,8
Время задержки распространения сигнала от входов DA0—DA3 до выходов DB0—DB3, $t_{DA_i - DB_i}$, нс, не более	45
Время задержки распространения сигнала от входов AA0—AA3 до выходов DA0—DA3, $t_{AA_i - DA_i}$, нс, не более	55

Микросхема КР1802ВР1 представляет собой 16-разрядный расширитель, предназначенный для выполнения операций

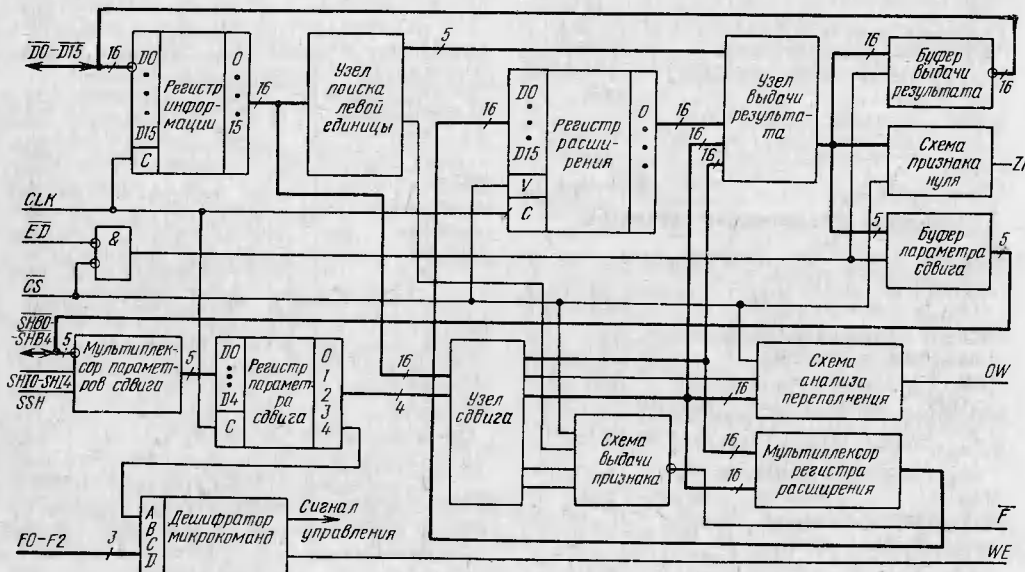


Рис. 6.11. Структурная схема БИС КР1802ВР1

сдвига на произвольное число разрядов (до 16), а также для поиска номера левого единичного бита.

Микросхема КР1802ВР1 (рис. 6.11) состоит из следующих блоков: регистра информации; узла поиска левой единицы; дешифратора микрокоманд; узла сдвига; регистра расширения; мультиплексора регистра расширения; узла выдачи результата; буфера выдачи результата; схемы признака нуля; схемы выдачи признака; схемы анализа переполнения; мультиплексора параметра сдвига; регистра параметра сдвига; буфера параметра сдвига.

Регистр информации и регистр параметра сдвига служат для хранения информации и параметра сдвига в момент выдачи результата. Узел сдвига служит для сдвига информации на число разрядов, определяемое двоичным кодом параметра сдвига. Для осуществления арифметических сдвигов вправо в схеме имеется возможность размножения знака.

Мультиплексор регистра расширения при любом сдвиге пропускает выдвигаемые разряды в регистр расширения. Регистр расширения служит для хранения выпадающих при сдвигах разрядов. Наличие этого регистра позволяет микропрограммно расширить разрядность сдвигаемого слова.

Узел поиска левой единицы служит для определения номера первой единицы слева (начиная отсчет со старшего, 15-го разряда). Результат поиска выдается 5-разрядным кодом на узел выдачи результата. Кроме того, узел поиска левой единицы выдает в схему выдачи признака признак отсутствия единицы во входной информации.

Узел выдачи результата служит для формирования результата в зависимости от модификации сдвига (логической, циклической и т.д.), выдает результат поиска левой единицы. Схема признака нуля производит выдачу сигнала признака равенства нулю всех разрядов, которые поступают из узла выдачи результата. Схема выдачи признака производит выдачу последнего из выпадаемых разрядов при сдвигах или признака отсутствия единицы во входной информации при операциях поиска левой единицы (сигнал F).

Схема анализа переполнения формирует переполнение при сдвигах влево, если хотя бы один выпадаемый разряд при арифметическом сдвиге не равен старшему разряду результата. Кроме того, она выдает знак разряда 15-входной информации при поиске левой единицы и определяет потерю единиц при логических, расширенных и циклических сдвигах влево.

Дешифратор микрокоманд служит для формирования управляющих сигналов в соответствии с кодом операции F0 — F2 и старшего разряда параметра сдвига. Буфер выдачи результата производит выдачу результата операции на двунаправленную магистраль D0 — D15. Буфер параметра сдвига производит выдачу резуль-

тата поиска левой единицы на двунаправленную магистраль параметра сдвига SHB0 — SHB4.

Мультиплексор параметра сдвига служит для приема в регистр параметра сдвига либо с магистрали SHB, либо с шины SH1 в зависимости от управляющего сигнала выбора параметра SSH.

Схема анализа переполнения формирует переполнение при сдвигах влево, если хотя бы один выпадаемый разряд при арифметическом сдвиге не равен старшему разряду результата. Кроме того, она выдает знак сигнала на выводе D15 при поиске левой единицы и определяет потерю единиц при логических расширенных и циклических сдвигах влево.

Работа микросхемы синхронизируется одним тактовым импульсом.

Назначение выводов микросхемы КР1802ВР1 приведено в табл. 6.11.

Таблица 6.11

Номер вывода	Условное обозначение	Назначение
1, 11, 22	GND	Общий
2—10, 12—18	D0—D15	Входы—выходы информации (разряды 0—15)
19	ZR	Выход признака нуля
20	CLK	Вход синхронизации
21	OW	Выход признака переполнения
23	F	Выход признака
24	ED	Вход разрешения выдачи информации
25	CS	Вход выбора микросхемы
26	WE	Выход разрешения записи результата
27—29	F0—F2	Входы кода микрокоманды (разряды 0—2)
31, 33—36	SH14—SH10	Входы внешнего параметра сдвига (разряды 0—4)
32	U _{CC}	Питание
37	SSH	Вход выбора параметра сдвига
38—42	SHB0—SHB4	Входы — выходы параметра сдвига (разряды 0—4)

Основные характеристики

Число каналов ввода — вывода	1
Разрядность канала	16
Разрядность микрокоманды	3
Потребляемая мощность, мВт, не более	1470
Время задержки информации от входа до выхода, нс, не более	150
Время задержки от входа информации до выхода параметра сдвига, нс, не более	100
Тип корпуса	2206.42-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{\text{вх пор}}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{\text{вх пор}}^0$, В	0,8
Выходное напряжение высокого уровня, $U_{\text{вых}}^1$, В (при $I_{\text{вых}}^1 = -1$ мА), не менее	2,4
Выходное напряжение низкого уровня, U^0 , В (при $I_{\text{вых}}^0 = 10; 15$ мА), не более	0,5
Ток потребления, $I_{\text{пот}}$, мА, не более	280
Входной ток высокого уровня, $I_{\text{вх}}^1$, мкА, не более:	
по входам ED, F0—F2, SH10—SH14	20
по входам CLK, CS, SSH	40
Входной ток низкого уровня, $I_{\text{вх}}^0$, мА, не менее:	
по входам D0—D15, ED, SHB0—SHB4, F0—F2, SH10—SH14	—0,4

по входам SSH, CLK . . .	—0,25
по входу CS	—0,8
Время задержки распространения сигнала от входа SSH до выхода D_i , t_{D_i-SSH} , нс, не более	180

Микросхема КР1802ВР2 представляет собой умножитель 8×8 разрядов и предназначена для построения устройств умножения и деления двоичных кодов и устройств умножения чисел, представленных в дополнительном коде.

Микросхема состоит из следующих блоков (рис. 6.12): 8-разрядных регистров RG1, RG2; 10-разрядного регистра RG3; мультиплексоров MS1, MS2, MS3; сумматора SM; устройства управления; выходных буферов А и В; схемы выдачи анализируемых разрядов; выходных буферов А и В; схемы выдачи признака; 2-разрядного регистра инструкций RG4.

Регистр RG1 служит для приема множителя в операциях умножения и младшего слова делимого при делении. В процессе выполнения операций умножения и деления в регистре RG1 формируются младшие разряды произведения и частное.

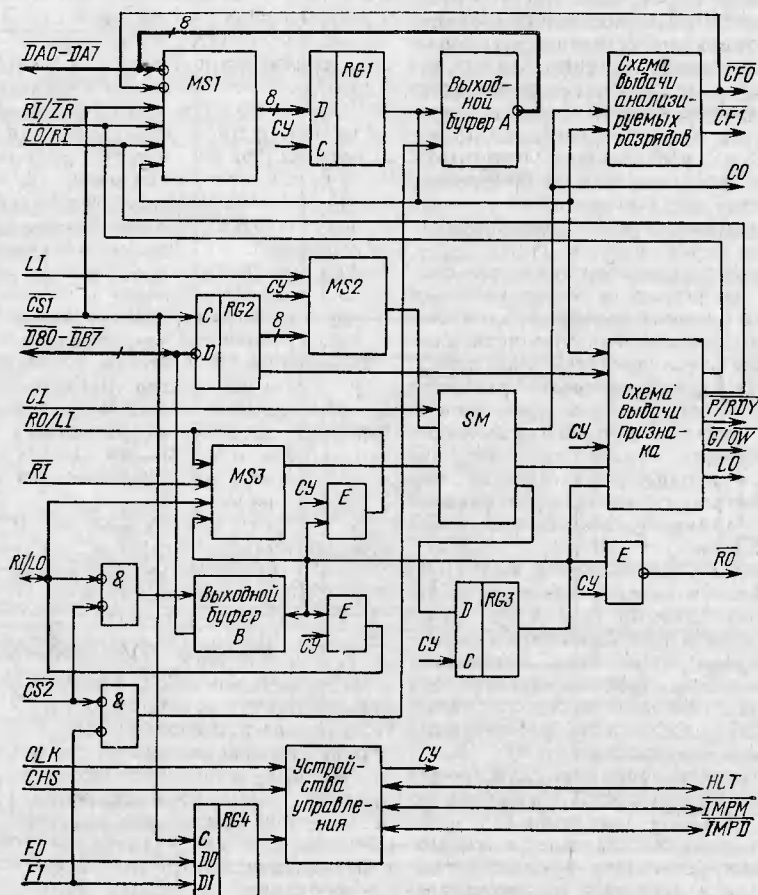


Рис. 6.12. Структурная схема БИС КР1802ВР2

Регистр RG2 предназначен для хранения множимого в операциях умножения и деления при делении, регистр RG3 — для записи старшего слова делимого при делении. В процессе выполнения умножения и деления в регистр RG3 записываются старшие разряды произведения при умножении и остаток при делении.

Мультиплексор MS1 обеспечивает запись в регистр RG1 либо операнда из магистрали DA, либо содержимого RG1, сдвинутого на два разряда вправо (при выполнении умножения), или на один разряд влево (при выполнении деления). Мультиплексор MS2 в зависимости от выполняемой операции обеспечивает подачу на один из входов сумматора либо содержимого RG2, сдвинутого на один разряд влево, в прямом коде, либо содержимого RG2 в обратном коде, либо кода нуля. Мультиплексор MS3 служит для подключения на другой вход сумматора содержимого регистра RG3 со сдвигом вправо на два разряда при умножении и со сдвигом влево на один разряд при делении и кода 0.

Сумматор предназначен для вычисления частных произведений и коррекции результата при умножении, вычисления очередных остатков для получения очередного бита частного при делении и восстановления окончательного остатка. Устройство управления вырабатывает в определенной последовательности сигналы, необходимые для приема операндов и инициации операции, реализации алгоритмов умножения и деления, выдачи результатов по кодам операции чтения.

Выходные буфера А и В, имеющие на выходе состояние Выключено, служат для выдачи на шины DA и DB результатов соответственно из регистров RG1 и RG3. Схема выдачи анализируемых разрядов служит для выдачи анализируемых разрядов при умножении и делении из микросхемы умножителя, которая в данный момент находится во включенном состоянии, и для приема анализируемых разрядов всеми остальными схемами.

Схема выдачи признаков служит для выдачи выдаваемых разрядов, различных признаков результата и сигналов ускоренного переноса. Регистр инструкций RG4 хранит код операции во время ее выполнения. Запись кода операции в регистр RG4 происходит при CS1 = 0.

Микросхема KP1802BP2 выполняет следующие операции: умножение 8-разрядных целых чисел, представленных в дополнительном коде, умножение 8-разрядных кодов, деление кодов; загрузку старшего слова делимого, чтение результата. Перечень операций с указанием выполняемых действий представлены в табл. 6.12.

При выполнении операции загрузки при CS1 = 0 устройство управления приводит схему в состояние Не готова (P/RDY = 1). При этом в регистре RG4 фиксируется код операции, разрешается прием операндов с магистралей DA и DB соответствен-

Таблица 6.12

Операция	Код операции				Выполняемые действия
	F0	F1	CS1	CS1	
Умножение чисел	0	0	0	1	DA→RG1, DB→RG2, RG3, RG1:=RG1×RG2
Умножение кодов	0	1	0	1	DA→RG1, DB→RG2, RG3, RG1:=RG1×RG2
Деление кодов	1	0	0	1	DA→RG1, DB→RG2, RG1, RG3:=RG3, RG1:RG2
Загрузка	1	1	0	1	DB→RG3
Чтение RG1	1	0	1	0	RG1→DA
Чтение RG1 и RG3	0	0	1	0	RG3→DB, RG1→DA
Чтение RG3	0	1	1	0	RG3→DB

но в регистры RG1 и RG2. После подачи 1 на вывод CS1 выход регистра RG2 подключается ко входу сумматора. На второй вход сумматора подается 0. Результат суммирования (т. е. содержимое регистра RG2) записывается в регистр RG3, после чего устройство управления переводит схему в состояние готовности (P/RDY=0).

При выполнении операций умножения чисел и умножения кодов в схеме умножителя реализован циклический алгоритм умножения с логическим ускорением благодаря группировке разрядов множителя по два разряда, анализом разрядов, на которые производится умножение в данном цикле, и накоплением суммы частных произведений. В связи с тем, что выполняется умножение чисел, представленных в дополнительном коде, в алгоритме предусмотрена однократная коррекция результата умножения. Отличие процесса умножения кодов и чисел состоит только в разнице коррекции.

Получаемое при умножении произведение записывается в регистр RG3 (старшие разряды произведения). Так как это 10-разрядный регистр, а при умножении получается более 16 разрядов, то младшие разряды произведения из регистра RG3 передаются в регистр RG1 по два раза в каждом цикле. Разряды регистра RG1 освобождаются от очередной пары множителя после проведения соответствующего цикла умножения. В схеме умножителя KP1802BP2 реализовано деление по циклическому алгоритму без восстановления остатка. Старшее слово делимого должно быть меньше делителя, иначе возникает переполнение. Операция деления должна предшествовать операции загрузки.

Для обработки восьми n -разрядных слов ($n = 1, 2, 3, \dots, 8$) необходимо соединить

Таблица 6.13

Номер вывода	Условное обозначение	Назначение
2, 1, 42—37	DB7/DB0	Входы—выходы DB (разряды 7—0)
3	RI/LO	Вход в разряд 7 RG3— выход из разряда 7 RG3
4, 19	GND	Общий
5	JMPM	Выход для запуска счетчика циклов при умножении, вход для запуска счетчика циклов при делении
6	JMPD	Выход для запуска счетчика циклов при делении, вход для запуска счетчика циклов при умножении
7	LO	Выход из разряда 7 RG2, выдача 1 или 0, выход признака знака
8	HLT	Вход — выход сигнала. Останов
9, 15	CS1, CS2	Вход выбора микросхемы 1, 2
10, 13	F0, F1	Вход микроинструкций (разряды 1, 0)
11	CO	Выход переноса
12	CHS	Вход определения старшего кристалла
14	CLK	Вход синхронизации
16	RI/ZR	Вход разряда RG1 (выход признака 0)
17, 20	CF1, CF0	Вход — выход сигналов управления микрооперациями (разряды 1, 0)
18	LO/RI	Выход из разряда 7 RG1 — вход в разряд 7 RG1, выход признака расширения
21—28	DA7—DA0	Входы—выходы DA (разряды 7—0)
29	CI	Вход переноса
30	RO/LI	Выход разряда 1 RG3 — вход в разряд 0 RG3
31	RO	Выход разряда 0
32	U_{CC}	Питание
—	CY	Сигнал управления
33	P/RDY	Выход распространения переноса — выход признака готовности
34	G/OW	Выход генерации переноса — выход переполнения
35	RI	Вход разряда 6 RG3
36	LI	Вход разряда 6 RG2

n схем умножителя. Для умножения чисел разрядностью больше восьми используется несколько схем KP1802BP2. Назначение выводов микросхемы KP1802BP2 приведено в табл. 6.13.

Основные характеристики

Число информационных каналов	2
Разрядность каждого канала	8
Число выполняемых микрокоманд	7
Потребляемая мощность, мВт, не более	1575
Время умножения 8-разрядных чисел, нс, не более	1000
Тип корпуса	2206.42-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх\ пор}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх\ пор}^0$, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее	2,4

Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 0,5-15$ мА для различных выходов), не менее	0,5
Ток потребления, $I_{пот}$, мА, не более	300
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более:	
по входам CHS, CLK, CI, RI	40
по входам F1, F0, CS2, LI	80
по входу CSI	140
Входной ток низкого уровня, $I_{вх}^0$, мА, не менее, по различным входам	— (0,25—1,5)
Время задержки распространения сигнала от входа CLK до выхода R0, t_{CLK-R0} , нс, не более	80
Время задержки распространения сигнала от входа CLK до выхода R0/LI, $t_{CLK-R0/LI}$, нс, не более	80
Время задержки распространения сигнала от входов CF0, CF1 до выходов R/RDY, $t_{CF0-R/RDY}$, нс, не более	80

Время задержки распространения сигнала от входов CF0, CF1 до выхода G/OW, $t_{CF0-G/OW}$, нс, не более 80

Время задержки распространения сигнала от входов CF0, CF1 до выхода CO, t_{CF0-CO} , нс, не более 80

Время задержки распространения сигнала от входов CF0, CF1 до выхода L0, t_{CF0-L0} , нс, не более 50

Микросхема КР1802ВВ1 представляет собой схему обмена информацией и предназначена для использования в качестве сверхоперативного запоминающего устройства с возможностью организации на одном из регистров счетчика с увеличением содержимого на 1.

Микросхема состоит из следующих блоков (рис. 6.13): 4-разрядных регистров (RG1 — RG3); 4-разрядного двоичного счетчика RG0; дешифраторов DCA, DCB, DCC, DCX; схемы записи; схемы сравнения; блока приема-выдачи данных; мультиплексоров MS0 — MS3.

Блока приема — выдачи данных; мультиплексоров MS0 — MS3.

Регистры RG1 — RG3 реализованы на триггерах Д типа «защелка» и предназначены для записи, хранения и считывания информации, поступающей по каналам DA, DB, DC, DX. Счетчик RG0 реализован на D-триггерах M=S с записью информации по фронту сигнала. Предусмотрена возможность параллельной загрузки счетчика через мультиплексор MS0.

Выбор соответствующего регистра для обмена информацией с каналами A, B, C, X осуществляется дешифраторами DCA, DCB, DCC, DCX при поступлении соответствующих управляющих сигналов. По входным управляющим сигналам записи WA, WB, WC, WX и информации, поступающей с дешифраторов адреса регистра, схема записи формирует сигналы, разрешающие запись информации в соответствующий регистр. Схема сравнения вырабатывает признак равенства содержимого регистра RG0 и RG3.

Блок приема информации осуществляет связь каналов ввода-вывода с регистрами

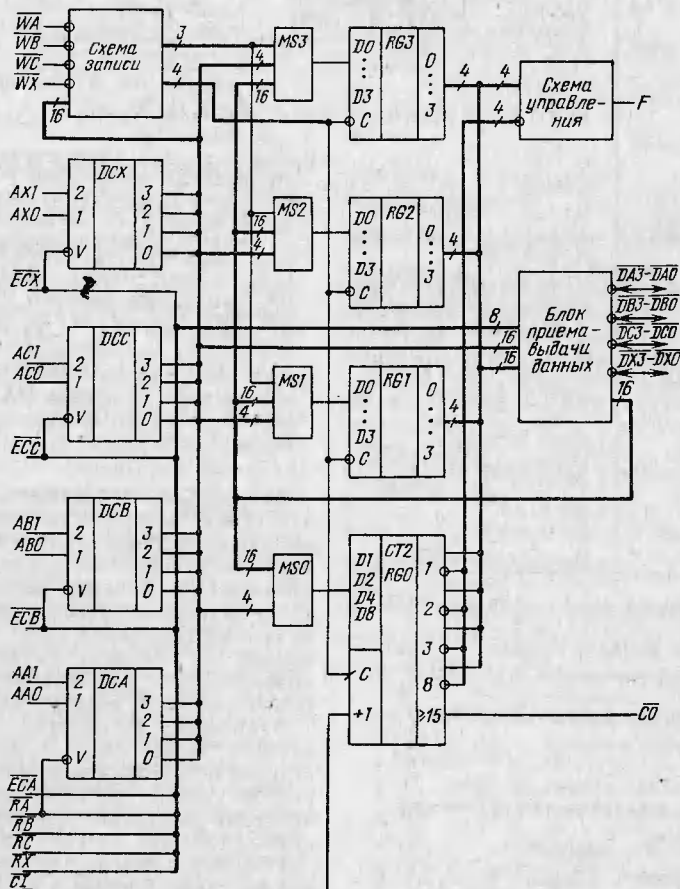


Рис. 6.13. Структурная схема БИС КР1802ВВ1

RG1 — RG3. Мультиплексоры MS0 — MS4 соединяют входы соответствующих регистров с необходимым каналом ввода — вывода.

Микросхема позволяет производить непосредственную передачу информации с одной магистрали на другую через любой регистр, кроме RG0. Каналы DA, DB и DC предназначены для работы на короткие линии связи, канал DX может работать на длинные согласованные линии связи.

Назначение выводов микросхемы КР1802ВВ1 приведено в табл. 6.14.

Таблица 6.14

Номер вывода	Условное обозначение	Назначение
1, 42 2, 3 4, 5 40, 41	AB0, AB1; AC1, AC0; AX1, AX0 AA1, AA0	Входы адреса регистра при обмене информацией с каналами В, С, X, А
30, 33, 35, 37, 29, 31, 34, 36 14, 13, 7, 6	DA0—DA3 DB0—DB3 DC0—DC3 DX0—DX3	Входы — выходы информации каналов А, В, С, X
9, 8 11 25, 26, 15, 16	GND RA, RB, RC, RX	Общий Входы считывания информации каналов А, В, С, X
24, 22, 19, 17	ECA, ЕСБ, ECC, ECX	Входы разрешения обмена информацией с каналами А, В, С, X
23, 21, 20, 18	WA, WB, WC, WX	Входы записи информации каналов А, В, С, X
27 28	CI F	Вход переноса Выход признака равенства содержимого R0 и R3
32	U _{CC}	Питание
39	CO	Выход переноса

Основные характеристики

Число каналов ввода — вывода	4
Число разрядов каждого канала	4
Потребляемая мощность, мВт, не более	1470
Тип корпуса	2206.42-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх\ пор}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх\ пор}^0$, В	0,8

Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее 2,4

Выходное напряжение низкого уровня, $U_{вых}^0$, В, не более:
по выходам канала X (при $I_{вых}^0 = 60$ мА) 0,8
по остальным выходам (при $I_{вых}^0 = 15$ мА) 0,5

Ток потребления, $I_{пот}$, мА, не более 280

Входной ток высокого уровня, $I_{вх}^1$, мкА, не более:
по входам R, W каналов А, В, С, X 40
по входам ЕС каналов А, В, С, X 80
по входам А0, А1 каналов А, В, С, X 120
по входу CI 160

Входной ток низкого уровня $I_{вх}^0$, мА, не менее:
по входам R, W и входам — выходам каналов А, В, С, X —0,25
по входам ЕС каналов А, В, С, X —0,5
по входам А0, А1 каналов А, В, С, X —0,75
по входу CI —2,0

Время задержки распространения сигнала из каналов DA, DB, DC в канал DX, $t_{DX-DA, DC}$, нс, не более 80

Время задержки распространения сигнала между входами — выходами каналов DA, DB, DC, $t_{DA-DB, DC}$, нс, не более 60

Время задержки распространения сигнала из канала DX в каналы DA, DB, DC, $t_{DA-DX, DC}$, нс, не более 70

Микросхема КР1802ВВ2 — интерфейсная схема, предназначенная для управления обменом информацией в однопроцессорных и многопроцессорных вычислительных системах. Микросхема обеспечивает асинхронный принцип обмена, ориентирована на совместную работу с БИС обмена информацией (КР1802ВВ1), а также с другими микросхемами, обеспечивающими буферизацию приема и выдачу информации.

Микросхема КР1802ВВ2 состоит из следующих блоков (рис. 6.14): регистра инструкций, дешифратора инструкций, устройства обмена, регистра сдвига, регистра хранения запросов «Главного», триггера цикла, триггера запроса цикла.

Устройство обмена принимает и анализирует входные сигналы, формирует временные диаграммы сигналов на выходах схемы в соответствии с заданной инструкцией.

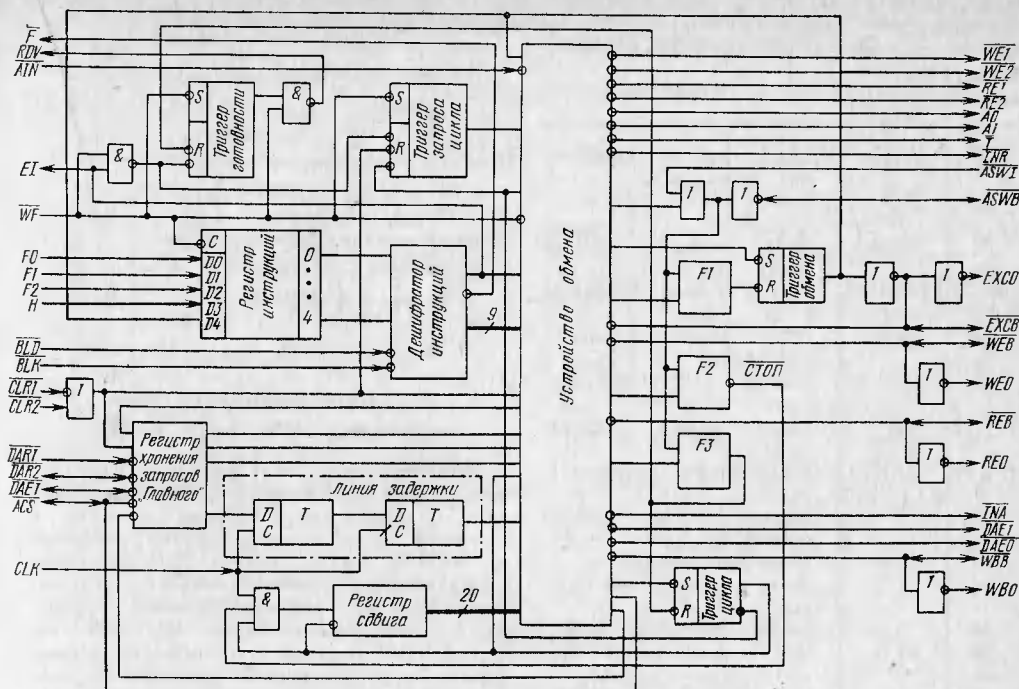


Рис. 6.14. Структурная схема БИС КР1802ВВ2

Регистр сдвига формирует управляющие сигналы, используемые при выполнении различных инструкций. Регистр хранения запросов Главного принимает и хранит информацию и состоит из трех триггеров: запроса прямого доступа, запроса цикла Главного, запроса периферийного процессора. При включении хотя бы одного из триггеров, остальные триггера блокируются.

Порядок использования информационных линий и линий сигналов сопровождения информации магистрали различными устройствами (арбитраж) выполняются по определенному алгоритму. Алгоритмы арбитража включают в себя две взаимноисключающие части, одна из которых реализуется в схеме КР1802ВВ2 с признаком Главной, а другая — с признаком Неглавной. Реализация той или другой части алгоритма арбитража осуществляется при выполнении определенных логических условий, указывающих на окончание очередного обмена по магистрали. Запросы на магистраль для Главного поступают по линиям DART, DAR2 и от внутренней схемы, формирующей сигнал запроса цикла.

Работа схемы арбитража для Главного заключается в следующем: анализируется наличие сигналов DART, DAR2 и сигнала запроса цикла; запоминаются значения этих сигналов на триггерах запроса в случае поступления хотя бы одного из сигналов; блокируется установление состояния триггеров запросов до следующего цикла

арбитража и производится приоритетный анализ состояния триггеров запросов, при котором старшим по приоритету является триггер запроса прямого доступа, следующим — триггер запроса цикла Главного и младшим — триггер запроса периферийного процессора.

Запросы на магистраль для Неглавного поступают по линиям Вход разрешения прерываний, AIN, DAE1 и от схем, формирующих сигналы запроса цикла и запроса прерывания.

Назначение выводов микросхемы КР1802ВВ2 приведено в табл. 6.15.

Таблица 6.15

Номер вывода	Условное обозначение	Назначение
1	EXCB	Вход — выход синхронизации
2	EXCO	Выход синхронизации
3, 20	AO, AI	Выходы адреса (разряды 0, 1)
4	INR	Выход запроса прерывания
5	INA	Выход разрешения прерывания
6	ASWB	Вход — выход ответа
7	ASWI	Вход ответа
8	WEO	Выход разрешения записи

Номер вывода	Условное обозначение	Назначение
9	WEB	Вход — выход разрешения записи
10	WBO	Выход записи байта
11, 38	GND	Общий
12	WBB	Вход — выход записи байта
13, 16	RE2, RE1	Выход чтения (разряды 1, 2)
14	REB	Вход — выход разрешения чтения
15	RE0	Выход разрешения чтения
17, 21	WE1, WE2	Выход записи (разряды 1, 2)
18, 19	CLR1, CLR2	Вход сброса (разряды 1, 2)
22	T	Выход синхронизации счетчика
23	CLK	Вход синхронизации
24	AIN	Вход разрешения прерывания
25	F	Выход фиксации пути
26	BLD	Вход блокировки чтения — записи данных
27	EI	Выход разрешения внутреннего обмена
28	WF	Вход записи микроинструкции
29	BLK	Блок блокировки чтения команды
30	RDV	Выход готовности
31	H	Вход определения главного процессора
32	U_{CC}	Питание
35, 34, 33	F0—F2	Входы микроинструкции (разряды 0—2)
36	DAR1	Вход запроса прямого доступа
37	DAR2	Вход — выход запроса прямого доступа
39	ACS	Вход — выход подтверждения выборки
40	DAE1	Выход подтверждения прямого доступа
41	DAE1	Вход разрешения прямого доступа
42	DAEO	Выход разрешения прямого доступа

Основные характеристики

Потребляемая мощность, мВт, не более	1312
Время задержки от входа Ответ до выхода адреса, нс, не более	120
Тип корпуса	2206.42-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх}^1$ пор, В	2,0

Входное пороговое напряжение низкого уровня, $U_{вх}^0$ пор, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 15$ мА), не более	0,5
Выходное напряжение низкого уровня $U_{вых}^0$, В (при $I_{вых}^0 = 60$ мА), не более	0,8
Ток потребления, $I_{пот}$, мА, не более	250

6.3. Микропроцессорный комплект БИС серии K1804

Микропроцессорный комплект БИС серии K1804 предназначен для построения контроллеров различной организации с частотой выдачи управляющих сигналов до 10 МГц, микро- и мини-ЭВМ различного назначения с любой архитектурой и набором команд, различных систем обработки данных. Номенклатура МПК БИС серии K1804 широкая и непрерывно расширяется, обеспечивается возможность параллельного наращивания и микропрограммного управления. По уровням входных и выходных сигналов БИС совместимы с ИС ТТЛ и ТТЛШ.

Функциональный состав МПК БИС серии K1804:

микропроцессорная, секция параллельной обработки информации K1804BC1 (аналог AM2901);

микропроцессорная секция параллельной обработки информации K1804BC2 (аналог AM2903);

схема управления адресом микрокоманды K1804BY1 (аналог AM2909), K1804BY2 (аналог AM2911);

схема управления следующим адресом K1804BY3 (аналог AM29811A);

схема управления последовательностью микрокоманд K1804BY4 (аналог AM2910);

параллельный регистр K1804IP1 (аналог AM2918);

схема ускоренного переноса K1804BP1 (аналог AM2902);

схема управления состоянием и сдвигом K1804BP2 (аналог AM2904).

Микросхема K1804BC1 представляет собой 4-разрядную микропроцессорную секцию, предназначенную для построения блоков цифровых ЭВМ разрядности, кратной четырем. Гибкость микрокоманд позволяет осуществлять эффективную эмуляцию различных ЭВМ.

Микропроцессорная секция выполняет: арифметические операции (сложение, вычитание в двоичном коде с формированием сигналов переноса и состояния), логические функции (ИЛИ, И, Исключающее ИЛИ, Исключающее ИЛИ—НЕ), положительные и отрицательные приращения.

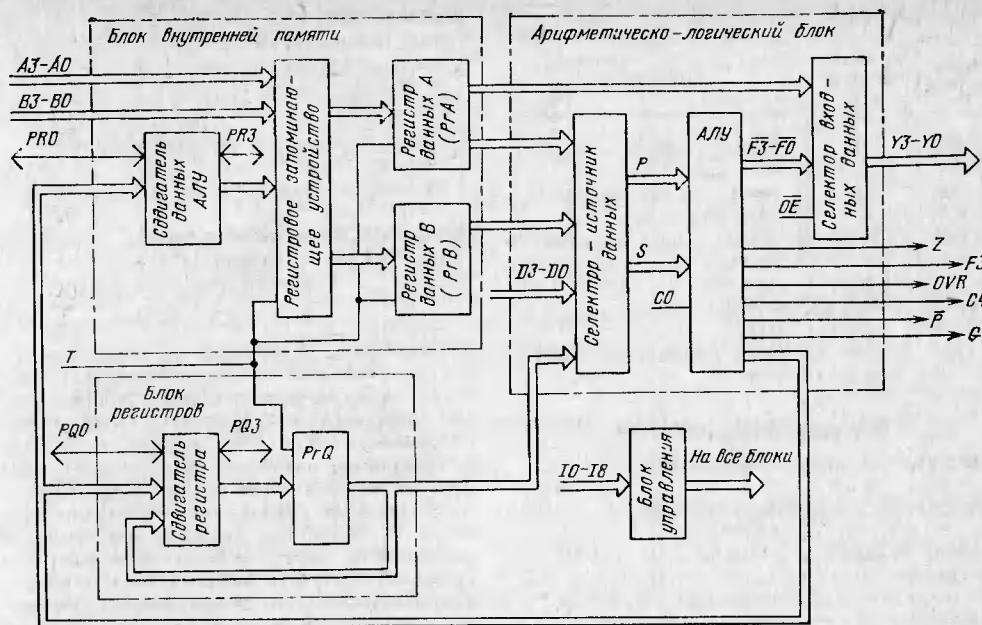


Рис. 6.15. Структурная схема БИС К1804ВС1

Микросхема К1804ВС1 состоит из следующих блоков (рис. 6.15): арифметическо-логического блока, блока внутренней памяти, блока регистров, блока управления.

Арифметическо-логический блок, включающий АЛУ, селектор-источник данных и селектор входных данных (СВД), предназначен для выполнения арифметических и логических операций над двумя операндами с формированием следующих сигналов, отражающих состояние АЛУ при выполнении операции: сигнала признака нулевого результата АЛУ, переполнения АЛУ, старшего разряда результата АЛУ, распространения переноса АЛУ, генерации переноса АЛУ (Z , OVR , $F3$, $\bar{P}$, $\bar{Q}$).

Блок внутренней памяти, включающий 16-разрядное двухпороговое регистровое запоминающее устройство (РЗУ), сдвигатель данных АЛУ, регистры данных (РгА, РгВ), предназначен для хранения данных, передаваемых с выхода АЛУ для записи в РЗУ без сдвига или со сдвигом в направлении, определяемом микрокомандой.

Блок регистров, состоящий из рабочего регистра (РгQ) и сдвигателя регистра, используется для записи и хранения 4-разрядного кода, передаваемого с выхода АЛУ или с выхода РгQ, если соответственно выполняется микрокоманда без сдвига или со сдвигом данных. Блок управления предназначен для формирования необходимых управляющих сигналов в зависимости от кода поступившей микрокоманды.

Назначение выводов микросхемы К1804ВС1 приведено в табл. 6.16.

Таблица 6.16

Номер вывода	Условное обозначение	Назначение
1—4	A3—A0	Вход адреса А (разряды 3—0)
8	PR3	Двунаправленный вывод сдвига старшего разряда РЗУ
9	PR0	Двунаправленный вывод сдвига младшего разряда РЗУ
10	U_{CC}	Питание
11	Z	Признак нулевого результата
12—14, 26, 28, 27, 5, 7, 6	J0—J8	Вход микрокоманды
15	T	Тактовый вход
16	PQ3	Двунаправленный вывод сдвига старшего разряда РгQ
17—20	B0—B3	Вход адреса В (разряды 0—3)
21	PQ0	Двунаправленный вывод сдвига младшего разряда РгQ
22—25	D3—D0	Вход данных (разряды 3—0)
29	C0	Вход переноса
30	GND	Общий
31	F3	Выход старшего разряда результата

Номер вывода	Условное обозначение	Назначение
32	G	Выход генерации переноса
33	C4	Выход последовательного переноса
34	OVR	Выход переполнения
35	P	Выход распространения переноса
36—39	Y0—Y3	Выход данных (разряды 0—3)
10	OE	Вход разрешения выходов

Основные характеристики

Разрядность канала ввода данных	4
Разрядность канала вывода данных	4
Число РОН	16
Разрядность РОН	4
Разрядность микрокоманды	9
Потребляемая мощность, мВт, не более	1470
Тип корпуса	2123.40-6

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{\text{вх пор}}^1$, В	2.0
Входное пороговое напряжение низкого уровня, $U_{\text{вх пор}}^0$, В	0.8
Выходное напряжение высокого уровня $U_{\text{вых}}^1$, В (при $I_{\text{вых}}^1 = -(0.6-1.6)$ мА для различных выходов), не менее	2.4
Выходное напряжение низкого уровня $U_{\text{вых}}^0$, В (при $I_{\text{вых}}^0 = -6-16$ мА для различных выходов), не более	0.5
Ток потребления, $I_{\text{пот}}$, мА, не более	280
Входной ток высокого уровня, $I_{\text{вх}}^1$, мкА, не более:	
по входам А, В, 10—12, 16, 18	20
по входам D, 13—15, 17	40
по входам PR_i , PQ_i	100
по входу С0	200
Входной ток низкого уровня, $I_{\text{вх}}^0$, мА, не менее:	
по входам А, В, 10—12, 16, 18, Т	—0.36
по входам D, 13—15, 17	—0.72
по входам PQ_i , PR_i	—0.8
по входу С0	—3.6
Время цикла, $t_{\text{ц}}$, нс, не менее	95
Время задержки распространения сигнала от входов А, В до выходов Y0—Y3, t_{Y_i-A}	

нс, не более	85
Время задержки распространения сигнала от входов А, В до выхода сдвига, t_{PR_i-B}	
нс, не более	100
Время задержки распространения сигнала от входов А, В до выхода Z, t_{Z-A} , нс, не более	95
Время задержки распространения сигнала от входов 13—15 до выходов Y0—Y3, t_{Y_i-1} , нс, не более	60

Микросхема K1804BC2 представляет собой 4-разрядную микропроцессорную секцию, предназначенную для построения блоков цифровых вычислительных устройств, разрядности, кратной четырем. Гибкость микрокоманд позволяет осуществлять эффективную эмуляцию различных ЭВМ.

Микросхема выполняет 7 арифметических и 9 логических функций над двумя 4-разрядными операндами, включая все функции, присущие микросхеме K1804BC1, а также 9 специальных функций (умножение, деление, нормализация одинарной и двойной длины, преобразование числа и др.). Предусмотрена возможность расширения регистрового запоминающего устройства МПС путем подсоединения любого числа дополнительных регистров. Микросхема обеспечивает работу в двухадресном ($A \rightarrow B \rightarrow C$) и трехадресном режиме ($A \rightarrow B \rightarrow C$) в течение одного микроцикла.

Микросхема K1804BC2 состоит из следующих блоков (рис. 6.16): арифметическо-логического блока, блока внутренней памяти, блока регистров, блока управления.

Арифметическо-логический блок, включающий АЛУ, селектор источник данных, сдвигатель данных АЛУ и формирователь признака нуля, предназначен для выполнения арифметических, логических и специальных функций над двумя операндами с формированием сигналов, отражающих состояние АЛУ при выполнении функций: сигналов: признака нулевого результата АЛУ (Z); переполнения АЛУ (OVR); старшего разряда результата (F3); распространения переноса АЛУ (P); генерации переноса АЛУ (G). Предусмотрена возможность контроля четности результата АЛУ с учетом сигнала на входе PF3. АЛУ работает с операндами, выбираемыми или от двух внешних источников (по входам: DA3 — DA0, DB3 — DB0), или от двух внутренних источников, или от одного внутреннего и одного внешнего источника.

Блок внутренней памяти, включающий 16-словное 4-разрядное регистровое запоминающее устройство (РЗУ), регистры данных (PrA, PrB), имеющие состояние. Выключено, предназначен для хранения данных, передаваемых с выхода арифметическо-логического блока или с двунаправленных выводов данных (Y3 — Y0). Счи-

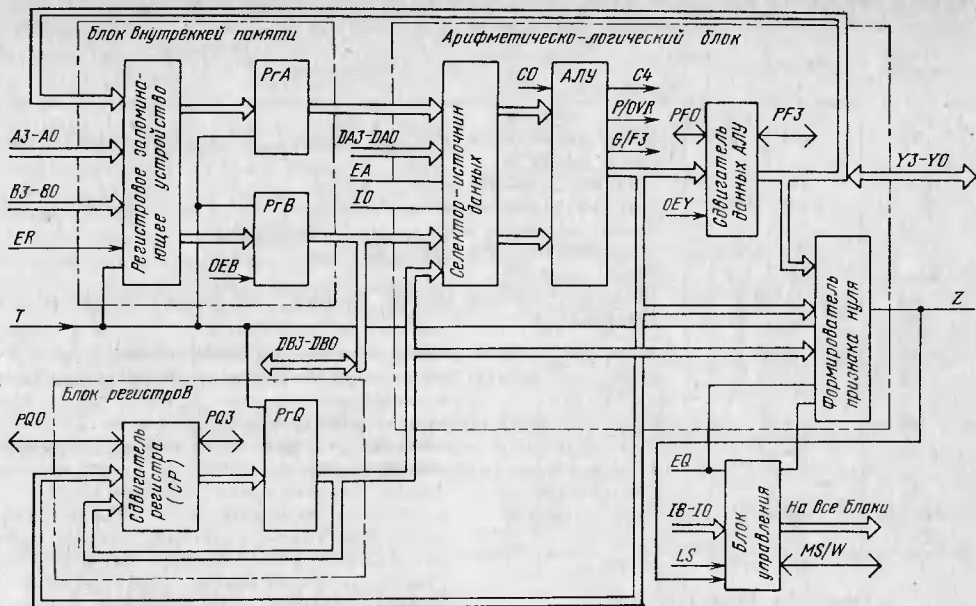


Рис. 6.16. Структурная схема БИС К1804BC2

тывание информации из РЗУ может осуществляться одновременно по адресу А (входы А3 — А0) и по адресу В (входы В3 — В0), запись информации в запоминающее устройство — по адресу В при входе ER = 0 и T = 0. Данные из запоминающего устройства могут быть считаны на двунаправленные выходы данных DB3—DB0, если сигнал на входе OEВ = 0.

Блок регистров, состоящий из рабочего регистра (РгQ) и сдвигателя регистра, используется для записи и хранения 4-разрядного кода, передаваемого с выхода АЛУ или с выхода РгQ, если соответственно выполняется микрокоманда без сдвига или со сдвигом данных. Запись в РгQ осуществляется по положительному фронту тактового сигнала Т при наличии сигналов управ-

ления, поступающих с блока управления. Блок управления предназначен для формирования управляющих сигналов в зависимости от значения сигналов на входах микрокоманды 18 — 10 и на входах EQ, LS, MS/W.

При наращивании микропроцессорных секций К1804BC2 нужно программировать местоположение каждой секции в много-разрядном устройстве обработки данных как младшей, средней и старшей, которое задается с помощью выводов LS, MS/W. Так, если сигнал на входе LS = 0, то микропроцессорная секция программируется как младшая и двунаправленный вывод MS/W работает как выход W.

Назначение выводов микросхемы К1804BC2 приведено в табл. 6.17.

Таблица 6.17

Номер вывода	Обозначение	Назначение
1, 48 2 3—6 42, 41, 7—9 35—32	PQ0, PQ3 EA DA0—DA3 10—18	Двунаправленный вывод сдвига регистра Вход разрешения передачи в БАЛ Вход данных Вход микрокоманды
10 11 12	C0 C4 P OVR	Вход переноса в АЛУ Выход переноса АЛУ Выход распространения переноса АЛУ — выход переполнения АЛУ
13 14	GND G F3	Общий вывод Выход генерации переноса АЛУ — выход старшего разряда результата АЛУ

Номер вывода	Обозначение	Назначение
15	OЕУ	Вход разрешения вывода данных с арифметическо-логического блока
16—19	Y0—Y3	Двунаправленный вывод данных
20, 21	PF0, PF3	Двунаправленный вывод младшего (старшего) разряда АЛУ
22	Z	Выход признака нуля — вход управления
23—26	DB0—DB3	Двунаправленный вывод данных
30—27	A0—A3	Вход адреса А
31	OEB	Вход разрешения вывода данных с блока внутренней памяти
36	U _{CC}	Питание
37	ER	Вход разрешения записи в блок внутренней памяти
38	EQ	Вход разрешения записи в регистр Q и разблокировки выхода W
39	LS	Вход фиксации положения младшей МПС
40	MS/W	Вход фиксации положения старшей МПС — выход признака записи в блок внутренней памяти
43	T	Тактовый вход
44—47	B0—B3	Вход адреса В

Основные характеристики

Разрядность команды ввода данных	4	по входам DB0—DB3, PF0, PF3, PQ0, PQ3	90
Разрядность канала вывода данных	4	по входам DA0—DA3, I0—I4	40
Число РОН	16	по остальным входам	20
Разрядность РОН	4	Входной ток низкого уровня	
Разрядность микрокоманды	9	$I_{вх}^0$, мА, не менее:	
Число информационных магистралей	2	по входу C0	—3,6
Потребляемая мощность, мВт, не более	1837	по входам Y0—Y3	—1,13
Период следования импульсов тактового сигнала, нс, не менее	120	по входам DB0—DB3, PF0, PF3, PQ0, PQ3	—0,77
Тик корпуса	2123.40-6	по входам DA0—DA3, I0—I4	—0,72
		по остальным входам	—0,36

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх}^1$ пор, В	2,0	Время задержки распространения сигнала от входов A3—A0, B3—B0 до выходов Y3—Y0, $t_{Y-A, в, нс}$, не более	100
Входное пороговое напряжение низкого уровня, $U_{вх}^0$ пор, В	0,8	Время задержки распространения сигнала от входа T до выходов Y3—Y0, $t_{Y-T, нс}$, не более	90
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1,6$ мА на выходах Y0—Y3, G/F3; при $I_{вых}^1 = -0,8$ мА на остальных выходах), не менее	2,4	Время задержки распространения сигнала от входов A3—A0, B3—B0 до выхода Z, $t_{Z-A, в, нс}$, не более	125
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = -8-20$ мА для различных выходов), не более	0,5	Время задержки распространения сигнала от входов I8—I0 до выходов Y3—Y0, $t_{Y-T, нс}$, не более	70
Ток потребления, $I_{пот}$, мА, не более	350		
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более:			
по входу C0	200		
по входам Y0—Y3	110		

Микросхемы K1804BY1 и K1804BY2 предназначены для формирования адреса микрокоманды, для установления последовательности микрокоманд, содержащихся в постоянном ЗУ или программируемом постоянном ЗУ. Предусмотрена возможность наращивания микропроцессорных секций K1804BY1, B1804BY2. БИС K1804BY1 и K1804BY2 имеют вход установки нулевого адреса (ZA), а БИС

К1804ВУ1, кроме того имеет вход маски (OR0 — OR3).

Микросхемы К1804ВУ1 и К1804ВУ2 (рис. 6.17) состоят из следующих блоков: регистра адреса, стека, счетчика микрокоманд, блока выборки адреса, буфера адреса. Но у микросхемы К1804ВУ2 отсутствуют входы маски (OR0 — OR3), а входы данных соединены с входами регистра адреса (R3 — R0).

Регистр адреса, состоящий из четырех триггеров Д, предназначен для хранения и передачи адреса в блок выборки адреса. Запись в регистр адреса производится по тактовому сигналу Т при RE = 0. Для микросхемы К1804ВУ1 информация, записываемая в регистр адреса, подается на входы R3 — R0, для микросхемы К1804ВУ2 — на входы D3 — D0.

Стек, состоящий из указателя стека, накопителя стека и схемы записи — считывания, предназначен для хранения адреса микрокоманды и обеспечивает переход с возвратом при выполнении микропрограммы. Изменение содержимого указателя стека происходит по положительному фронту сигнала Т. Управление работой стека осуществляется сигналом FE (сигнал отпирания стека) и сигналом PUP (сигнал изменения содержимого указателя стека). Запись в регистр накопителя стека, определяемый указателем стека, и увеличение содержимого указателя стека происходит при подаче тактового сигнала Т при FE = 0 и PUP = 1. При FE = 1 задается режим считывания адреса из регистра накопителя стека без изменения содержимого указателя стека. При подаче напряжения низкого уровня на входы FE и PUP происходит считывание адреса из регистра накопителя стека и уменьшение содержимого указателя стека.

Счетчик микрокоманд, включающий регистр счетчика микрокоманд и схему приращения, служит для преобразования и хранения информации, поступающей с выхода блока выборки адреса. Управление счетчиком микрокоманд осуществляется сигналом C0, причем, если C0 = 0, адрес с блока выборки адреса передается немодифицированным и по следующему сигналу Т выполняется та же микрокоманда. Таким образом одна и та же микрокоманда может выполняться любое число раз. Если сигнал на входе C0 = 1, то в счетчик микрокоманд по положительному фронту сигнала Т записывается адрес, представляющий собой текущее выходное слово, увеличенное на 1. При C0 = 1 на всех остальных входах счетчика микрокоманд с помощью схемы приращения формируется 1 на входе переноса C4.

Блок выборки адреса используется как источник для выборки адреса следующей микрокоманды, регистра адреса, прямых входов адреса, счетчика микрокоманд или стека в зависимости от состояния сигналов на входах S0 и S1. Адрес может быть модифицирован с помощью сигналов маски

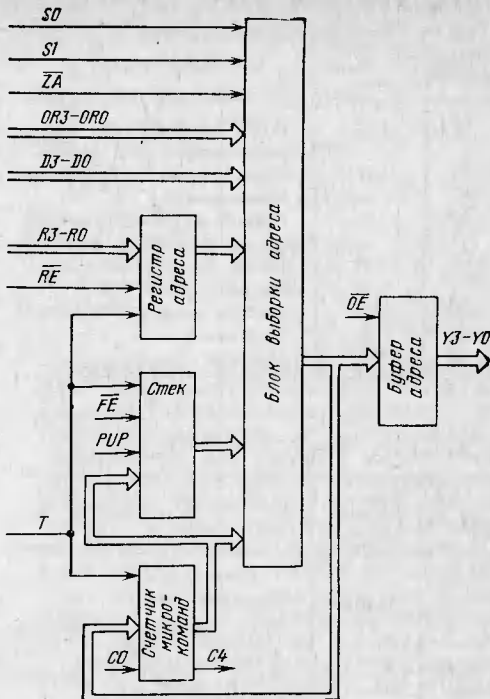


Рис. 6.17. Структурная схема БИС К1804ВУ1, К1804ВУ2

OR3 — OR0 для микросхемы К1804ВУ1, при этом подача 1 на вход маски (при ZA = 1) приводит к установлению 1 на соответствующем выходе.

Буфер адреса, имеющий на выходе состояние Выключено, передает на выход адрес, сформированный блоком выборки адреса, при сигнале на входе OE = 0.

Назначение выводов микросхем К1804ВУ1, К1804ВУ2 приведено в табл. 6.18 и 6.19.

Таблица 6.18

Номер вывода	Условное обозначение	Назначение
1	RE	Вход разрешения записи в регистр записи
2—5	R3—R0	Вход регистра адреса (разряды 3—0)
6, 8, 10, 12	OR3—OR0	Вход маски (разряды 3—0)
7, 9, 11, 13	D3—D0	Прямой вход адреса
14	GND	Общий
15	ZA	Вход установки нулевого адреса
16, 17	S0, S1	Вход выбора адреса
18—21	Y0—Y3	Выход адреса (разряды 0—3)

Номер вывода	Условное обозначение	Назначение
22	OE	Вход разрешения выбора адреса
23	CO	Вход переноса счетчика микрокоманд
24	C4	Выход переноса счетчика микрокоманд
25	FE	Вход разрешения управления стеком
26	PUP	Вход управления стеком
27	T	Тактовый вход
28	U _{CC}	Питание

Таблица 6.19

Номер вывода	Условное обозначение	Назначение
2	T	Тактовый вход
3	U _{CC}	Питание
4	RE	Вход разрешения записи в регистр адреса
5—8	D3—D0	Вход регистра адреса (разряды 3—0)
9	GND	Общий
10	ZA	Вход установки нулевого адреса
11, 12	S0, S1	Входы выбора адреса
13—16	Y0—Y3	Выход адреса (разряды 0—3)
17	OE	Вход разрешения выбора адреса
18	CO	Вход переноса счетчик микрокоманд
19	C4	Выход переноса счетчика микрокоманд
20	FE	Вход разрешения управления стеком
21	PUP	Вход управления стеком

Основные характеристики

Разрядность выходного адреса	4
Емкость адресуемой памяти	2 ⁴ⁿ
Разрядность маски	4
Разрядность шины данных	4
Потребляемая мощность, мВт, не более	683
Тип корпуса:	
K1804BY1	2121.28-6
K1804BY2	2108.22-1

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{\text{вх пор}}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{\text{вх пор}}^0$, В	0,8

Выходное напряжение высокого уровня, $U_{\text{вых}}^1$, В (при $I_{\text{вых}}^1 = -1$ мА), не менее 2,4

Выходное напряжение низкого уровня, $U_{\text{вых}}^0$, В (при $I_{\text{вых}}^0 = 12$ мА), не более 0,5

Ток потребления, $I_{\text{пот}}$, мА, не более 130

Входной ток высокого уровня, $I_{\text{вх}}^1$, мкА, не более:

по входам CO, PUP 40

по остальным входам 20

Входной ток низкого уровня, $I_{\text{вх}}^0$, мА, не менее:

по входу CO -1,08

по входам PUP, OE -0,72

по остальным входам -0,36

Время задержки распространения сигнала от входа T до выхода Y, t_{Y-T} , нс, не более 102

Микросхема K1804BY3 представляет собой схему управления следующим адресом и предназначена для формирования 16 управляющих команд. Микросхеме целесообразно использовать совместно с схемой управления адресом микрокоманды, т. е. микросхемой K1804BY1 (K1804BY2), причем одну ИС K1804BY3 можно использовать для управления несколькими схемами управления адресом микрокоманды при иерархизации разрядности.

Микросхема K1804BY3 состоит из следующих блоков (рис. 6.18): дешифратора, накопителя, буфера микрокоманды.

Дешифратор, построенный на основе матрицы памяти с 5 входами и 32 выходами используется для дешифрации входных сигналов микрокоманды 13—10 и сигнала признака ветвления TST. Накопитель, построенный на основе матрицы 32 × 8, используется для формирования управляющих сигналов под действием сигналов с выхода дешифратора. Буфер микрокоманды, состоящий из восьми логических элементов, каждый из которых имеет на выходе состояние Выключено, передает микрокоманды на выход схемы ИС K1804BY3 под действием сигнала разрешения выходов OE.

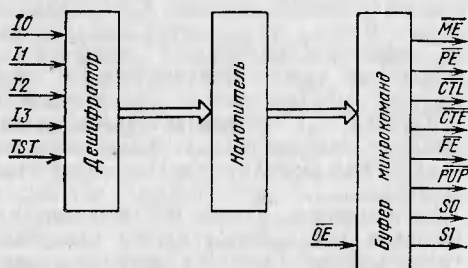


Рис. 6.18. Структурная схема БИС K1804BY3

При подаче входных сигналов микрокоманды (I3 — I0) и сигнала признака ветвления на вход схемы управления следующим адресом производится дешифрация этих сигналов. По сигналам с выхода дешифратора из накопителя считывается информация с выходов RE, CTL, STE, FE, PUP, S1, S0, ME в соответствии с ранее записанными кодами. При OE = 0 эта информация через буфер микрокоманды передается на выход, при OE = 1 выходы ИС K1804BY3 отключаются (состояние Выключено).

Назначение выводов микросхемы K1804BY3 приведено в табл. 6.20.

Таблица 6.20

Номер вывода	Условное обозначение	Назначение
1	ME	Выход разрешения работы программируемой логической матрицы
2	PUP	Выход управления стекком
3	FE	Выход разрешения управления стекком
4, 5	S1, S0	Выход выбора адреса
6	CTL	Выход разрешения загрузки счетчика
7	STE	Выход разрешения счета
8	GND	Общий
9	RE	Выход разрешения для регистра команд
10	TST	Вход признака ветвления
11—14	I0—I3	Вход микрокоманды (разряды 0—3)
15	OE	Вход разрешения выходов
16	U _{CC}	Питание

Основные характеристики

Число входов	5
Число выходов	8
Потребляемая мощность, мВт, не более	604
Тип корпуса	201.16-17

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх\text{пор}}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх\text{пор}}^0$, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -2$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = 16$ мА), не более	0,45
Ток потребления, $I_{пот}$, мА, не более	115

Входной ток высокого уровня,

$I_{вх}^1$, мкА, не более 25

Входной ток низкого уровня,

$I_{вх}^0$, мА, не менее -0,25

Время задержки распространения сигнала от входов I0—I3, TST до любого выхода, t_{q-TST} , нс, не более 50

Время задержки распространения сигнала от входа OE до любого выхода, t_{q-OE} , нс, не более 20

Микросхема K1804BY4, представляющая собой схему управления последовательностью микрокоманд, формирует последовательность адресов микрокоманд и предназначена для работы в составе блока управления цифрового вычислительного устройства. Микросхема, в частности, позволяет: формировать 12-разрядный адрес, выполнять условный или безусловный переход к любому адресу памяти емкостью 4096 слов, использовать стек глубиной 5, осуществлять любую последовательность микроинструкций обращения к стеку.

Микросхема K1804BY4 состоит из следующих блоков (рис. 6.19): блока управления следующим адресом, регистра адреса, стека, счетчика микрокоманд, блока выборки адреса, буфера адреса.

Блок управления следующим адресом вырабатывает сигналы управления для формирования адреса следующей микрокоманды при выполнении одной из 16 микроинструкций, задаваемой сигналами на входах I3 — I0. При выполнении каждой

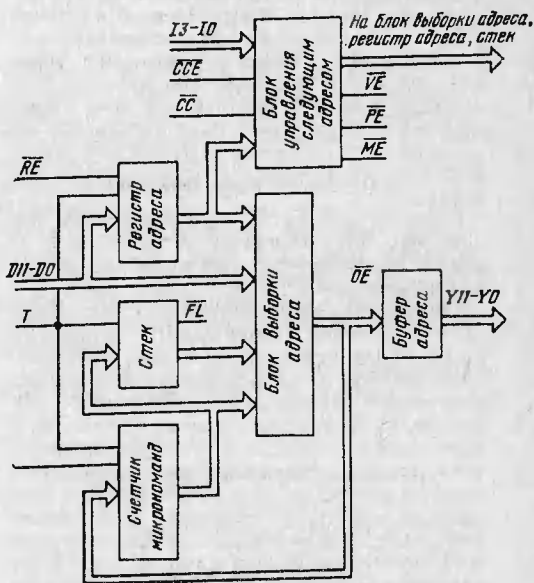


Рис. 6.19. Структурная схема БИС K1804BY4

микроинструкции одновременно с сигналами управления работой отдельных блоков микросхемы на одном из выходов (PE, ME, VE) вырабатывается сигнал разрешения выбора внешнего источника адреса, который обычно подключается к входам адреса D11 — D0. В качестве внешнего источника адреса можно использовать, например, регистр микрокоманд, преобразователь начального адреса или регистр прерывания с учетом значения сигналов на выходах PE, ME, VE.

Выполнение большинства микроинструкций (12 из 16) зависит от выполнения некоторого условия, в качестве которого используется либо значение сигнала равенства нулю содержимого регистра адреса (две микроинструкции), либо значение сигналов на входах СС и ССЕ (девять микроинструкций), либо их совокупность (в каналах I0 — I3 присутствует код «Все единицы»). Сигнал равенства нулю содержимого регистра адреса ((РА) = 0) вырабатывается формирователем признака нуля, входящим в состав блока управления следующим адресом, после уменьшения содержимого регистра адреса на величину, равную адресу, записанному в него до изменения, плюс 1. При выполнении микроинструкции Начальная установка (в каналах I0 — I3 присутствует код «Все нули») формируется нулевой адрес, устанавливающийся в нуль регистр адреса, счетчик микрокоманд (если на входе C0 = 0), указатель стека.

Регистр адреса, состоящий из 12 триггеров, предназначен для хранения адреса, записанного через адресные входы, и используется в качестве счетчика. Информация записывается в него с адресных входов D11 — D0 по положительному фронту тактового сигнала Т при сигнале на входе RE = 0 или с сигнала управления записью, поступающего с блока управления следующим адресом. В зависимости от выполняемой микроинструкции при RE = 1 содержимое регистра может быть уменьшено на единицу по положительному фронту тактового сигнала (вплоть до установления его в нуль).

Стек, состоящий из указателя стека, накопителя стека и схемы записи — считывания, предназначен для хранения адреса микрокоманды и обеспечивает переход с возвратом при выполнении микропрограммы. Изменение содержимого указателя стека, представляющего собой реверсивный счетчик, и запись в один из пяти 12-разрядных регистров, составляющих накопитель стека, происходит по положительному фронту сигнала Т. Управление работой стека осуществляется сигналами, вырабатываемыми блоком управления следующим адресом. Указатель стека определяет регистр накопителя стека, содержащий информацию, записанную в стек последней. При записи в стек содержимое указателя стека увеличивается на 1, при считывании — уменьшается на 1.

Схема управления последовательностью микрокоманд позволяет осуществлять любую последовательность микроинструкций при обращении к стеку. При переходе указателя стека в состояние 5 на выходе признака стека (FL) формируется напряжение низкого уровня — стек заполнен. При записи в заполненный стек состояние указателя стека не изменяется, происходит запись информации вновь в тот регистр накопителя стека, который определен указателем стека.

Счетчик микрокоманд, включающий регистр счетчика микрокоманд, построенный на 12 триггерах D, и схему приращения, предназначен для преобразования и хранения адреса, поступающего с выхода блока выбора адреса. Управление счетчиком осуществляется сигналом C0, причем если C0 = 0, адрес с блока выборки адреса передается немодифицированным и по следующему сигналу Т выполняется та же микрокоманда. Если C0 = 1, то в счетчик по положительному фронту сигнала на входе Т записывается адрес, представляющий собой текущий выходной адрес, увеличенный на 1.

Блок выборки адреса в зависимости от сигналов, вырабатываемых блоком управления, выбирает адрес или из регистра адреса, из стека, из счетчика микрокоманд или с входов адреса (D11 — D0). Буфер адреса передает адрес с блока выборки на выходы Y11 — Y0, имеющие на выходе состояние Выключено, при сигнале на входе разрешения выбора адреса 0E = 0. При 0E = 1 выходы Y11 — Y0 отключаются (состояние Выключено).

Назначение выходов микросхемы K1804BY4 приведено в табл. 6.21.

Таблица 6.21

Номер выхода	Обозначение	Наименование
33, 35, 37, 39, 1, 3, 18, 20, 22, 24, 26, 28, 34, 36, 38, 40, 2, 4, 17, 19, 21, 23, 25, 29	U0 — U11	Выход адреса
5	D0 — D11	Вход адреса
6	VE	Выход разрешения источника адреса
7	PE	Выход разрешения для регистра микрокоманд
8, 9, 11, 12	ME	Выход разрешения для преобразователя начального адреса
10	I3 — I0	Вход микрокоманды
13	U _{CC}	Питание
	CCE	Вход разрешения условия

Номер вывода	Обозначение	Наименование
14	CC	Вход условия
15	RE	Вход разрешения записи в регистр адреса
16	FL	Выход признака заполнения стека
29	OE	Вход разрешения выбора адреса
30	GND	Общий
31	T	Тактовый вход
32	CO	Вход переноса в счетчик микрокоманд

Основные характеристики

Разрядность адреса	12
Емкость адресуемой памяти слов	4096
Число уровней стека	5
Потребляемая мощность, мВт, не более	1806
Время цикла, нс, не менее	125
Тип корпуса	2123.40-6

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх\ пор}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх\ пор}^0$, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1,6$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{вых}^0$, В (при $I_{вых}^0 = -12$ мА на выходах Y0—Y11; при $I_{вых}^0 = 8$ мА на остальных выходах), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	340
Входной ток высокого уровня, $I_{вх}^0$, мкА, не более:	
по входу Т	100
по входу CC	50
по входам D0—D11	80
по входам I0—I3, OE, RE	40
по входам CO, CCE	30
Входной ток низкого уровня, $I_{вх}^0$, мА, не менее:	
по входу Т	—2,14
по входу CC	—1,31
по входам D0—D11	—0,87
по входам I0—I3, OE, RE	—0,72
по входам CO, CCE	—0,54
Время задержки распространения сигнала от входа Т до выходов Y0—Y11, t_{Y-T} , нс, (при $C_H = 50$ пФ), не более	125

Время задержки распространения сигнала от входа Т до выхода FL, t_{FL-T} , нс (при $C_H = 50$ пФ), не более 60

Время задержки распространения сигнала от входов D0—D11 до выходов Y0—Y3, нс (при $C_H = 50$ пФ), не более 20

Микросхема K1804ИР1 представляет собой 4-разрядный регистр, предназначенный для хранения информации и работы на общую шину микро-ЭВМ. Для получения регистра любой разрядности возможно наращивание путем использования нескольких микросхем K1804ИР1.

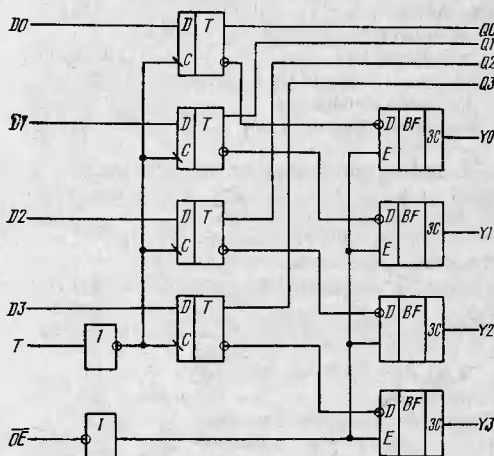


Рис. 6.20. Структурная схема БИС K1804ИР1

Регистр K1804ИР1 (рис. 6.20) состоит из четырех триггеров D и четырех буферов, имеющих на выходе состояние Выключено. Запись информации в регистр со входов данных (D3 — D0) происходит по положительному фронту тактового сигнала Т. Информация, записанная в регистр, считывается либо с прямых выходов триггеров (Q3 — Q0), либо с выходов буферов (BF, Y3 — Y0). Считывание с Y3 — Y0 осуществляется при OE = 0. При OE = 1 выходы Y3 — Y0 находятся в состоянии «Выключено».

Назначение выводов микросхемы K1804ИР1 приведено в табл. 6.22.

Таблица 6.22

Номер вывода	Условное обозначение	Назначение
1, 4, 12, 15	D0—D3	Вход данных (разряды 0—3)

Номер вывода	Условное обозначение	Назначение
2, 5, 11, 14	Q0—Q3	Выход данных (разряды 0—3)
3, 6, 10, 13	Y0—Y3	Управляемый выход (разряды 0—3)
7	OE	Вход разрешения выходов Y
8	GND	Общий
9	T	Тактовый вход
16	U _{CC}	Питание

Основные характеристики

Разрядность	4
Потребляемая мощность, мВт, не более	683
Частота тактового сигнала, МГц, не более	50
Тип корпуса	201.16-11

Основные электрические параметры

Входное пороговое напряженное высокого уровня, $U_{\text{вх пор}}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{\text{вх пор}}^0$, В	0,8
Выходное напряжение высоко- го уровня на выводах Y, $U_{\text{вых}}^1$, В (при $I_{\text{вых}}^1 = -2$ мА), не менее	2,4
Выходное напряжение высоко- го уровня на выводах Q, $U_{\text{вых}}^1$, В (при $I_{\text{вых}}^1 = -1$ мА), не менее	2,7
Выходное напряжение низкого уровня, $U_{\text{вых}}^0$, В (при $I_{\text{вых}}^0 =$ $= 20$ мА), не более	0,5
Ток потребления, $I_{\text{пот}}$, мА, не более	130
Входной ток высокого уровня, $I_{\text{вх}}^1$, мкА, не более	50
Входной ток низкого уровня, $I_{\text{вх}}^0$, мА, не менее	-2,0
Период тактового сигнала, T_t , нс, не менее	20
Время задержки распростране- ния сигнала от входа Т до выходов Q, Y, t_{Y-T} , нс, не более	17

Микросхема K1804BP1 — схема ускоренного переноса, позволяет организовать параллельные цепи переноса в процессоре разрядностью до 16, а каскадное соединение БИС K1804BP1 обеспечивает организацию цепи переноса в процессоре разрядностью более 16. Схема ускоренного переноса (рис. 6.21) принимает до четырех пар сигналов распространения и генерации переноса (P0 — P3, G0 — G3). Сигнал

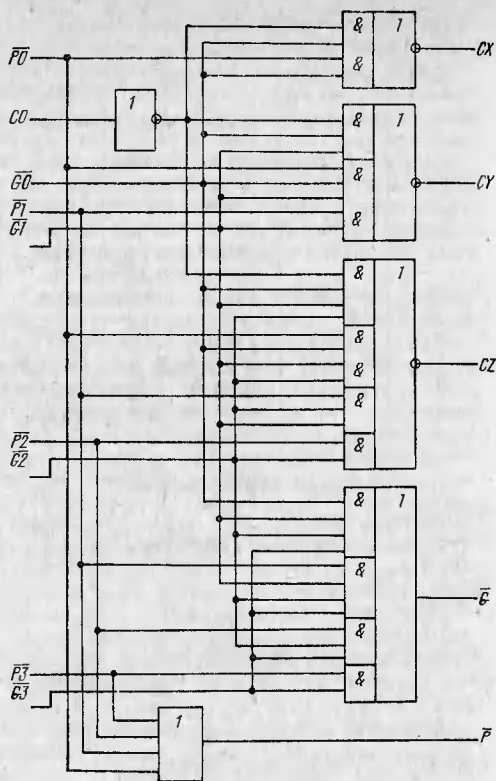


Рис. 6.21. Структурная схема БИС К1804ВР1

выходного переноса, поступающий на вход С0, формирует сигналы выходного переноса (СХ, СУ, СZ, Р) и сигнал генерации переноса на выходах (G).

Назначение выводов микросхемы К1804ВР1 приведено в табл. 6.23.

Таблица 6.23

Номер вывода	Условное обозначение	Назначение
3, 1,	G0—G3	Вход генерации переноса (разряды 0—3)
14, 5		
4, 2,	P0—P3	Вход распространения переноса (разряды 0—3)
15, 6		
7	P	Выход распространения переноса
8	GND	Общий
9	CZ	Выход переноса сигналов старшей группы
10	G	Выход генерации переноса
11	CY	Выход переноса сигналов средней группы
12	CX	Выход переноса сигналов младшей группы
13	C0	Вход переноса
16	U _{CC}	Питание

Основные характеристики

Разрядность	4
Потребляемая мощность, мВт, не более	572
Тип корпуса	201.16-11

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{\text{вх пор}}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{\text{вх пор}}^0$, В	0,8
Выходное напряжение высокого уровня, $U_{\text{вых}}^1$, В (при $I_{\text{вых}}^1 = -0,8$ мА), не менее	2,4
Выходное напряжение низкого уровня, $U_{\text{вых}}^0$, В (при $I_{\text{вых}}^0 = 16$ мА), не более	0,5
Ток потребления, $I_{\text{пот}}$, мА, не более	109
Входной ток высокого уровня, $I_{\text{вх}}^1$, мкА, не более:	
по входу C0	50
по входу P3	100
по входу P2	150
по входам P0, P1, G3	200
по входам G0, G2	350
по входу G1	400
Входной ток низкого уровня, $I_{\text{вх}}^0$, мА, не менее:	
по входу C0	-2,0
по входу P2	-6,0
по входу P3	-4,0
по входам P0—P1, G3	-8,0
по входам G0, G2	-14,0
по входу G1	-16,0
Время задержки распространения сигнала от входов P_i — G_i до выходов CX, CY, CZ, $t_{C_i-P_i(G_i)}$, нс, не более	10
Время задержки распространения сигнала от входов P_i , C_i до выхода G, $t_{G_i-P_i(G_i)}$, нс, не более	15
Время задержки распространения сигнала от входа C0 до выходов CX, CY, CZ, $t_{C_i-C_0}$, нс, не более	15
Время задержки распространения сигнала от входов P_i до выхода P, t_{P-P_i} , нс, не более	12

Микросхема К1804ВР2 — схема управления состоянием и сдвигом, предназначена для работы в составе блока обработки данных цифрового вычислительного устройства.

Микросхема К1804ВР2 позволяет: выполнять операции как над всем 4-разрядным словом состояния, так и над каждым признаком состояния; формировать сигнал условия в течение одного такта про-

верки условия, используя результат одной из 16 операций над признаками состояния, находящимися как в регистрах схемы, так и поступающими на выходы признаков; вырабатывать сигнал переноса в зависимости от выборки одного из семи источников переноса; организовать любой из 32 вариантов сдвига, одинарной или двойной длины (арифметический, логический, циклический).

Микросхема состоит из следующих блоков (рис. 6.22): блока хранения и модификации признаков, блока проверки условия, блока управления переносом, блока управления сдвигом, блока управления.

Блок, хранения и модификации признаков, состоящий из двух 4-разрядных регистров состояния (Pr^M , Pr^S), трех мультиплексоров (MUX^M , MUX^S , MUX^P), буфера признаков, предназначен для обработки признаков состояния: ноль (Z), перенос (C), знак (N), переполнение (V). Запись признаков в регистры состояния, построенные на триггерах D , происходит по положительному фронту сигнала на входе D при наличии сигнала разрешения записи.

Блок проверки условия формирует сигнал условия (прямой и инверсный) в зависимости от результата обработки призна-

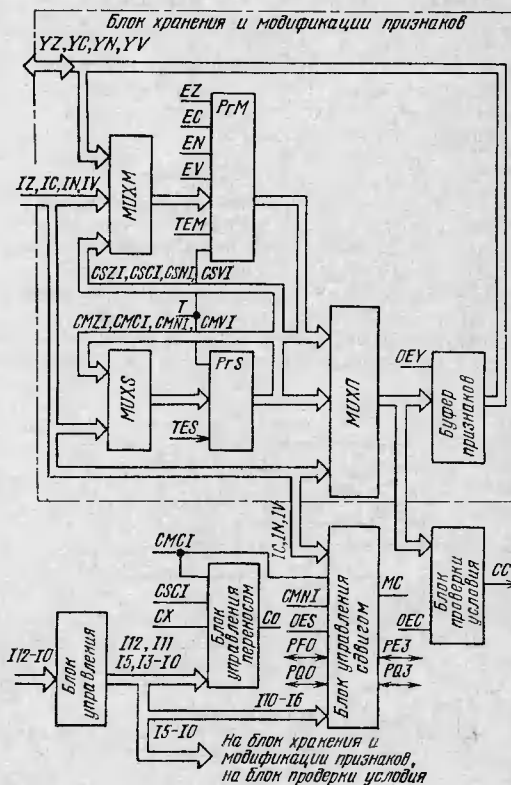


Рис. 6.22. Структурная схема БИС К1804ВР2

ков состояния, поступающих с регистров состояния блока хранения и модификации признаков или входов признаков. Состояние Выключено на выводе СС управляется напряжением низкого уровня на входе ОЕС. Блок управления переносом формирует сигнал переноса С0 в зависимости от выполняемой команды (I12, I11, I5, I3 — I0) с учетом сигнала на входе СХ и разрядов знака регистров RrM и PrS.

Блок управления сдвигом предназначен для формирования сигналов управления при организации арифметических, логических и циклических сдвигов в зависимости от значения сигналов микрокоманды (32 варианта). Выходы PF0, PF3, RQ0, RQ3 — тристабильные, управляемые сигналом OES = 0. Блок управления, представляющий собой комбинационную схему, преобразует сигналы микрокоманды со входов I12 — I0 в сигналы управления всеми остальными блоками.

Любая операция в схеме осуществляется за один такт.

Назначение выводов микросхемы K1804BP2 приведено в табл. 6.24.

Таблица 6.24

Номер вывода	Обозначение	Назначение
18, 19, 21, 6—3, 1, 40—38, 22, 23, 2	I0—I12	Вход микрокоманды
7	TES	Вход разрешения записи в PrS
13, 15, 9, 12, 14, 16	TEM	Вход разрешения записи в RrM
8, 11, 13, 15, 9, 12, 14, 16	EZ, EC, EN, EV, IZ, IC, IN, IV	Вход разрешения записи в разряд К RrM
10, 17, 20	U _{CC} , Т, OEY	Вход признака состояния: ноль (Z), перенос (С), знак (N), переполнение (V)
24, 25, 26	CX, CO, OEC	Питание
27, 28, 29, 31, 32	CC, YV, YN, YC, YZ	Тактовый вход
30, 33, 34	GND, PQ3, PQ0	Вход разрешения вывода признаков состояния
35, 36	PF3, PF0	Вход переноса
37	OES	Выход переноса
		Вход разрешения вывода условия
		Вход условия
		Двунаправленный вывод признака состояния: V, N, C, Z
		Общий
		Двунаправленный вывод сдвига RrQ
		Двунаправленный вывод сдвига разряда ALU
		Вход разрешения выполнения сдвига

Основные характеристики

Число информационных шин	2
Число регистров	2
Потребляемая мощность, мВт, не более	1670
Тип корпуса	2123.40-6

Основные электрические параметры

Входное пороговое напряжение высокого уровня, $U_{вх\ пор}^1$, В	2,0
Входное пороговое напряжение низкого уровня, $U_{вх\ пор}^0$, В	0,8
Выходное напряжение высокого уровня, $U_{вых}^1$, В (при $I_{вых}^1 = -1,6$ мА на выходах YZ, YC, YN, YV; при $I_{вых}^1 = -0,8$ мА на остальных выходах), не менее	2,4
Выходное напряжение низкого уровня $U_{вых}^0$, В (при $I_{вых}^0 = 24$ мА на выходах YZ, YC, YN, YV; при $I_{вых}^0 = 8$ мА на остальных выходах), не более	0,5
Ток потребления, $I_{пот}$, мА, не более	320
Входной ток высокого уровня, $I_{вх}^1$, мкА, не более: по входам PF0, PF3, PQ0, PQ3	110
по входам TEM, TES	80
по входам IZ, IC, IN, IV	60
по входам Т, I0—I12, EZ, EC, EN, EV, OEY, OEC, CX	20
по входам YZ, YC, YN, YV	70
Входной ток низкого уровня, $I_{вх}^0$, мА, не менее: по входам PF0, PF3, PQ0, PQ3, OES	—1,35
по входам TEM, TES	—1,8
по входам IZ, IC, IN, IV	—1,2
по входу Т	—0,7
по входам I0—I12, EZ, EC, EN, EV, YZ, YC, YN, YV, OEY, OES, CX	—0,45
Время задержки распространения сигнала от любого входа до выходов YZ, YC, YN, YV, нс, не более	50
Время задержки распространения сигнала от любого входа до выхода СС, t_{CC} , нс, не более	60
Время задержки распространения сигнала от любого входа до вывода сдвига, t_{PQ} , нс, не более	45

МИКРОСХЕМЫ НА ОСНОВЕ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ

Глава 7

Характеристики и параметры микросхем серии 500

7.1. Общие сведения

Интегральные схемы на основе эмиттерно-связанной логики (ЭСЛ) получили широкое распространение в качестве элементной базы быстродействующей вычислительной и радиоэлектронной аппаратуры [17]. Микросхемы на основе ЭСЛ имеют ряд достоинств, которые обеспечили их преимущество перед другими микросхемами при построении данного класса аппаратуры: хорошая схемно-технологическая отработанность и, как следствие, сравнительно невысокая стоимость при изготовлении; высокое быстродействие при средней потребляемой мощности или сверхвысокое быстродействие при большой потребляемой мощности;

малая энергия переключения, т. е. малое произведение времени задержки на потребляемую мощность;

высокая относительная помехоустойчивость;

высокая стабильность динамических параметров при изменении рабочей температуры и напряжения питания;

большая нагрузочная способность; независимость тока потребления от частоты переключения;

способность ИС работать на низковольтные согласованные линии связи и нагрузки; широкий функциональный набор микросхем;

удобство применения в условиях повышенной плотности компоновки с использованием многослойного печатного монтажа и низкоомных коаксиальных и плоских кабелей.

В настоящее время ИС ЭСЛ являются самыми быстродействующими микросхемами, выпускаемыми промышленностью как у нас в стране, так и за рубежом. Опыт проектирования аппаратуры показывает, что применение ИС ЭСЛ оптимально для построения быстродействующих радиоэлектронных устройств, в частности ЭВМ высокого быстродействия, и менее эффективно при разработке радиоэлектронных устройств малого и среднего быстродействия.

Примером современных ИС ЭСЛ являются быстродействующие ИС серии 500 [1—3]

со следующими типовыми параметрами: время задержки элемента 1,5—2,0 нс; потребляемая элементом мощность 8—25 мВт (в ненагруженном состоянии); уровень интеграции — от единиц до 80 логических элементов на кристалле; амплитуда логического сигнала 0,8 В; напряжение источника — 5,2 В; нагрузка — согласованные линии связи сопротивлением 50, 75 и 100 Ом; функциональный набор микросхем 48 модификаций. Для совместного использования с ЭСЛ ИС в качестве местных, буферных и управляющих микросхем памяти разработаны большие интегральные схемы (БИС) полупроводниковых оперативных запоминающих устройств (ОЗУ) емкостью 64, 256, 1024 и 4096 бит и постоянных ЗУ (ПЗУ) емкостью 1024 бит с временем выборки от 10 до 45 нс.

Кроме микросхем серии 500, выпускаемых в корпусе со штыревыми выводами, отечественная промышленность выпускает аналогичные ИС ЭСЛ в корпусе с планарными выводами (серия 100) и в бескорпусном исполнении с микровыводами (серия 700). Микросхемы ЭСЛ отечественной серии 500 являются схемотехническим, функциональным и конструктивным аналогом зарубежных микросхем серии MC 10000 [18].

Высокие технико-экономические характеристики ИС ЭСЛ серии 500, а также требования унификации и стандартизации стали причиной выбора их в качестве основной элементной базы ЭВМ Единой Системы (РЯД-2). На основе быстродействующих ИС ЭСЛ серии 500 построены ЭВМ общего назначения ЕС1035, ЕС1045, ЕС1060, ЕС1065, ЕС1066 и другие технические средства ЕС ЭВМ.

7.2. Электрические схемы и принцип работы логических элементов

В основе электрических схем ЭСЛ элементов серии 500 лежат быстродействующие транзисторные каскады: с эмиттерной противосвязью, с общей базой и общим коллектором [19]. Сочетание двух первых каскадов образует своеобразную

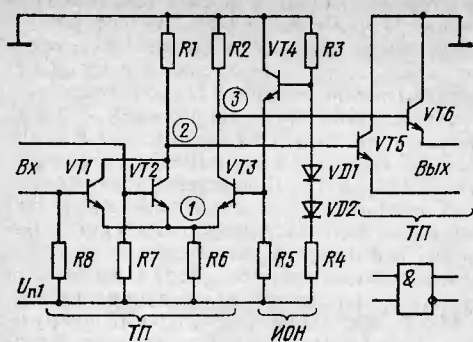


Рис. 7.1. Электрическая схема базового ЭСЛ элемента 2И/2И—НЕ серии 500

электрическую схему — токовый переключатель, которая является схемотехнической и логической основой ЭСЛ элемента. Электрическая схема базового ЭСЛ элемента 2И/2И — НЕ серии 500 состоит из трех цепей: токового переключателя (ТП), выходных эмиттерных повторителей (ЭП) и источника опорного напряжения (ИОН) (рис. 7.1) [1].

Токовый переключатель, построенный на транзисторах $VT1 - VT3$ и резисторах $R1, R2, R6 - R8$, представляет собой дифференциальный усилитель, работающий в ключевом режиме и имеющий два или несколько входов. Увеличение числа входов ТП достигается подключением дополнительных входных транзисторов, параллельно транзисторам $VT1$ и $VT2$. Токовый переключатель предназначен для получения первой ступени логических функций, усиления входных сигналов по мощности (в основном по току), формирования паразитных (прямого и инверсного) выходных сигналов и обеспечения требуемой помехозащищенности элемента.

Выходные ЭП, выполненные на транзисторах $VT5$ и $VT6$, служат для образования второй ступени логики, усиления выходных сигналов по мощности, получения заданной нагрузочной способности при работе на линии связи и другие элементы. Кроме того, выходные ЭП смещают уровни сигналов ТП по напряжению и обеспечивают тем самым совместимость ЭСЛ элементов по входу и выходу.

Источник опорного напряжения, построенный на транзисторе $VT4$, термокомпенсирующих диодах $VD1$ и $VD2$, резисторах $R3 - R5$, предназначен для обеспечения ТП заданным опорным напряжением, относительно которого происходит переключение в ТП. Источник обслуживает опорным напряжением, как правило, несколько логических элементов на одном кристалле. При наличии более сложных логических и запоминающих элементов на кристалле ИОН формирует и другие опорные напряжения, необходимые для обеспечения работоспособности ИС.

При использовании в ЭСЛ элементе, так называемой, отрицательной логики лог. 0 соответствует высокий, более положительный уровень сигнала ($-0,9$ В), лог. 1 — низкий, более отрицательный уровень сигнала ($-1,6$ В). В отрицательной логике базовый ЭСЛ элемент выполняет функцию 2И/2И — НЕ. Заметим, что в положительной логике лог. 0 соответствует низкий уровень сигнала, а лог. 1 — высокий. В положительной логике базовый ЭСЛ элемент выполняет функцию 2ИЛИ/2ИЛИ—НЕ. Деление на отрицательную или положительную логику является условным, а выбор ее определяет разработчик вычислительной или радиоэлектронной аппаратуры в зависимости от логического базиса. Однако хорошее знание выполняемых ИС ЭСЛ микросхемами логических функций в отрицательной и положительной логике позволяет разработчику более экономно проектировать устройства.

Амплитуда логического сигнала ЭСЛ элемента равна $0,8$ В, опорное напряжение $U_{оп} = -1,3$ В (средний уровень между высоким и низким логическими уровнями сигнала). Приведенные численные значения параметров являются типовыми, на практике они получаются с естественными технологическими разбросами. Микросхемы на основе ЭСЛ с разбросами параметров, превышающими допустимые нормы по технической документации, признаются негодными и на выходном контроле предприятия-изготовителя бракуются.

Базовый ЭСЛ элемент работает следующим образом. При наличии нижнего уровня сигнала $-1,7$ В на входах элемента транзисторы $VT1$ и $VT2$ закрыты, а транзистор $VT3$ открыт, так как напряжение на его базе выше, чем на базах входных транзисторов. При опорном напряжении $-1,3$ В и падении напряжения на эмиттерном переходе открытого транзистора $VT3$, равном $0,75$ В, напряжение в эмиттерном узле (точка 1) составляет $-2,05$ В. Падение напряжения на эмиттерных переходах транзисторов $VT1$ и $VT2$ равно $0,35$ В. При таком напряжении кремниевые транзисторы $VT1$ и $VT2$ практически закрыты, и ток через них не протекает. Электрический ток, значение которого задается сопротивлением резистора $R6$, протекая через транзистор $VT3$, создает падение напряжения на резисторе $R2$. Некоторое дополнительное падение напряжения на резисторе $R2$ получается за счет базового тока транзистора $VT6$, выходного ЭП, который всегда открыт. Соотношение сопротивлений резисторов $R2$ и $R6$ выбрано таким образом, чтобы с учетом базового тока транзистора $VT6$ в коллекторном узле 3 сформировалось напряжение $-0,9$ В. Транзисторы $VT5$ и $VT6$ выходных ЭП работают постоянно в активном режиме, и падение напряжения на их эмиттерных переходах при рабочем токе составляет примерно $0,8$ В. Таким образом, на прямом

выходе ЭСЛ элемента формируется напряжение лог. 1 ($-1,7$ В).

В коллекторном узле 2 под действием базового тока транзистора $VT5$ ЭП, протекающего через резистор $R1$, создается напряжение $-0,1$ В. Учитывая падение напряжения на эмиттерном переходе транзистора $VT5$, на инверсном выходе ЭСЛ элемента формируется напряжение лог. 0 $-0,9$ В. При подаче хотя бы на один выход ЭСЛ элемента высокого напряжения $-0,9$ В открывается входной транзистор, и весь ток ТП протекает по цепи резистор $R1$ — входной транзистор ($VT1$ или $VT2$) — резистор $R6$. В эмиттерном узле 1 устанавливается напряжение $-1,65$ В, которое запирает транзистор $VT3$, в коллекторном узле 2 $-0,9$ В, а в коллекторном узле 3 $-0,1$ В. В данном случае состояние выходов изменилось: на прямом выходе формируется напряжение лог. 0 $-0,9$ В, а на инверсном — напряжение лог. 1 $-1,7$ В. Напряжение лог. 1 на прямом выходе ЭСЛ элемента получается, когда на первый и второй входы ЭСЛ элемента подана лог 1. Таким образом, в отрицательной логике ЭСЛ элемент выполняет функцию И на прямом выходе и функцию И—НЕ — на инверсном. В положительной логике осуществляются, соответственно, функции ИЛИ/ИЛИ—НЕ.

Напряжение основного источника питания $U_{пн}$ ЭСЛ элемента составляет $-5,2$ В. Для нормального функционирования ЭСЛ элемента выходные ЭП должны иметь нагрузочные резисторы, которые можно подключать к тому же источнику $U_{пн}$. Для достижения быстродействующей работы целесообразно выбирать нагрузочные резисторы ($240-500$ Ом), на которых рассеивается большая мощность. Для получения второй ступени логики (монтажное И в отрицательной логике и монтажное ИЛИ в положительной) часто объединяют два или несколько выходов различных ЭСЛ элементов на одном нагрузочном резисторе. Постоянно подключенные на выходе нагрузочные резисторы не позволили бы использовать монтажную логику, так как подключение нескольких нагрузочных резисторов при одном работающем выходном транзисторе (остальные могут электрически отключаться) привело бы к перегрузке данного транзистора. Для снижения рассеиваемой мощности и возможности организации монтажной логики на выходе ЭСЛ элемента нагрузочные резисторы выходных ЭП в ИС серии 500 вынесены за пределы микросхемы и могут подключаться к другому источнику напряжения питания, например $-2,0$ или $-2,4$ В. Микросхемы серии 500 спроектированы таким образом, что нагрузочные резисторы могут быть низкоомными: $50, 75, 100$ Ом в первом случае и $75, 100$ Ом во втором. При включении указанных резисторов в конце линии связи при последовательном обходе микросхем-нагрузок и при равенстве их сопротивления волновому сопротивлению ли-

нии они выполняли роль не только нагрузочных, но и согласующих резисторов.

Источник опорного напряжения построен на основе ЭП, выполненного на транзисторе $VT4$ и резисторе $R5$. Для получения требуемого опорного напряжения $-1,3$ В база транзистора $VT4$ подключена к делительной цепочке из резисторов $R3, R4$ и диодов $VD1, VD2$. Вследствие особенностей схемотехники ЭСЛ элементов серии 500 температурные зависимости выходного напряжения лог. 0 и лог. 1 несколько отличаются друг от друга. Чтобы выдержать среднюю температурную зависимость $U_{оп}$ в ИОН используются термокомпенсирующие диоды $VD1$ и $VD2$. Отсутствие их привело бы к несимметричности статических и динамических характеристик ЭСЛ элемента в диапазоне рабочих температур.

Резисторы $R7$ и $R8$ служат для стекания обратного базового тока и надежного запираания неиспользуемых (незадействованных) входных транзисторов. При их отсутствии самоотпирание незадействованных входных транзисторов будет мешать нормальной работе ЭСЛ элемента и потребует внешнее принудительное подключение таких входов к источнику отрицательного напряжения (не выше напряжения лог. 1).

Особенностью схемотехнического решения ЭСЛ элемента является применение раздельного подключения шины земли к цепям ТП и ИОН с одной стороны, и к цепи ЭП с другой. В рассматриваемых цепях наблюдается принципиально различный характер потребления электрического тока из шины электропитания в режиме переключения элемента: в первом случае ток практически постоянный, во втором — импульсный, причем его значение тем больше, чем ниже сопротивление нагрузки на выходе элемента. Поскольку шина земли от печатной платы к кристаллу микросхемы имеет индуктивный характер, то импульсные токи на ней генерируют импульсное напряжение, которое при подключении коллекторов транзисторов $VT5$ и $VT6$ к общей шине земли представляло бы помеху, проходящую через $R1$ и $R2$ на выходы ЭСЛ элемента. В этом случае существенно повысился бы уровень помех в системе.

Как уже указывалось базовый ЭСЛ элемент выполняет в отрицательной логике логическую функцию И/И—НЕ. Для расширения логических возможностей ЭСЛ элементов используется ряд схемотехнических приемов. Для получения второй ступени логики выходы двух или нескольких ЭСЛ элементов объединяют на одном нагрузочном резисторе (рис. 7.2). В данном случае используется свойство любого ЭП, выполненного на $n-p-n$ транзисторе, поддерживать высокий уровень лог. 0, если даже транзисторы остальных ЭП выключены. Напряжение лог. 1 на выходе такого монтажного или эмиттерного объединения формируется только в том случае, если все ЭП переключаются в состояние

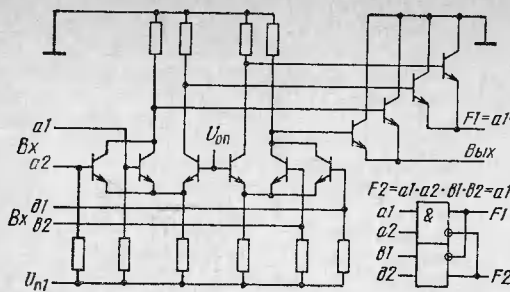


Рис. 7.2. Электрическая схема эмиттерного объединения выходов ЭСЛ элементов серии 500

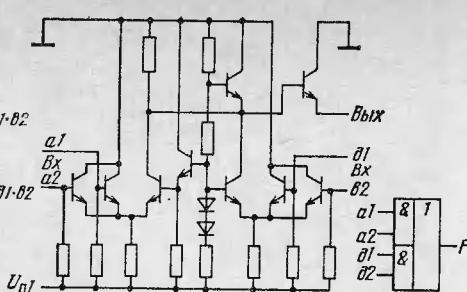


Рис. 7.3. Электрическая схема коллекторно-го объединения ЭСЛ элементов серии 500

лог. 1. В отрицательной логике эмиттерное объединение на выходе ЭСЛ элементов обеспечивает выполнение функции И (в положительной логике функции ИЛИ). При объединении прямых выходов ЭСЛ элементов получается функция И многих переменных. Этим включением пользуются в том случае, когда число входов элементов недостаточно для образования требуемой функции. (Чаше применяют объединение инверсных выходов ЭСЛ элементов.) В данном случае получается двухступенчатая функция И — ИЛИ — НЕ, широко используемая в аппаратуре.

Для получения логической функции И — ИЛИ применяют коллекторное объединение внутри ТП (рис. 7.3). Здесь два (или несколько) прямых плеча ТП объединяют на одном коллекторном резисторе. Чтобы двойное (или более) увеличение тока на коллекторе не вызывало существенного увеличения падения напряжения, которое привело бы транзисторы ТП в режим насыщения, предусмотрена специальная электрическая цепь, отводящая избыточный ток и ограничивающая амплитуду напряжения на коллекторе прямого плеча ТП.

Для еще большего расширения логических возможностей ЭСЛ элементов приме-

няют двух- или трехуровневое переключение тока в ТП. Сущность двух- или многоуровневого переключения заключается в том, что один и тот же ток ТП два или более раз переключается на разных уровнях, смещенных относительно друг друга на определенное напряжение. Для переключения транзисторов на этих новых уровнях напряжения на входе ТП включают ЭП, смещающие входные сигналы по напряжению (рис. 7.4). На основе двух- и трехуровневых ТП схемотехническими методами построены быстродействующие ЭСЛ элементы серии 500, выполняющие функции запоминания информации, сложения по модулю 2 и мультиплексирования на входе синхронных триггеров. Такие сложные функции выполняются в одном элементе быстрее, с меньшими затратами мощности и на меньшем числе компонентов, чем аналогичные схемы на логических элементах И, И — НЕ, И — ИЛИ, И — ИЛИ — НЕ.

Таким образом, особенностью быстродействующих ЭСЛ микросхем серии 500 является широкое использование схемотехнических решений для получения разнообразных, в том числе сложных логических функций в элементах. Причем сама схемотехника ЭСЛ элементов является функционально гибкой и предоставляет разработчикам широкие возможности. Она позволяет более эффективно реализовывать сложные логические и запоминающие функции по сравнению, например, с ИС ТТЛ.

7.3. Особенности технологии

Микросхемы серии 500 изготавливают по полупроводниковой диффузионной планарно-эпитаксиальной технологии [1]. Все компоненты микросхемы размещаются в одном кристалле кремния и изолируются обратномощенными *p-n* переходами. Компоненты формируются диффузией примесей в тонком эпитаксиальном слое монокристаллического кремния. Места подклю-

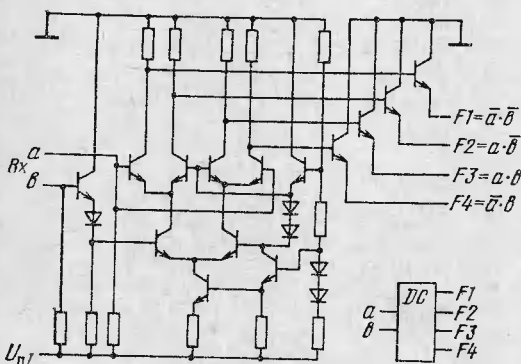


Рис. 7.4. Электрическая схема двухуровневого ЭСЛ элемента серии 500

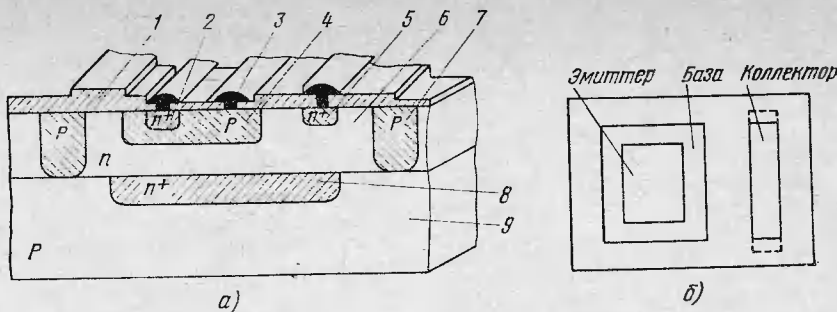


Рис. 7.5. Транзисторная структура (а) и топология транзистора (б) ИС серии 500: 1 — изолирующий слой окиси кремния; 2 — сильнолегированная область эмиттера n^+ ; 3 — алюминиевый контакт; 4 — область базы p ; 5 — сильнолегированная область коллекторного контакта n^+ ; 6 — область коллектора p ; 7 — изолирующая область p ; 8 — скрытый слой n^+ ; 9 — подложка p .

чения компонентов выводятся на поверхность кремниевого кристалла, на которой для образования законченной микросхемы компоненты соединяются алюминиевыми проводниками, нанесенными в один или два слоя. Типичная транзисторная структура и топология транзистора микросхем серии 500 приведена на рис. 7.5.

Для достижения хороших электрических характеристик и параметров ИС серии 500 (в первую очередь динамических) применяются компоненты малых геометрических размеров и мелкие диффузионные структуры. Малые геометрические размеры компонентов позволяют уменьшить паразитные емкости компонентов и связи между ними, что при определенных затратах мощности в логическом или запоминающем элементе обеспечивает высокое быстродействие. Мелкие диффузионные структуры обуславливают малое время пролета неосновных носителей в базе транзисторов и, следовательно, их хорошие частотные свойства, что также позволяет получить высокое быстродействие элементов. Для повышения быстродействия необходимо уменьшать сопротивление тела коллектора. Типовые параметры транзисторов в ИС серии 500 следующие: емкость коллектора относительно базы $C_K = 1,1$ пФ; сопротивление базы $r_b = 100$ Ом; граничная частота $f_T = 1,8$ Гц; емкость эмиттера относительно базы $C_э = 0,8$ пФ; сопротивление коллектора $r_K = 20$ Ом; коэффициент усиления $h \geq 70$; емкость коллектора относительно подложки $C_{KH} = 2$ пФ.

Диффузионные резисторы в микросхемах формируются, как правило, одновременно с базовыми областями транзисторов. Для экономии площади на кристалле менее точные высокоомные (~ 50 кОм) резисторы, подключаемые к базам входных транзисторов ЭСЛ элемента, формируются в высокоомном базовом слое между областями эмиттера и коллектора в виде, так называемых, сжатых резисторов. Для работы ЭСЛ элемента на низкоомную на-

грузку с относительно большими выходными токами существенно увеличивают площадь выходных транзисторов ЭП.

7.4. Типовые характеристики и параметры микросхем

Для оценки параметров микросхем в различных режимах и условиях эксплуатации используют три основные статические характеристики: передаточную, входную и выходную.

Передаточная характеристика представляет собой зависимость выходного напряжения микросхем от входного напряжения при переключении схемы из одного состояния в другое. Типичная передаточная характеристика базового ЭСЛ логического элемента И/И — НЕ серии 500 по прямому и инверсному выходам приведена на рис. 7.6. На передаточной характеристике можно выделить четыре области: 1 — область установившегося значения низкого выходного напряжения лог. 1 для прямого

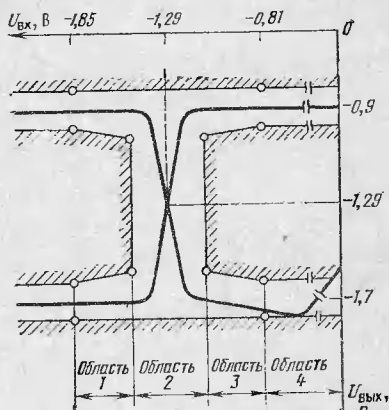


Рис. 7.6. Передаточная характеристика ЭСЛ элемента серии 500

и высокого напряжения лог. 0 для инверсного выходов; 2 — зона переключения из 1 в 0 для прямого и из 0 в 1 для инверсного выходов; 3 — область установившегося значения лог. 0 для прямого и лог. 1 для инверсного выходов (в этой области характеристика имеет некоторый наклон вследствие неидеальности генератора тока ТП); 4 — область насыщения для инверсного плеча ТП.

В области 4 напряжение коллектора входного транзистора с определенным смещением отслеживает напряжение его базы. Режим является нерабочим. Между заштрихованными зонами расположена суммарная область допустимых значений выходных напряжений микросхемы при нагрузке 50 Ом, подключенной к источнику напряжения вспомогательного питания — 2 В. Эта область путем контроля в определенных точках гарантируется техническими условиями.

Передаточная характеристика основного элемента может быть использована для анализа выходных уровней напряжения в различных режимах работы, оценки формирующих свойств и помехозащищенности элементов, определения возможности их совместной работы с другими логическими или специальными элементами. По характерным точкам передаточной характеристики определяются следующие статические

параметры схемы: $U_{вх}^0$, $U_{вх}^1$ — входные напряжения лог. 0 и лог. 1; $U_{вых}^0$, $U_{вых}^1$ — выходные напряжения лог. 0 и лог. 1; $U_{вх\ пор}^0$, $U_{вх\ пор}^1$ — входные пороговые напряжения лог. 0 и лог. 1; $U_{вых\ пор}^0$, $U_{вых\ пор}^1$ — выходные пороговые напряжения лог. 0 и лог. 1; $U_{пом}^0$, $U_{пом}^1$ — напряжения допустимой статической помехи лог. 0 и лог. 1 (помехозащищенность)

$$U_{пом}^0 = U_{вых\ пор}^0 - U_{вх\ пор}^0;$$

$$U_{пом}^1 = U_{вх\ пор}^1 - U_{вых\ пор}^1;$$

$U_{л} = U_{вых}^0 - U_{вх}^1$ — амплитуда логического сигнала;

$U_{зп} = U_{вх\ пор}^0 - U_{вх\ пор}^1$ — зона переключения микросхемы.

Чтобы обеспечить правильное функционирование микросхем серии 500 в вычислительной аппаратуре, в ТУ установлены максимальные и минимальные нормы параметров при определенных условиях и режимах измерений, по которым производится отбраковка ИС в процессе производства и после их изготовления. По ТУ гарантируется ряд статических и динамических параметров микросхем серии 500 при нормальной (+ 25°C), пониженной (−10°C) и повышенной (+ 75°C) температурах (табл. 7.1). При нормальной температуре

Таблица 7.1

Параметр	Значение контролируемого параметра при температуре			$U_{вх\ пор}^0$ В	$U_{вх\ пор}^1$ В	$U_{вых}^0$ В	$U_{вых}^1$ В
	−10° С	+25° С	+75° С				
Выходное пороговое напряжение лог. 0 $U_{вых\ пор}^0$, В	−1,040	−0,980	−0,920	−1,165 −1,105 −1,045	−1,495 −1,475 −1,450		
Выходное напряжение лог. 0 $U_{вых}^0$, В	−1,020... ...−0,860	−0,960... ...−0,810	0,900... ...−0,720			−0,860 −0,810 −0,720	−1,880 −1,850 −1,830
Выходное пороговое напряжение лог. 1 $U_{вых\ пор}^1$, В	−1,650	−1,630	1,605	−1,165 −1,005 −1,045	−1,495 −1,475 −1,450		
Выходное напряжение лог. 1 $U_{вых}^1$, В	−1,880... ...−1,670	−1,850... ...−1,650	−1,830... ...−1,625			−0,860 −0,810 −0,720	−1,880 −1,850 −1,830
Входной ток лог. 1 $I_{вх}^1$, мкА		0,5			−1,850		
Входной ток лог. 0 $I_{вх}^0$, мкА		265			−0,810		
Время задержки при переключении элемента из «0» в «1», нс		2,9					
Время переключения элемента из «1» в «0», нс		2,9					

гарантируются следующие параметры ИС (на примере логической микросхемы 500ЛМ109): максимальный ток потребления от основного источника питания с напряжением $-5,2$ В составляет 14 мА; максимальное выходное напряжение лог. 0 $-0,81$ В; минимальное выходное напряжение лог. 0 $-0,96$ В; минимальное выходное пороговое напряжение лог. 1 $-1,63$ В; максимальное выходное пороговое напряжение лог. 1 $-1,65$ В; минимальное выходное напряжение лог. 1 $-1,85$ В; входное пороговое напряжение лог. 0 $-1,105$ В; входное пороговое напряжение лог. 1 $-1,475$ В; максимальный входной ток элемента при максимальном входном напряжении лог. 0 265 мкА; минимальный входной ток элемента при минимальном входном напряжении лог. 1 $0,5$ мкА; максимальное время задержки элемента при переключении из 0 в 1 $2,9$ нс; максимальное время задержки элемента при переключении из 1 в 0 $2,9$ нс.

В табл. 7.1 приведены нормы контролирующих и входных (установочных) электрических параметров микросхем 500ЛМ109 при различной температуре окружающей среды. Все измерения производятся при напряжении источника основного питания $-5,2$ В. В качестве нагрузки используется резистор сопротивлением 50 Ом, подключенный к вспомогательному источнику напряжения $-2,0$ В. Из приведенных данных видно, что микросхемы серии 500 имеют: помехозащищенность по напряжению лог. 0 и лог. 1 не менее 125 и 155 мВ соответственно; разброс выходного напряжения лог. 0 и лог. 1 не более 150 и 200 мВ соответственно; амплитуду логического сигнала не менее 680 мВ; зону переключения элемента не более 370 мВ.

Входная характеристика используется для определения нагрузочной способности элементов при работе на аналогичные элементы или при подключении их в качестве нагрузки к специальным элементам, а также для оценки помехозащищенности элементов. Входная характеристика представляет собой зависимость входного тока от входного напряжения.

На входной характеристике ЭСЛ элемента серии 500 (рис. 7.7) можно выделить четыре области, соответствующие четырем возможным режимам работы входной цепи ИС: 1 — входной транзистор закрыт; входной ток определяется сопротивлением базового резистора, подключенного ко входу; 2 — происходит отпирание входного транзистора; нелинейный участок определяется возрастающим базовым током входного транзистора; 3 — входной транзистор открыт; входной ток незначительно



Рис. 7.7. Входная характеристика ЭСЛ элемента серии 500

увеличивается из-за увеличения эмиттерного тока ТП и увеличения тока через базовый резистор; 4 — входной транзистор открыт до насыщения; базовый ток транзистора значительно увеличивается при повышении входного напряжения (режим нерабочий).

Выходная характеристика базового элемента представляет зависимость выходного тока микросхемы от выходного напряжения. Поскольку на выходе ЭСЛ элемента может быть напряжение высокого и низкого уровней, снимаются выходные характеристики при лог. 0 и лог. 1 на входе (рис. 7.8).

На выходной характеристике условно можно выделить две области: 1 — область малых выходных токов и высокого дифференциального сопротивления; 2 — область рабочих токов, относительно стабильного выходного напряжения и низкого дифференциального сопротивления. Для определения рабочих точек на выходную характеристику накладывают нагрузочные характеристики выходных резисторов. Выходная характеристика служит для определения выходных напряжений при различных режимах работы, рабочих токах, нагрузках, помехозащищенности, при работе на другие логические или специальные элементы,

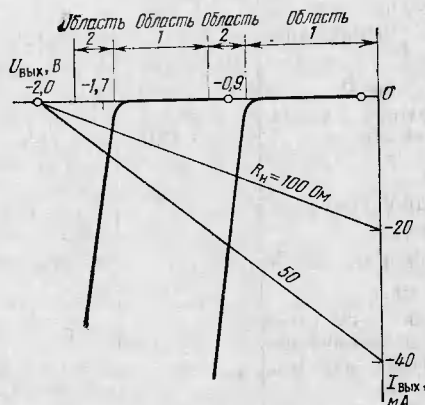


Рис. 7.8. Выходная характеристика ЭСЛ элемента серии 500

¹ Выходное пороговое напряжение определяется на выходе микросхемы при подаче на ее вход входных пороговых напряжений.

для выбора напряжений вспомогательного источника питания нагрузочных резисторов.

7.5. Зависимость характеристик и параметров микросхем от режимов и условий эксплуатации

При применении ИС серии 500 в устройствах ЭВМ необходимо учитывать влияние на характеристики основных дестабилизирующих факторов: нестабильности напряжения питания и изменения температуры окружающей среды [26].

В качестве примера на рис. 7.9 приведены реальные передаточные характеристики ИС серии 500 при нормальной температуре ($T = 25^\circ\text{C}$), сопротивлении нагрузки $R_n = 51\text{ Ом}$, напряжении питания нагрузки $U_{пз} = -2,0\text{ В}$ и изменении напряжения основного питания $U_{п1}$. Приведенные характеристики показывают сильную зависимость нижнего уровня выходного напряжения и слабую зависимость верхнего от изменения напряжения основного питания $U_{п1}$. Влияние изменения напряжения питания и температуры окружающей среды на статические параметры ИС серии 500 характеризуется коэффициентами чувствительности, которые определяют

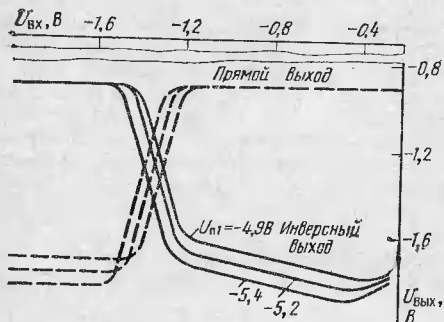


Рис. 7.9. Передаточные характеристики реальных логических ИС серии 500 при изменении напряжения питания $U_{п1}$

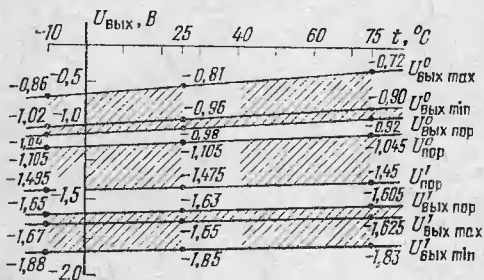


Рис. 7.10. Зависимость выходных и пороговых напряжений ИС серии 500 от температуры окружающей среды

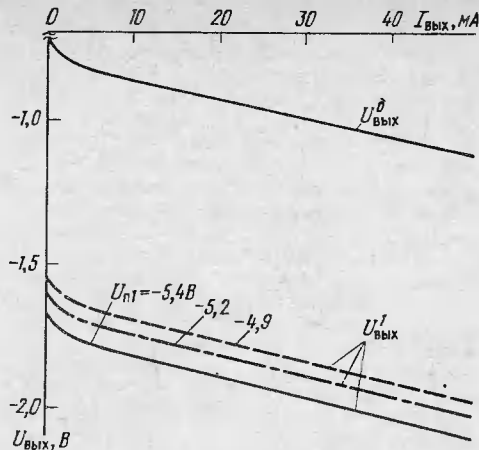


Рис. 7.11. Выходные характеристики ИС серии 500 в условиях изменения напряжения питания $U_{п1}$

ся как отношение приращений параметров к приращениям влияющих факторов. В табл. 7.2 приведены типовые значения коэффициентов для параметров передаточной характеристики.

Зависимость выходных и пороговых напряжений ИС серии 500 от температуры окружающей среды приведена на рис. 7.10, а зависимости выходных напряжений от напряжения источника питания $U_{п1}$ на рис. 7.11. Из зависимостей на рис. 7.9 — 7.11 видно, что выходные уровни напряжения видоизменяются основными дестабилизирующими факторами: изменением напряжения питания $U_{п1}$ и температурой окружающей среды T °C. На рис. 7.12 даны зависимости входного тока от выходного напряжения (входные характеристики) при различных условиях воздействия дестабилизирующих факторов: изменении температуры окружающей среды и напряжения источника питания. Из рисунка видно, что входной ток увеличивается при увеличении напряжения питания и понижении температуры окружающей среды.

Таблица 7.2

Параметр	Коэффициент влияния изменения температуры, мВ/°C	Коэффициент влияния изменения напряжения питания
$U_{вых}^0, U_{вых пор}^0$	1,2	0,016
$U_{вх пор}^0$	1,2	0,15
$U_{пор}$	0,9	0,15
$U_{вх пор}^1$	0,5	0,15
$U_{вых}^1$	0,5	0,25
$U_{вых пор}^0$	0,5	0,25

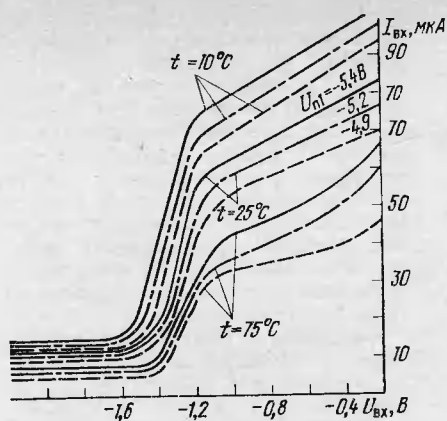


Рис. 7.12. Входные характеристики ИС серии 500 в условиях воздействия дестабилизирующих факторов

Один из основных динамических параметров комбинационных логических элементов — время задержки распространения сигнала при включении и выключении — определяется как временной интервал между входным и выходным сигналами, измеренный по относительным уровням, составляющим 50% их полных перепадов (установившихся значений уровней лог. 0 и лог. 1). Типовое значение динамических параметров логических элементов при номинальных условиях и при $R_H = 50$ Ом составляет 2 нс. Типовое значение длительности фронта входного сигнала ИС равно 2 нс. Минимальное значение длительности фронта выходного сигнала составляет 1,5 нс. Динамические параметры ИС серии 500 слабо зависят от изменения напряжения питания и температуры окружающей среды. В большей степени они зависят от сопротивления нагрузочного резистора и нагрузочной емкости, т. е. определяются в значительной степени выходным каскадом ЭП. Механизм переключения выходного каскада состоит в

следующем. На положительном фронте суммарная емкость нагрузки, которая состоит из емкости монтажа и суммарной входной емкости схем-нагрузок, заряжается через низкоомное (3—5 Ом) выходное сопротивление ЭП нагружаемого элемента, вследствие чего переключение с низкого уровня выходного сигнала на высокий происходит быстро.

На отрицательном фронте при переключении сигнала с высокого выходного уровня на низкий нагрузочная емкость разряжается через сопротивление нагрузочного резистора. Так как динамические процессы в основном элементе обычно завершаются быстрее, чем в выходном каскаде ЭП, транзистор выходного ЭП на отрицательном фронте запирается и практически не участвует в переключении сигнала на выходе схемы. Если нагрузочный резистор подключить к источнику питания $U_{п2}$ с низким напряжением, время разряда определяется соотношением $\tau_H = R_H C_H$. Если нагрузочный резистор подключить к источнику основного питания $U_{п1}$, то время разряда нагрузочной емкости определяется средним током, протекающим через резистор. Зависимости динамических параметров ИС серии 500 от емкости нагрузки приведены на рис. 7.13.

Применение низкоомных нагрузочных резисторов, подключаемых к источнику низковольтного напряжения $U_{п2}$, более выгодно с точки зрения быстроты действия и рассеиваемой мощности. Однако для этого требуются дополнительные блоки питания с низковольтным напряжением ($U_{п2} = -2 \dots -3$ В). Во всех технических средствах ЕС ЭВМ, например для питания нагрузочных резисторов ИС ЭСЛ, используются унифицированные блоки питания напряжением $-2,0$ В (или $-2,4$ В).

7.6. Конструкции корпуса и тепловые параметры микросхем

Все ИС серии 500, за исключением ИС 500ИП181 и 500РУ470, конструктивно оформлены в 16-выводном пластмассовом корпусе типа 238.16-2, габаритные и установочные размеры которого приведены на рис. 7.14. Микросхема 500ИП181 конструктивно оформлена в 24-выводном пластмассовом корпусе типа 238.24-2, габаритные и установочные размеры которого приведены на рис. 7.15. Микросхема 500РУ470 выпускается в 18-выводном корпусе со штырьковыми выводами. Пластмассовые корпуса делают со встроеной внутри алюминиевой пластиной, выполняющей роль теплового растекавателя. При такой конструкции тепловое сопротивление корпуса снижается в 1,5 раза.

Часто ИС серии 500 изготавливаются в керамическом корпусе типа 201.16-6 или металлокерамическом корпусе типа 201.16-1.

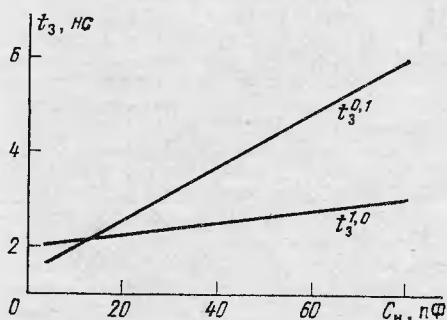


Рис. 7.13. Зависимость времени задержки ЭСЛ элемента серии 500 от емкости нагрузки

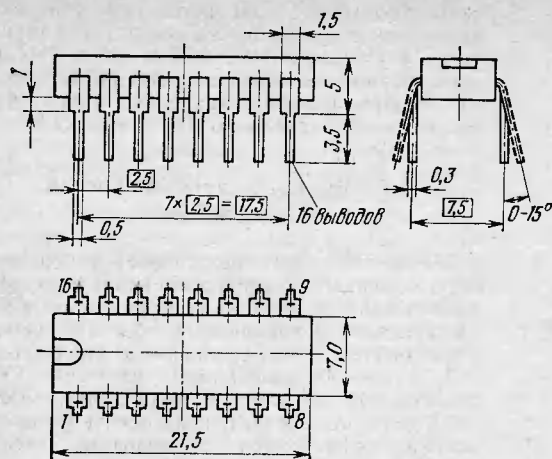


Рис. 7.14. Корпус ИС типа 238.16-2

Такие корпуса имеют существенно более низкое тепловое сопротивление по сравнению с пластмассовым. Недостатком керамического корпуса является относительно высокая температура спайки (около 440 °С) нижней и верхней частей корпуса стекловидной массой, что обуславливает повышенные требования к технологической структуре кристалла, поскольку при такой температуре возможны локальные повреждения окисных изоляционных слоев. К недостаткам металлокерамического корпуса относятся более сложная технология изготовления, более дорогие исходные материалы и, следовательно, его высокая стоимость по сравнению со стоимостью других корпусов.

Микросхемы серии 500 относятся к классу ИС, потребляющих и рассеивающих по-

вышенную мощность. Для обеспечения надежной работы микросхем тепло от тепловыделяющих компонентов должно отводиться таким образом, чтобы температура компонентов не превышала определенного значения. Любая микросхема по тепловому режиму характеризуется тремя факторами, которые необходимо знать при проведении тепловых расчетов: рассеиваемой мощностью, рабочими температурными пределами и тепловым сопротивлением корпуса.

Микросхемы серии 500 в зависимости от модификации потребляют и рассеивают мощность от 90 до 1100 мВт на корпус. В технической документации на ИС серии 500 установлена предельная температура кристалла 125 °С, при этом допускается рабочая температура окружающей среды около микросхемы от -10 до +75 °С. Характеристика

теплопередачи определяется тепловым сопротивлением корпуса от кристалла до окружающей среды. Так как элементы электрической схемы расположены в верхнем поверхностном слое кристалла кремния, то образующееся при работе микросхемы тепло отводится через тело кремния к основанию кристалла. Далее тепловой поток, проходя через эвтектический слой, которым кристалл крепится к корпусу, распространяется по всему телу корпуса. Попадая на поверхность корпуса тепло отводится в окружающую среду.

Полное тепловое сопротивление R_T корпуса состоит из двух составляющих: внутреннего теплового сопротивления кристалла—поверхность корпуса $R_{T\text{внт}}$ и внешнего теплового сопротивления поверхности корпуса—окружающая среда $R_{T\text{внш}}$. Внут-

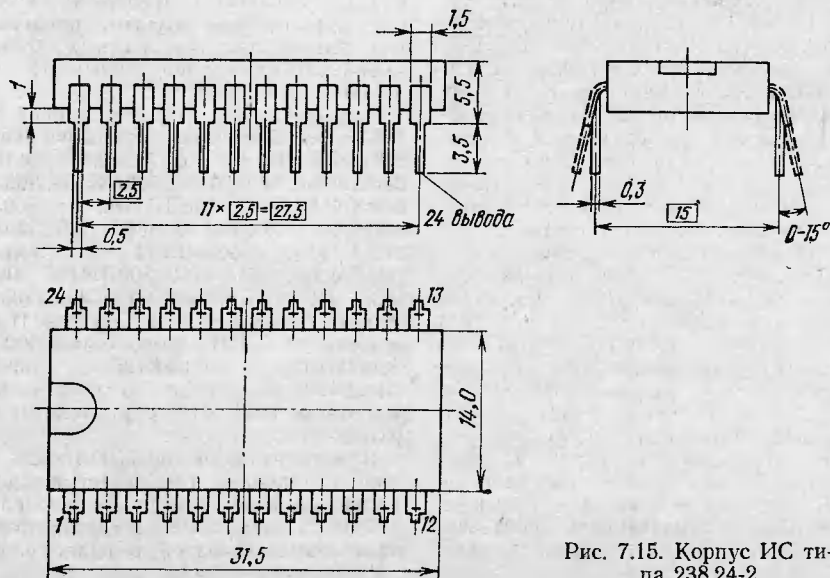


Рис. 7.15. Корпус ИС типа 238.24-2

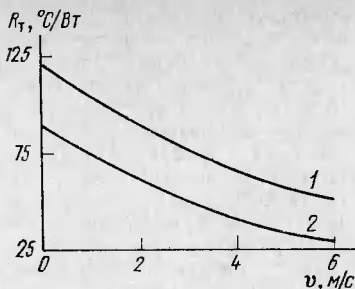


Рис. 7.16. Зависимости полного теплового сопротивления 16-выводного корпуса от условий охлаждения:

1 — пластмассовый корпус; 2 — металлокерамический корпус

тренинное тепловое сопротивление зависит от размеров и материала корпуса, но не зависит от внешних условий. Внешнее тепловое сопротивление зависит от площади поверхности корпуса и способа отвода тепла.

При воздушном охлаждении внешнее тепловое сопротивление определяется скоростью потока воздуха: чем выше скорость, тем ниже сопротивление. При скорости потока воздуха 2,8 м/с полное тепловое сопротивление кристалл—среда 16-выводного корпуса ИС серии 500 составляет 50 °C/Вт. Полное тепловое сопротивление корпусов ИС можно дополнительно снизить использованием различного рода радиаторов, устанавливаемых на корпусе. Полное тепловое сопротивление корпуса нелинейно зависит от условий охлаждения (рис. 7.16). При идеальном съеме тепла с поверхности корпуса полное тепловое сопротивление приближается к внутреннему тепловому сопротивлению корпуса. Низкое тепловое сопротивление корпусов ИС серии 500 обеспечивает сравнительно невысокую температуру кристалла и высокую надежность микросхем. Снижение температуры кристалла у микросхем со средней и высокой рассеиваемой мощностью приводит к уменьшению температурных перепадов всех микросхем, используемых в устройстве, и, следовательно, к увеличению помехозащищенности микросхем и повышению работоспособности устройств.

Для снижения полного теплового сопротивления корпусов микросхем и повышения надежности работы устройств, построенных на ИС серии 500, в устройствах ЭВМ обычно применяется комбинированная система интенсивного воздушного охлаждения. Она состоит из централизованной системы подачи охлажденного воздуха в устройство снизу и системы автономных вентиляторов, встроенных в устройства. Для ЭВМ разработаны специальные вентиляторы ЭВ-2,8, обеспечивающие повышенную скорость и увеличенную производительность подачи воздуха. Один вентиля-

тор ЭВ-2,8, продвигает воздух объемом 150—200 м³/ч со скоростью 2,5—3,0 м/с. Скорость обдува воздуха достигает, например, в устройствах ЕС ЭВМ 2,8 м/с. При такой скорости потока охлажденного воздуха гарантируются технические параметры и высокая надежность ИС серии 500.

7.7. Функциональный состав микросхем

Серия ИС 500 представляет собой набор логических, функциональных, арифметических, специальных и запоминающих микросхем, объединенных общими схемотехническими, технологическими и конструктивными решениями, едиными ТУ. Серия 500 является функционально полной системой элементов, на основе которой можно эффективно реализовать сколь угодно сложную цифровую логическую функцию.

В настоящее время в серию 500 входит 48 модификаций микросхемы малой, средней и большой степени интеграции. Перечень модификаций ИС серии 500, их обозначения согласно ТУ и конструкторской документации, функциональные содержания и основные параметры микросхем приведены в табл. 7.3. Условные графические обозначения ИС, применяемые в конструкторской документации ЕС ЭВМ, даны в приложении 2 [1].

Микросхемы серии 500 можно условно разделить на пять следующих групп: логические, выполняющие простейшие универсальные логические функции И/И—НЕ, И—ИЛИ/И—ИЛИ—НЕ; специальные, выполняющие преобразование сигналов (усиление и формирование, преобразование уровней и т. п.); триггеры и последовательностные ИС, построенные на их основе; функциональные ИС, выполняющие типовые логические и арифметические функции; микросхемы памяти, предназначенные для построения местных, буферных, управляющих и оперативных ЗУ ограниченного объема.

Логические ИС. В состав первой группы ИС серии 500 входят универсальные логические ИС 14 модификаций: 500ЛМ101, 500ЛМ102, 500ЛМ105, 500ЛЕ106, 500ЛП107, 500ЛМ109, 500ЛЛ110, 500ЛЕ111, 500ЛК117, 500ЛС118, 500ЛС119, 500ЛК121, 500ЛЛ120, 500ЛЕ211. Микросхемы 500ЛМ101, 500ЛМ102, 500ЛМ105, 500ЛП107 и 500ЛМ109 выполнены на основе одноуровневого базового ЭСЛ элемента И/И—НЕ (см. рис. 7.1). В микросхемах 500ЛМ101, 500ЛМ102, 500ЛМ105, 500ЛЕ106, 500ЛМ109 содержится от двух до четырех элементов И/И—НЕ с различным числом входов.

В элементах ИС 500ЛП107 для сложения по модулю 2 и ее инверсии применяется двухуровневый принцип переключения в ТП (см. рис. 7.4). Генератор тока ТП в этой схеме выполнен в виде цепочки из

Таблица 7.3

Обозначение ИС в ТУ	Обозначение ИС в КД	Функциональное содержание ИС	Типовое время задержки ИС, ис	Средняя потребляемая мощность ИС, мВт	Уровень интеграции ИС, элемент
500ЛМ101	E401	Четыре элемента И/И — НЕ с общим входом	2,0	100	5
500ЛМ102	E402	Три элемента 2И — НЕ и один элемент 2И/2И — НЕ	2,0	100	4
500ЛМ105	E405	Два элемента 2И/2И — НЕ и один элемент 3И/3И — НЕ	2,0	90	4
500ЛЕ106	E406	Два элемента 3И — НЕ и один элемент 4И — НЕ	2,0	90	3
500ЛП107	E407	Три элемента сложения по модулю 2 с парафазными выходами	2,8	110	10
500ЛМ109	E409	Один элемент 4И/4И — НЕ и один элемент 5И/5И — НЕ	2,0	60	3
500ЛЛ110	E410	Два элемента 3И с тремя прямыми выходами	2,4	160	2
500ЛЕ111	E411	Два элемента 3И — НЕ с тремя инверсными выходами	2,4	160	2
500ЛП114	E414	Три дифференциальных приемника с парафазными выходами	2,4	150	4
500ЛП115	E415	Четыре дифференциальных приемника с однофазными выходами	2,0	100	4
500ЛП116	E416	Три дифференциальных приемника с парафазными выходами	2,0	90	4
500ЛК117	E417	Два элемента 2 — 3И — 2ИЛИ/2, 3И — 2ИЛИ — НЕ с общим входом	2,3	100	7
500ЛС118	E418	Два элемента 3И — 2ИЛИ с общим входом	2,3	100	6
500ЛС119	E419	Один элемент 3 — 4И — 4ИЛИ	2,3	100	5
500ЛК121	E421	Один элемент 3И — 4ИЛИ/3И — 4ИЛИ — НЕ	2,3	100	5
500ЛЕ123	E423	Два элемента 3И — НЕ и один элемент 4И — НЕ для работы на магистраль	3,0	310	3
500ПУ124	E424	Четыре элемента И/И — НЕ — транслятора уровней ТТЛ-ЭСЛ с одним общим входом	3,5	380	9
500ПУ125	E425	Четыре дифференциальных приемника-транслятора уровней ЭСЛ-ТТЛ	4,5	380	8
500ЛП128	E428	Два магистральных передатчика-транслятора уровней ЭСЛ-ТТЛ	12,0	700	11
500ЛП129	E429	Четыре магистральных приемника-транслятора уровней ТТЛ-ЭСЛ	10,0	750	20
500ТМ130	E430	Два синхронных одноступенчатых DV-триггера с установочными входами	2,5	160	9
500ТМ131	E431	Два синхронных двухступенчатых DV-триггера с установочными входами	3,0	230	18
500ТМ133	E433	Два синхронных 2-разрядных регистра	4,0	310	23
500ТМ134	E434	Два синхронных одноступенчатых DV-триггера с мультиплексорными входами	3,0	220	14
500ТВ135	E435	Два синхронных двухступенчатых JK-триггера с установочными входами	3,0	290	15
500ИЕ136	E436	Счетчик синхронный двоичный универсальный 4-разрядный	5,0	620	82
500ИЕ137	E437	Счетчик синхронный двоично-десятичный универсальный	5,0	620	94

Продолжение табл. 7.3

Обозначение ИС в ТУ	Обозначение ИС в КД	Функциональное содержание ИС	Типовое время задержки ИС, нс	Средняя потребляемая мощность ИС, мВт	Уровень интеграции ИС, элемент
500ИР141	E441	Регистр синхронный универсальный 4-разрядный	3,0	470	47
500ИЕ160	E460	СИС сложения по модулю 2 двенадцативыходовая	5,0	320	33
500ИД161	E461	Дешифратор 3-входовой с прямыми выходами	4,0	490	13
500ИД162	E462	Дешифратор 3-входовой с инверсными выходами	4,0	490	13
500ИД164	E464	Мультиплексор 8-входовой	4,0	490	13
500ИВ165	E465	Шифратор с приоритетом 8-входовой	7,0	550	36
500ТМ173	E473	Регистр синхронный 4-разрядный с мультиплексорными входами	2,5	280	22
500КП174	E474	Два мультиплексора 4-входовых	3,5	310	13
500ИП179	E479	СИС ускоренного переноса	4,0	300	12
500ИМ180	E480	Сумматор-вычитатель 3-входовой комбинационный 2-разрядный	4,5	360	35
500ИП181	E481	Арифметико-логический блок 4-разрядный	6,5	600	78
500ЛЛ210	B110	Два элемента ЗИ повышенного быстродействия с тремя прямыми выходами	1,5	160	2
500ЛЕ211	B111	Два элемента ЗИ — НЕ повышенного быстродействия с тремя инверсными выходами	1,5	160	2
500ЛП216	B116	Три дифференциальных приемника повышенного быстродействия с парафазными выходами	1,8	100	4
500ТМ231	B131	Два синхронных двухступенчатых DV-триггера повышенного быстродействия с установочными входами	2,5	270	18
500РУ145	E445	БИС оперативной памяти емкостью 64 бит (16 сл×4 р)	10,0	470	64
500РУ148	E448	БИС оперативной памяти емкостью 64 бит (64 сл×1 р)	12,0	470	64
500РУ410	E444	БИС оперативного ЗУ емкостью 256 бит (256 сл×1 р)	25,0	520	256
500РУ415	E446	БИС оперативного ЗУ емкостью 1024 бит (1024 сл×1 р)	25,0	470	1025
500РУ470	E447	БИС оперативного ЗУ емкостью 4096 бит (4096 сл×1 р)	35,0	900	4096
500РЕ149	E449	БИС постоянного программируемого ЗУ емкостью 1024 бит (256 сл×4 р)	25,0	570	1024

Примечания. 1 Наличие в элементах парафазного выхода или дополнительных выходов той же фазы учитывается при оценке уровня интеграции добавочными коэффициентами, результат округляется до целого числа.

2. Для микросхем E444, E445, E446, E447, E449 в графе 4 указано типовое время выборки информации от подачи адреса до считывания.

3. Уровень интеграции микросхем памяти E445—E449 оценивается числом элементов, равным емкости БИС ЗУ в битах.

транзистора и резистора, а ИОН формирует три опорных напряжения для обеспечения первого и второго уровней переключения и генератора тока ТП. Время задержки сигнала при прохождении по второму уровню переключения на 40 % больше времени задержки по первому уровню. По сравнению с традиционным получением данной функции на элементах И/И—НЕ имеется

выигрыш и в быстродействии, и в потребляемой мощности.

Элементы ИС 500ЛЛ110, 500ЛЕ111, 500ЛЛ210, 500ЛЕ211 содержат по три выходных ЭП с одного коллекторного сопротивления ТП, каждый из которых может работать отдельно или в параллель на согласованную линию связи с нагрузкой сопротивлением 50 Ом, подключенной к ис-

точнику питания — 2,0 В. Для обеспечения вышеуказанного режима работы мощность данных элементов существенно увеличена по сравнению с базовыми элементами (более чем в 2 раза). Микросхемы перечисленных модификаций имеют более широкие логические возможности, чем другие микросхемы, при организации эмиттерных объединений, поскольку каждый выход в объединении с выходами других микросхем может обеспечить выполнение различных функций. За счет применения более совершенной технологии быстродействие ИС 500ЛЛ210 и 500ЛЕ211 в 1,5 раза выше по сравнению с аналогичными микросхемами 500ЛЛ110 и 500ЛЕ111 при одинаковой рассеиваемой мощности.

В модификациях ИС 500ЛК118 и 500ЛС119 для получения функции И—ИЛИ используется коллекторное объединение одноуровневых ТТЛ. В микросхемах 500ЛК117 и 500ЛК121 для образования функции И—ИЛИ/И—ИЛИ—НЕ применяется коллекторное и эмиттерное объединение одноуровневых элементов. Источники опорных напряжений в указанных ИС дополняют электрической цепью, фиксирующей нижнее коллекторное напряжение. Коллекторное объединение привело к снижению минимального нижнего уровня выходного напряжения ИС до —1,99 В и увеличению времени задержки элементов на 15 %.

На универсальных логических микросхемах первой группы строят разнообразные нерегулярные комбинационные цепи ЭВМ, где не могут быть использованы (или невыгодно использовать) функциональные ИС с более высоким уровнем интеграции. Микросхемы 500ЛЛ110, 500ЛЕ111, 500ЛЛ210 и 500ЛЕ211 широко применяются в цепях синхронизации ЭВМ для усиления, формирования и распределения синхросигналов. При использовании указанных ИС осуществляется более точная разводка синхросигналов к устройствам ЭВМ, расположенным в различных конструктивных блоках.

Специальные ИС. В состав второй группы микросхем серии 500 входят специальные ИС девяти модификаций: 500ЛП114, 500ЛП115, 500ЛП116, 500ЛЕ123, 500ПУ124, 500ПУ125, 500ЛП128, 500ЛП129 и 500ЛП216.

Микросхемы 500ЛП114, 500ЛП115, 500ЛП116 и 500ЛП216 представляют собой дифференциальные приемники, предназначенные для усиления и формирования парафазных сигналов малой амплитуды и приема парафазных сигналов с длинных линий связи. Перечисленные микросхемы обладают высокой помехоустойчивостью при воздействии синфазных помех. Генераторы тока дифференциальных приемников выполнены на транзисторах и резисторах, что обеспечивает постоянную амплитуду выходного сигнала при значительных изменениях входных уровней напряжения. Опорное напряжение в микросхе-

мах не подключено внутри кристалла и подается на отдельный вывод корпуса. Это позволяет построить элементы с гистерезисными характеристиками с целью повышения помехоустойчивости при приеме однофазных сигналов. Микросхемы 500ЛП114 и 500ЛП115 выполнены с однофазным выходом. ИС 500ЛП116 и 500ЛП216 имеют парафазные выходы элементов. Благодаря более совершенной технологии быстродействие ИС 500ЛП216 выше, чем быстродействие ИС 500ЛП114. 500ЛП115 и 500ЛП116.

Микросхема 500ЛЕ123 содержит три передатчика ЗИ—НЕ, предназначенных для работы на магистральные линии связи. Данная микросхема может работать на нагрузку 25 Ом, подключенную к источнику напряжения — 2,0 В, что эквивалентно подключению двух резисторов 50 Ом на разных концах магистральной линии связи. Передатчики ИС 500ЛЕ123 формируют увеличенную амплитуду сигнала за счет понижения нижнего выходного уровня. Вследствие этого при использовании источника вспомогательного питания — 2,0 В выходные ЭП на нижнем уровне сигнала запираются и передатчики переходят в режим холостого хода. Данный режим позволяет объединить несколько удаленных друг от друга передатчиков и приемников на одной магистральной линии связи и без искажений передавать сигналы по ней. Микросхемы 500ЛЕ123 применяются для организации обмена информацией между устройствами и блоками, построенными на быстродействующих ИС серии 500, по магистральным линиям связи. Магистральные линии связи позволяют сократить число связей и контактов.

В микросхемах 500ПУ124 и 500ПУ125 реализованы элементы преобразования стандартных ТТЛ сигналов в ЭСЛ сигналы ИС серии 500 и обратного преобразования сигналов ЭСЛ—ТТЛ. В ИС 500ПУ124 четыре элемента-транслятора ТТЛ—ЭСЛ, в ИС 500ПУ125 четыре элемента-транслятора ЭСЛ—ТТЛ. Для выполнения указанного преобразования в обеих микросхемах используется второе основное напряжение питания +5,0 В. При подаче на вход ИС 500ПУ124 низкого уровня ТТЛ сигнала на прямом выходе ИС формируется низкий, а на инверсном — высокий уровень ЭСЛ сигнала. На входах ИС 500ПУ124 используются входные цепи стандартного ТТЛ элемента. Микросхема 500ПУ124 имеет входной ток при низком входном уровне напряжения до 3,2 мА, а на общем стро-бирующем входе до 12,8 мА.

На входе ИС 500ПУ125 включен дифференциальный усилитель серии 500, что обеспечивает высокую помехоустойчивость схемы к синфазным помехам при приеме парафазных сигналов. Поэтому микросхему 500ПУ125 можно устанавливать по определенным правилам в устройствах и блоках, построенных на ИС ТТЛ. Меняя входы дифференциального усилителя, ин-

формацию можно принимать в прямом или инверсном коде. Источник опорного напряжения внутри ИС 500ПУ125 подсоединен не к дифференциальным усилителям, а к отдельному выводу корпуса, что позволяет принимать и однофазные сигналы в прямом или инверсном коде. Микросхема 500ПУ125 имеет стандартный ТТЛ выход с диодами Шоттки, который переключает ток до 20 мА. При незадействованных входах элемента 500ПУ125 на его выходе устанавливается низкий ТТЛ уровень напряжения. Микросхемы 500ПУ124 и 500ПУ125 предназначены для организации обмена информацией между устройствами и блоками ЭВМ, построенными на ЭСЛ и ТТЛ ИС.

Микросхемы 500ЛП128 и 500ЛП129 являются преобразователями сигналов магистральных линий связи: усилителем-передатчиком и усилителем-приемником соответственно — со встроенными одноступенчатыми триггерами. Микросхема 500ЛП128 содержит два передатчика-преобразователя ЭСЛ сигналов серии 500 в стандартные сигналы ТТЛ ИС или интерфейса ЕС ЭВМ. Данная микросхема может работать в двух режимах в зависимости от второго основного напряжения питания и состояния специальных входов, управляющих режимом работы. В обоих случаях прием информации и все управление микросхемой (за исключением специальных входов) осуществляется стандартными ЭСЛ сигналами серии 500.

В первом режиме работы ИС 500ЛП128 используется напряжение питания $+5,0$ В, специальные управляющие входы оставляются свободными, на выходе формируются стандартные ТТЛ сигналы при допустимом токе нагрузки на низком уровне до 50 мА. Выходной каскад микросхемы может работать на нагрузочный резистор с сопротивлением 25 Ом, подключенный к источнику питания $+1,5$ В, или с сопротивлением 50 Ом, подключенный к земле. Кроме стандартных выходных сигналов 0 и 1 дополнительными управляющими сигналами передатчика микросхемы могут переводиться на выходе в третье состояние — холостой ход с высоким выходным сопротивлением, что позволяет объединять выходы ИС 500ЛП128 на одной магистральной линии связи.

Во втором режиме используется напряжение питания $+6,0$ В, специальные управляющие входы подключаются к шине земли, на выходе формируются стандартные сигналы интерфейса ЕС ЭВМ, которые при заданной нагрузке имеют высокий уровень лог. 1 (не ниже 3,11 В) и низкий уровень лог. 0 (не выше 0,15 В). Микросхемы 500ЛП128, способные работать во втором режиме, изготавливаются по отдельному заказу предприятия — изготовителем ИС.

Микросхему 500ЛП128 удобно использовать в качестве усилителя-передатчика сигналов для работы на радиальные или магистральные (шинные) согласованные

линии связи. На входе передатчиков установлены одноступенчатые синхронные триггеры для приема и хранения информации. Информация принимается при подаче низкого уровня сигнала синхронизации, на верхнем уровне информация запоминается.

Приемники ИС 500ЛП129 могут принимать как ТТЛ сигналы, так и стандартные сигналы интерфейса и преобразовывать их в ЭСЛ сигналы серии 500. Управление микросхемой также осуществляется ЭСЛ сигналами. Микросхема 500ЛП129 может работать в двух режимах: с фиксированной зоной переключения и с гистерезисом. В первом случае вход, управляющий гистерезисом, подключается к источнику основного отрицательного напряжения питания $U_{пп}$, во втором случае этот вход подключается к шине земли и обеспечивается режим повышенной помехозащищенности при приеме информации. Второй режим применяется в условиях повышенного уровня помех. Для синхронизации входных сигналов и хранения информации в интегральной микросхеме 500ЛП129 встроены одноступенчатые синхронные триггеры. Прием информации на триггеры осуществляется при подаче низкого уровня сигнала синхронизации (на выходе в это время повторяется входная информация). Информация запоминается на высоком уровне напряжения синхросигнала.

Таким образом, микросхемы 500ЛП128 и 500ЛП129 предназначены для организации обмена информацией по радиальным или магистральным линиям связи при повышенном уровне помех между быстродействующими устройствами и блоками, построенными на ЭСЛ микросхемах. Указанные ИС пригодны также для организации обмена стандартными сигналами интерфейса ЕС ЭВМ.

Триггеры и последовательностные микросхемы. В состав третьей группы ИС серии 500 входят микросхемы десяти модификаций серии 500: 500ТМ130, 500ТМ131, 500ТМ133, 500ТМ134, 500ТВ135, 500ИЕ136, 500ИЕ137, 500ИР141, 500ТМ173, 500ТМ231.

Микросхема 500ТМ130 содержит два одноступенчатых синхронных DV-триггера с установочными входами. Триггеры данной ИС, так же как и в других последовательностных микросхемах серии 500, построены на основе двухуровневых ЭСЛ элементов с обратными связями. Электрическая схема триггера приведена на рис. 7.17. Прием информации, установка и сброс триггера осуществляются на первом уровне переключения ТП. Управление и синхронизация выполняются на втором уровне переключения. Перекрестные обратные связи в триггерах осуществляются внутренними ЭП. Информация записывается в триггеры и появляется на выходе триггера при подаче на входы С и V низких уровней напряжения и запоминается при переключении синхросигнала на высокий уровень. Установка в 1 и сброс в 0 тригге-

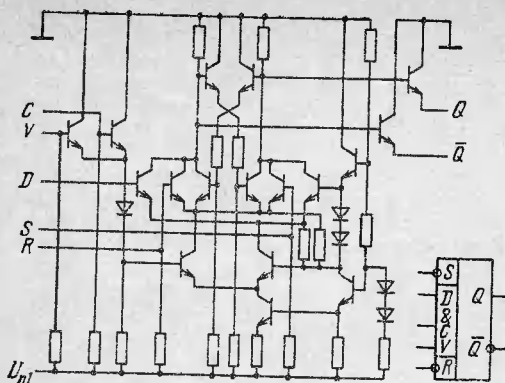


Рис. 7.17. Электрическая схема одноступенчатого синхронного триггера ИС 500TM130

ра осуществляются при высоком уровне напряжения синхросигнала. Временная диаграмма работы триггера ИС 500TM130 приведена на рис. 7.18. Входы синхронизации и управления в ИС 500TM130 связаны таким образом, что допускают как раздельную, так и объединенную работу двух триггеров.

В ИС 500TM131 содержится два двухступенчатых синхронных DV-триггера с установочными входами. Каждый двухступенчатый триггер объединяет два последовательно включенных одноступенчатых

синхронных триггера. Информация записывается в первую ступень триггера при подаче низкого уровня напряжения синхросигнала и переписывается во вторую ступень после перехода синхросигнала на высокий уровень напряжения. В отличие от предыдущего триггера новая информация на выходе появляется только после последнего переключения синхросигнала. Установка и сброс триггеров осуществляются при любом уровне напряжения синхросигнала (высоком или низком). Временная диаграмма работы триггера ИС 500TM131 приведена на рис. 7.19. Также, как и в ИС 500TM130, в данном триггере предусматривается раздельная и совместная работа триггеров. Цоколевки ИС 500TM130 и 500TM131 одинаковые, что позволяет их взаимозаменять в процессе наладки устройств и блоков, работающих в одно-, двух- и многофазной системе синхронизации.

Микросхема 500TM133 содержит четыре одноступенчатых синхронных DV-триггера. Триггеры могут быть объединены общим синхросигналом в один 4-разрядный регистр или разными синхросигналами в два 2-разрядных регистра. Информация записывается в триггеры при высоком уровне напряжения синхросигнала, запоминается при низком. На выходе триггеров установлены элементы, управляемые внешними сигналами, что позволяет осуществлять дополнительное стробирование информации, которое необходимо при объединении выходов микросхемы на одной шине.

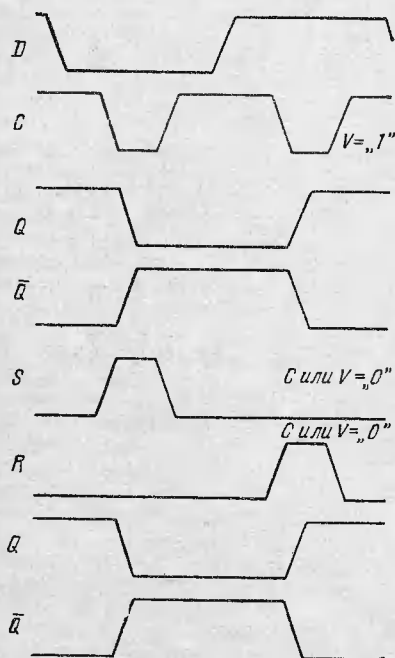


Рис. 7.18. Временная диаграмма работы одноступенчатого триггера ИС 500TM130

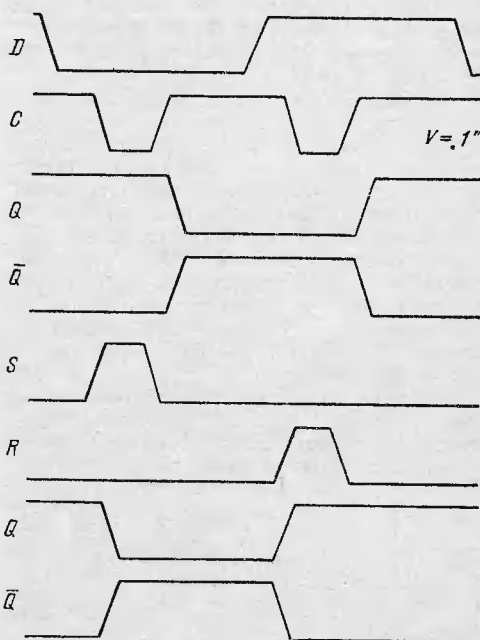


Рис. 7.19. Временная диаграмма работы двухступенчатого триггера ИС 500TM131

Микросхемы 500ТМ130, 500ТМ131 и 500ТМ133 применяются в устройствах ЭВМ для построения разнообразных последовательностных схем, где невыгодно применять ИС с более высокой интеграцией, в частности используются в блоках управления.

Микросхема 500ТМ134 содержит два одноступенчатых синхронных DV-триггера с мультиплексорными выходами. Мультиплексорные входы позволяют выбрать один из двух возможных источников приема информации. Выбор источника осуществляется управляющим сигналом в каждом триггере. Информация в триггер записывается (и появляется на выходе) при низком уровне синхросигнала, запоминается — при высоком уровне. Возможна как раздельная, так и объединенная общим синхросигналом работа триггеров. Микросхема 500ТМ134 предназначена для построения регистров с приемом информации из двух различных источников.

Микросхема 500ТВ135 включает два двухступенчатых синхронных триггера JK с установочными входами. Триггер JK получен за счет использования внутренних дополнительных связей. Допускается как раздельная работа триггеров по входам I и K, так и их объединение в один вход при организации счетного режима работы. Информация в триггер записывается на низком уровне напряжения синхросигнала и запоминается при переходе в высокий уровень; в это время информация появляется на выходе. Микросхема 500ТВ135 предназначена для построения разнообразных счетчиков или других последовательностных схем с широким использованием счетного режима работы.

Микросхема 500ИЕ136 представляет собой 4-разрядный синхронный универсальный двоичный счетчик. В микросхеме имеется четыре двухступенчатых синхронных триггера и комбинационные логические элементы на их входах, предназначенные для организации различных режимов работы двоичного счетчика. Счетчик имеет четыре информационных входа D0—D3 для параллельной установки его в исходное состояние и четыре выхода F0—F3 для параллельного съема информации с каждого из четырех разрядов. Для построения многоразрядных (более четырех) счетчиков предусмотрен вход для сигналов переноса из младших разрядов P0 и выход сигнала переноса в старшие разряды счетчика P.

Для выбора режима работы счетчика 500ИЕ136 имеется два управляющих входа: S1 и S2. Счетчик может работать в следующих режимах: прямой счет (при S1 = 0, S2 = 1); обратный счет (при S1 = 1, S2 = 0); параллельный прием информации по входам D0—D3 (при S1 = S2 = 1); хранение информации или останов (при S1 = S2 = 0). Высокое быстродействие счетчика обеспечивается малой задержкой элементов и параллельной организацией

переноса. Частота переключения счетчика достигает 100 МГц. Запись информации в счетчик производится на низком уровне напряжения синхросигнала, запоминание и собственно пересчет — при переключении синхросигнала на высокий уровень напряжения. Микросхема 500ИЕ136 применяется в устройствах ЭВМ для подсчета числа импульсов в двоичном коде, организации циклов, формирования временной диаграммы синхросигналов.

Микросхема 500ИЕ137 представляет собой двоично-десятичный синхронный счетчик. В ней содержится четыре двухступенчатых синхронных триггера и комбинационные логические схемы на входах, предназначенные для организации различных режимов работы двоично-десятичного счетчика. Как и предыдущая микросхема, счетчик 500ИЕ137 имеет четыре информационных входа D0—D3, четыре выхода F0—F3, два входа—выхода сигналов переноса P0 и P, два входа S1 и S2, управляющих режимом работы. Счетчик может работать в четырех режимах: прямой счет (при S1 = 0, S2 = 1); обратный счет (при S1 = 1, S2 = 0); параллельный прием информации (при S1 = S2 = 1); хранение информации или останов (при S1 = S2 = 0). Запись информации в счетчик производится на низком уровне синхросигнала, запоминание и пересчет — на высоком уровне. Частота переключения счетчика достигает 100 МГц. Микросхема 500ИЕ137 применяется в устройствах ЭВМ для подсчета импульсов при работе в десятичном коде.

Микросхема 500ИР141 представляет собой 4-разрядный универсальный синхронный регистр. В ней содержится четыре двухступенчатых синхронных триггера, объединенных входными селектирующими и управляющими комбинационными элементами, которые предназначены для организации различных режимов работы регистра. Регистр имеет четыре входа D1—D4 для параллельной записи информации, четыре выхода F1—F4 для параллельного съема информации, два входа переноса DL и DR для приема и выдачи информации при сдвиге в случае организации многоразрядного регистра, два входа S1 и S2 управления для выбора режима работы и один вход синхронизации C. Регистр может работать в четырех режимах: параллельный прием и запись информации (при S1 = S2 = 1); сдвиг вправо на один разряд (при S1 = 1, S2 = 0); сдвиг влево на один разряд (при S1 = 0, S2 = 1); хранение информации (при S1 = S2 = 0). Прием информации осуществляется при низком уровне напряжения синхросигнала, сдвиг и запоминание — при высоком уровне. Регистр имеет высокое быстродействие, частота сдвига достигает 150 МГц при использовании коротких по времени импульсов синхронизации с крутыми фронтами. Микросхема 500ИР141 применяется в устройствах ЭВМ для построения разно-

образных быстродействующих регистров информации.

Микросхема 500ТМ173 представляет собой 4-разрядный синхронный регистр с мультиплексорными входами. В ней содержится четыре одноступенчатых синхронных D-триггера с логическими схемами на входе, обеспечивающими мультиплексирование входов. Управляющий сигнал в ИС 500ТМ173 выбирает один из двух возможных источников информации для всего регистра. Триггеры синхронизируются общим синхросигналом. Информация в регистр записывается (и появляется на выходе) при низком уровне напряжения синхросигнала, запоминается при высоком. Микросхема 500ТМ173 предназначена для построения разнообразных регистров с приемом информации из двух различных источников.

Микросхема 500ТМ231 является полным функциональным аналогом микросхемы 500ТМ131. Однако за счет более совершенной технологии изготовления и несколько большей потребляемой мощности она имеет меньшее время задержки и лучшие частотные свойства. Частота переключения триггеров достигает 250 МГц. Микросхема 500ТМ231 предназначена для построения быстродействующих регистров, счетчиков и делителей частоты в различных устройствах ЭВМ, в частности широко используется в системе синхронизации. Заметим, что надежная работоспособность ИС 500ТМ130, 500ТМ133, 500ТМ134, 500ТМ173 может быть обеспечена при двух- или многофазной системе синхронизации; ИС 500ТМ131, 500ТВ135, 500ИЕ136, 500ИЕ137, 500ИР141 и 500ТМ231 могут работать и в однофазной системе синхронизации.

Функциональные ИС. В состав четвертой группы ИС серии 500 входят микросхемы девяти модификаций: 500ИЕ160, 500ИД161, 500ИД162, 500ИД164, 500ИВ165, 500КП174, 500ИМ179, 500ИП180 и 500ИП181.

Микросхема 500ИЕ160 представляет собой 12-входовую ИС сложения по модулю 2. Она содержит девять связанных между собой элементов сложения по модулю 2 на 2 или 3 входа. Микросхема 500ИЕ160 предназначена для формирования сигналов четности (нечетности) двоичных слов до 12 разрядов при построении цепей контроля передачи и обработки информации в устройствах ЭВМ.

Микросхема 500ИД161 представляет собой 8-входовой дешифратор с прямыми выходами. При разрешающих сигналах управления ($W_0 = W_1 = 1$) в зависимости от определенного кода на адресных входах A_0 , A_1 и A_2 на одном из выходов ИС формируется единственный сигнал в виде лог. 1 (на других выходах лог. 0). Если на один из входов управления подан запрещающий сигнал в виде лог. 0, то на всех выходах микросхемы устанавливается лог. 0. Микросхема 500ИД161 предназначена для выработки управляющих сиг-

налов в различных устройствах ЭВМ. Наличие управляющих входов W_0 и W_1 позволяет проектировать многоразрядные дешифраторы на большее число выходов, которые широко используются для построения адресных цепей ЗУ ЭВМ.

Микросхема 500ИД162 представляет собой 8-входовой дешифратор с инверсными выходами. При разрешающих сигналах управления ($W_0 = W_1 = 1$) в зависимости от кода на адресных входах (A_0 , A_1 и A_2) на одном из выходов ИС формируется единственный сигнал в виде лог. 0 (на остальных выходах лог. 1). Если на один из входов управления подан запрещающий 0, то на всех выходах ИС устанавливается лог. 1. Аналогично ИС 500ИД161 и 500ИД162 предназначена для выработки управляющих сигналов в инверсном коде для использования в устройствах ЭВМ. Так же как и в ИС 500ИД161, наличие управляющих входов W_0 и W_1 в ИС 500ИД162 позволяет строить многоразрядные дешифраторы на большее число выходов.

Кроме функций дешифрирования микросхемы 500ИД161 и 500ИД162 могут использоваться как демultipлексоры, т. е. как функциональные схемы, которые принимают информацию по единственному каналу, а выдают ее по одному из выбранных восьми каналов. В этом случае в качестве информационного используется один из входов управления, а адресные входы применяются для выбора требуемого выходного канала.

Микросхема 500ИД164 представляет собой 8-входовой мультиплексор, т. е. функциональную схему 8-входового селектора со встроенным дешифратором. Требуемый входной канал для приема информации выбирается с помощью трех адресных входов A_0 , A_1 и A_2 . Разрешающим сигналом управления, при котором выбранная информация передается на выход мультиплексора, является лог. 1; при лог. 0 на входе управления на выходе ИС устанавливается низкий уровень напряжения (лог. 0). Применяя несколько ИС 500ИД164 в сочетании с дешифраторами, можно построить мультиплексор на большее число входов. Например, используя один дешифратор 500ИД161 и восемь мультиплексоров 500ИД164, выходы которых объединяются на одном нагрузочном резисторе, можно построить 64-входовой мультиплексор. В тех устройствах ЭВМ, где время передачи информации не является критичным, для уменьшения числа связей можно применять объединение ИС 500ИД164 и 500ИД161 (500ИД162) для передачи информации последовательным способом с последующим ее распараллеливанием.

Микросхема 500ИВ165 представляет собой 8-входовой шифратор с приоритетом. Она содержит входную комбинационную логику приоритетов на 8 входов $D_0—D_7$ и 4 одноступенчатых синхронных триггера на выходе. Высший приоритет у входа D_7 . Действующим сигналом на входе являет-

ся лог. 0. Микросхема 500IB165 предназначена для построения цепей приоритета и контроля в устройствах ЭВМ. На базе ИС 500IB165 с использованием дополнительных комбинационных логических микросхем возможно построение функциональных схем приоритета на большее число входов.

Микросхема 500КП174 содержит два 4-входовых мультиплексора. Выбор одного из направлений приема информации осуществляется общими управляющими входами S0 и S1. Каждый мультиплексор имеет парафазный выход, что расширяет его логические возможности. Микросхема 500КП174 предназначена для построения селектирующих цепей на входах регистров в различных устройствах ЭВМ. Возможно ее использования в качестве логической схемы или генератора функций.

Микросхема 500ИП179 представляет собой секцию ускоренного переноса, которая предназначена для совместной работы с 4-разрядными БИС — арифметическо-логическими устройствами (АЛУ) 500ИП181. Она ИС 500ИП179 принимает признаки переносов с четырех БИС 500ИП181, т. е. объединяет каждые 16 разрядов АЛУ и формирует сигналы переноса в 9-й, 17-й и 25-й и другие разряды. Микросхема 500ИП179 позволяет организовать второй уровень ускоренного переноса, в котором каждая ИС 500ИП179 объединяет 4 микросхемы 500ИП179 первого уровня ускоренного переноса, т. е. 64 разряда АЛУ. Второй уровень формирует сигналы ускоренного переноса в 33-й, 65-й и другие разряды АЛУ. Микросхема 500ИП179 позволяет значительно ускорить время выполнения арифметических операций в много-разрядных арифметических устройствах ЭВМ. Она может использоваться также в качестве генератора функций.

Микросхема 500ИМ180 представляет собой 2-разрядный комбинационный сумматор-вычитатель. Она имеет входы двух операндов A и B и переноса C, выходы результата в парафазном коде S, $\bar{S}$ и переноса в следующей разряд. Двумя управляющими сигналами W0 и W1 выбираются 4 следующих режима работы микросхемы: суммирование операндов $A + B$ (при $W0 = \bar{W1} = 0$); вычитание операндов $A - B$ (при $W0 = 0, W1 = 1$); вычитание операндов $B - A$ (при $W0 = 1, W1 = 0$); инверсное вычитание операндов $0 - A - B$ (при $W0 = W1 = 1$). На основе ИС 500ИМ180 строят быстродействующие арифметические блоки сложения, вычитания, умножения и деления.

Микросхема 500ИП181 представляет собой 4-разрядное арифметическо-логическое устройство (АЛУ). Она является единственной микросхемой в серии 500, которая сконструирована в 24-выводном корпусе со штыревыми выводами. АЛУ 500ИП181 — комбинационная функциональная схема (регистры отсутствуют), которая имеет 8 информационных входов операндов A0—

A3 и B0—B3. 4 входа управления S0—S3, один вход выбора функции M, один вход переноса C0, 4 выхода функций F0—F3, 3 выхода сигнала и признака переноса C, P и G. Микросхема 500ИП181 содержит цепь управления-преобразования операндов, каскад суммирования-вычитания, цепь группового переноса на 4 разряда и каскад суммирования-вычитания.

В зависимости от сигналов выбора функций M и управления S0—S3 АЛУ 500ИП181 выполняет 16 логических и 16 арифметических функций. Логические функции: константы 0 и 1; выдача A и $\bar{A}$, B и $\bar{B}$; конъюнкция A · B; дизъюнкция $A \vee B$; сложение по модулю 2 $A \oplus B$ и ее инверсия и т. д. Арифметические функции: суммирование-вычитание $A + B, A + \bar{B}, \bar{A} + B, \bar{A} + \bar{B}$; умножение AB, $\bar{A}B, A\bar{B}, \bar{A}\bar{B}$; полусумма $\bar{A}\bar{B} + A\bar{B}, AB + \bar{A}\bar{B}$ и т. д. По уровню интеграции и числу выполняемых функций АЛУ 500ИП181 можно отнести к БИС. На основе БИС 500ИП181 в ЭВМ строят быстродействующие АЛУ различного назначения.

Микросхемы памяти. В состав пятой группы ИС серии 500 входят микросхемы памяти 6 модификаций: 500РУ145, 500РУ148, 500РУ410, 500РУ415, 500РУ470 и 500РЕ149. Первые 5 модификаций являются БИС оперативных ЗУ, последняя — БИС постоянных ЗУ.

Микросхема 500РУ145 представляет собой БИС регистровой памяти емкостью 64 бит с организацией 16 слов × 4 разряда. Микросхема содержит матрицу запоминающих элементов 16×4 , 4 входных управляемых усилителя записи данных, 4-входной адресный дешифратор на 16 выходов, 4 усилителя считывания, 4 выходных управляемых элемента и схему управления записью и считыванием. На рис. 7.20 приведена структурная схема и таблица истинности БИС 500РУ145. В микросхеме имеется 4 информационных входов D0—D3, 4 информационных выходов F0—F3, 4 адресных входов A0—A3, вход управления записью W и вход выбора кристалла V. Использование входа V в качестве пятого адресного входа, а также объединение на выходе ИС с другими БИС ОЗУ позволяет наращивать блок памяти по объему. Запись информации в БИС памяти осуществляется при низком напряжении на входе W, считывание — при низком напряжении на входе V. При запрещающем высоком напряжении на входе V на выходах F0—F3 устанавливается низкий уровень напряжения.

Большая микросхема ОЗУ 500РУ145 имеет высокое быстродействие: при мощности рассеяния 470 мВт типовое время выборки по адресным входам составляет 10 нс, по входу выбора кристалла 7,5 нс. БИС 500РУ145 предназначена для построения быстродействующей регистровой памяти различного назначения (регистры общего

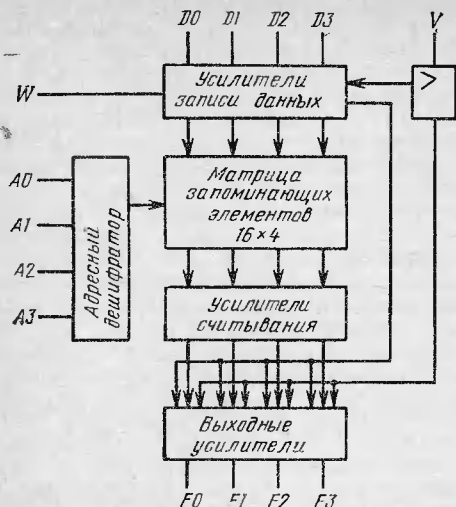


Рис. 7.20. Структурная схема и таблица истинности БИС ОЗУ 500PU145

Режим работы	Входы			Выход
	D	W	V	
Запись 0	0	1	1	1
Запись 1	1	1	1	1
Чтение	×	0	1	Q
Хранение	×	×	0	1

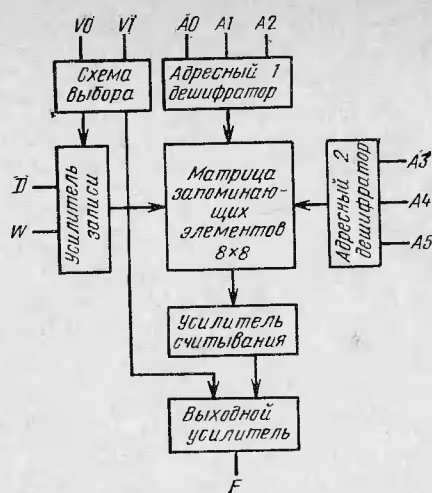


Рис. 7.21. Структурная схема и таблица истинности БИС ОЗУ 500PU148

Режим работы	Входы			Выход
	D	W	V	
Запись 0	0	1	1	1
Запись 1	1	1	1	1
Чтение	×	0	1	Q
Хранение	×	×	0	1

назначения, регистры с плавающей запятой и т. п.).

Микросхема 500PU148 представляет собой БИС оперативного ЗУ емкостью 64 бит с организацией 64 слова $\times$ 1 разряд. В составе БИС 500PU148 имеется матрица запоминающих элементов с внутренним построением 8 столбцов $\times$ 8 строк, адресный дешифратор по столбцам 3 входа $\times$ 8 выходов, адресный дешифратор по строкам 3 входа $\times$ 8 выходов, входной управляемый усилитель записи, усилитель считывания, выходной усилитель и схема выбора кристалла. На рис. 7.21 приведены структурная схема и таблица истинности БИС 500PU148. БИС 500PU148 имеет один информационный вход D, один информационный выход F, 6 адресных входов A0—A5, один вход управления записью W и два входа управления выбором кристалла V0—V1. Использование входов V0 и V1 в качестве дополнительных адресных и объединение на выходе ИС с другими БИС ОЗУ позволяет наращивать память по объему. При низком напряжении на входе W осуществляется запись информации, при высоком — считывание. Считывание информации производится при низком напряжении на входах V0 и V1. При высоком напряжении на любом из входов V на выходе устанавливается низкий уровень напряжения. Информация на выходе БИС

по отношению ко входу не инвертируется. Временная диаграмма работы БИС ОЗУ 500PU148 приведена на рис. 7.22. БИС 500PU148 имеет высокое быстродействие: при мощности потребления 420 мВт, типовое время выборки информации по адресным входам равно 10 нс. БИС 500PU148 предназначена для построения быстродействующей регистровой и местной памяти ограниченного объема.

Микросхема 500PU410 представляет собой БИС оперативного ЗУ емкостью 256 бит с организацией 256 слов $\times$ 1 разряд. Она содержит матрицу запоминающих элементов с внутренней организацией 16 строк $\times$ 16 столбцов, адресный дешифратор выбора строки 4 входа $\times$ 16 выходов, адресный дешифратор выбора столбца 4 входа $\times$ 16 выходов, управляемый усилитель записи, усилитель считывания, выходной усилитель и схему выбора кристалла. Структурная схема и таблица истинности БИС 500PU410 приведена на рис. 7.23. БИС 500PU410 имеет один информационный вход D, один информационный выход F, 8 адресных входов A0—A7, вход управления записью W и 3 входа выбора кристалла V0—V2. Использование входов V0—V2 в качестве дополнительных адресных и объединение ИС на выходе с другими БИС ОЗУ позволяет наращивать память по объему. При низком на-

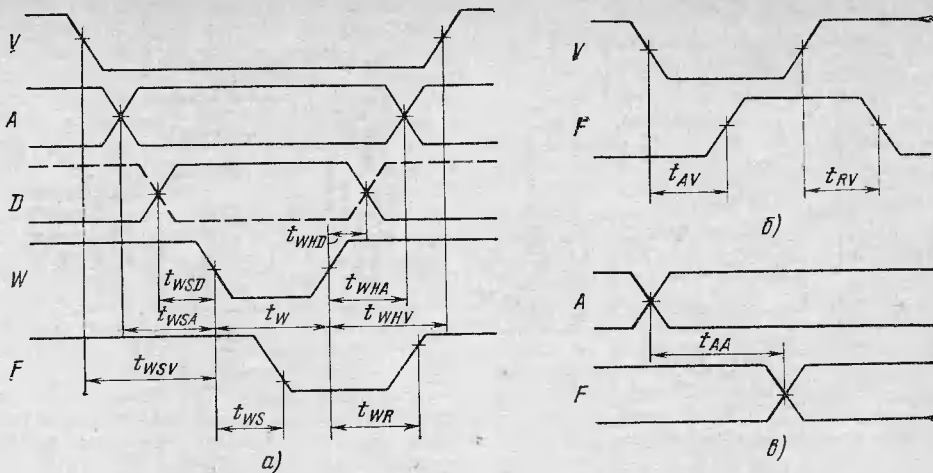


Рис. 7.22. Временная диаграмма работы БИС 500PY148

пряжении на входах V0—V2 режим работы БИС определяется входом W: при низком напряжении на входе W осуществляется режим записи, при высоком — режим считывания. Информация на выходе БИС по отношению ко входу не инвертируется. При низком напряжении на любом из входов V0—V2 на выходе устанавливается низкий уровень напряжения. При мощности рассеяния 470 мВт БИС 500PY410 имеет типовое время выбора по адресным входам 25 нс. БИС 500PY410 предназначена для построения быстродействующих местных и управляющих памяти ограниченного объема.

Микросхема 500PY415 представляет собой БИС ОЗУ емкостью 1024 бит (1К бит) с организацией 1024 слова $\times$ 1 разряд. Эта БИС содержит матрицу запоминающих элементов с внутренней организацией 32 строки $\times$ 32 столбца, два адресных дешифратора строк и столбцов 5 входов $\times$ 32 выхода, управляемый усилитель записи, усилитель считывания, выходной управляемый буферный элемент и схему выбора кристалла. Структурная схема и таблица истинности БИС 500PY415 представлены на рис. 7.24. БИС 500PY415 имеет один информационный вход D, один информационный выход F, 10 адресных входов A0—A9, вход управления записью W и вход выбора кристалла V. Использование входа в качестве дополнительного адресного и объединение на выходе с другими БИС ОЗУ позволяет наращивать память по объему. При низком напряжении на выходе V режим работы БИС 500PY415 определяется входом W: при низком напряжении на входе W осуществляется режим записи информации, при высоком — режим считывания. Информация на выходе по отношению ко входу не инвертируется. При низком напряжении на входе V на выходе устанавливается низкое напряжение. Микросхема имеет высокое быстродей-

ствие: при мощности рассеяния 520 мВт типовое время выборки по адресным входам составляет 25 нс. БИС 500PY415 предназначена для построения быстродействующих местных управляющих и буферных памяти среднего объема.

БИС ОЗУ 500PY470 представляет собой микросхему оперативной памяти емкостью 4096 бит (4К бит) с организацией 4096

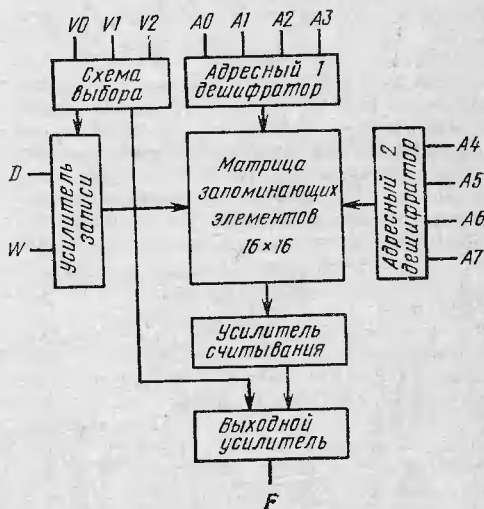


Рис. 7.23. Структурная схема и таблица истинности БИС ОЗУ 500PY410

Режим работы	Входы			Выход
	D	W	V	F
Запись 0	0	1	1	1
Запись 1	1	1	1	1
Чтение	$\times$	0	1	F
Хранение	$\times$	$\times$	0	1

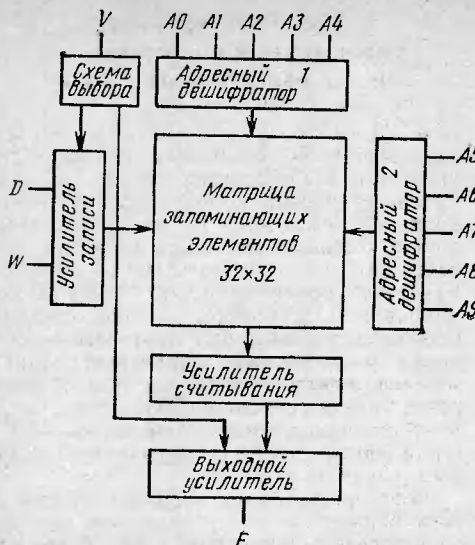


Рис. 7.24. Структурная схема и таблица истинности БИС ОЗУ 500PY414

Режим работы	Входы			Выход
	D	W	V	F
Запись 0	0	1	1	1
Запись 1	1	1	1	1
Чтение	×	0	1	F
Хранение	×	×	0	1

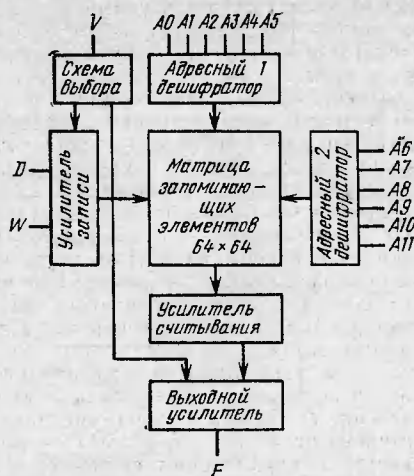


Рис. 7.25. Структурная схема и таблица истинности БИС ОЗУ 500PY470

Режим работы	Входы			Выход
	D	W	V	F
Запись 0	0	1	1	1
Запись 1	1	1	1	1
Чтение	×	0	1	F
Хранение	×	×	0	1

слов $\times 1$ разряд. Она содержит матрицу запоминающих элементов с внутренней организацией 64 строки $\times$ 64 столбца, два адресных дешифратора строк и столбцов 5 входов $\times$ 32 выхода, управляемый усилитель записи, усилитель считывания, схему выбора кристалла и выходной усили-

тель. Структурная схема и таблица истинности БИС ОЗУ 500PY470 приведены на рис. 7.25. Микросхема имеет один информационный вход D, один информационный выход F, 12 адресных входов A0—A11, вход управления записью W и вход выбора кристалла V. Вход V позволяет наращивать память путем объединения выходов с другими БИС ОЗУ. Работа БИС ОЗУ 500PY470 подобна работе БИС ОЗУ 500PY415. БИС ОЗУ 500PY470 сконструирована в 18-выводном корпусе со штыревыми выводами. Время выборки из памяти 500PY470 составляет 35 нс при мощности рассеяния 900 мВт. Микросхема предназначена для построения буферных памяти ЭВМ повышенного объема и быстродействующих ОЗУ.

Микросхема 500PE149 представляет собой БИС постоянного электрически программируемого ЗУ емкостью 1024 бит (1К бит) с организацией 256 слов $\times$ 4 разряда. Она содержит матрицу электрически программируемых запоминающих элементов с внутренней организацией 32 строки $\times$ 32 столбца, адресный дешифратор строк 5 входов $\times$ 32 выхода, адресный дешифратор столбцов 3 входов $\times$ 8 выходов, четыре усилителя считывания и 4 выходных управляемых буферных элементов (рис. 7.26). БИС 500PE149 имеет 8 адресных входов

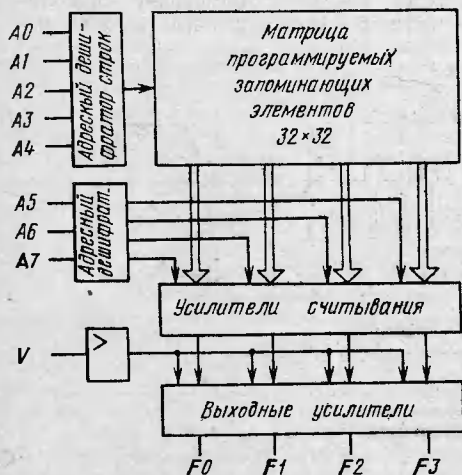


Рис. 7.26. Структурная схема БИС ППЗУ 500PE149

А0—А7, 4 выхода информации F0—F3 и один управляющий вход V. Каждый запоминающий элемент, используемый для хранения постоянной информации, содержит легкоплавкую перемычку. Наличие перемычки в элементе эквивалентно записи в нем высокого уровня напряжения, т. е. лог. 0 в отрицательной логике. Запись в запоминающий элемент низкого уровня напряжения, т. е. лог. 1, осуществляется пережиганием плавкой перемычки в строго определенном режиме на специализированных устройствах — программаторах. Пережигание перемычки в выбранном адресными входами элементе выполняется через внешние выводы калиброванным током в течение определенного времени. Для программирования запоминающих элементов кроме адресных и информационных входов используется специальный вход WP (вывод 1). Режим программирования значительно отличается от рабочего и оговаривается в нормативно-технической документации. В рабочем режиме управление БИС 500PE149 осуществляется адресными входами и входом выбора кристалла V. При низком напряжении на входе V производится считывание информации, при высоком — на выходе устанавливается низкий уровень напряжения. Использование входа V в качестве дополнительного адресного и объединение на выходе с другими БИС ППЗУ позволяет наращивать память по объему. Микросхема обладает высоким быстродействием: при мощности рассеяния 540 мВт типовое время выборки по адресным входам составляет 20 нс. Она предназначена для построения постоянных и управляющих памятей ЭВМ.

Таким образом, широкий набор ИС, серии 500, состоящий из логических, специальных, последовательностных, функциональных и запоминающих микросхем малой, средней и высокой степени интеграции, позволяет эффективно проектировать различные цифровые устройства быстродействующей вычислительной техники.

7.8. Резисторные, резисторно-конденсаторные и конденсаторные блоки

Для обеспечения нормальной работоспособности ИС серии 500 требуются нагрузочные и согласующие резисторы. Для снижения уровня помех в электрических цепях с применением ИС серии 500 необходима хорошая емкостная развязка шин основного и вспомогательного питания. Развязку могут выполнять дискретные компоненты: резисторы и конденсаторы. Однако для повышения плотности компоновки и внедрения автоматизированных методов монтажа корпусов разработаны резисторные, резисторно-конденсаторные и конденсаторные блоки, совместимые с ИС серии 500 по конструкции и эксплуатационным параметрам.

Резисторные блоки Б20 выполнены в трех вариантах: в вертикальном корпусе со штыревыми выводами с малой рассеиваемой мощностью резисторов (Б20-1); в вертикальном корпусе со штыревыми выводами с повышенной рассеиваемой мощностью резисторов (Б20-2); в 14-выводном корпусе со штыревыми выводами с малой рассеиваемой мощностью резисторов (Б20-3). На рис. 7.27 приведены габаритные и установочные размеры корпусов резисторных блоков Б20. Разработаны два варианта электрической схемы соединения резисторов в блоках Б20-1, один вариант в блоках Б20-2 и три варианта в блоках Б20-3 (рис. 7.28). Распространенные номинальные сопротивления 51, 75 и 100 Ом в схемах рис. 7.28, а—д, R_1/R_2 75/300 в схеме рис. 7.28, е. По согласованию с изготовителем блоков потребитель может заказывать и другие резисторы в соответствии с параметрическим рядом ГОСТ.

При проектировании предельно быстродействующих узлов на основе ИС серии 500 требуется массовое применение низкоомных (51 и 75 Ом) нагрузочных и согласую-

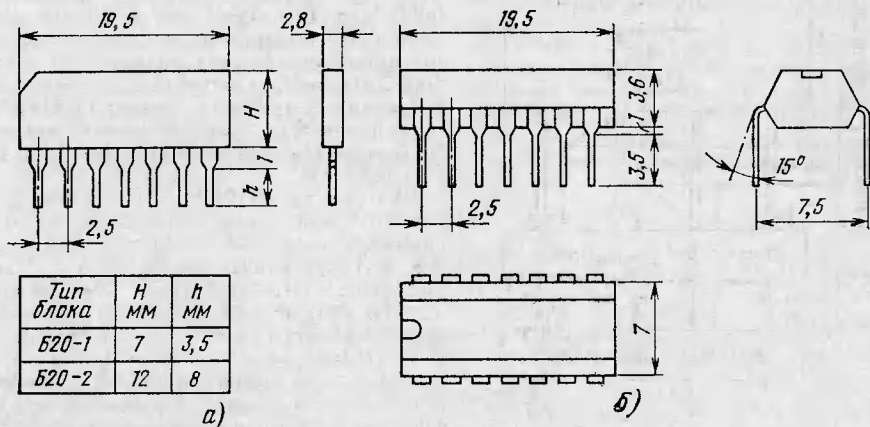


Рис. 7.27. Корпуса резисторных блоков Б20:

а — Б20-1 и Б20-2; б — Б20-3

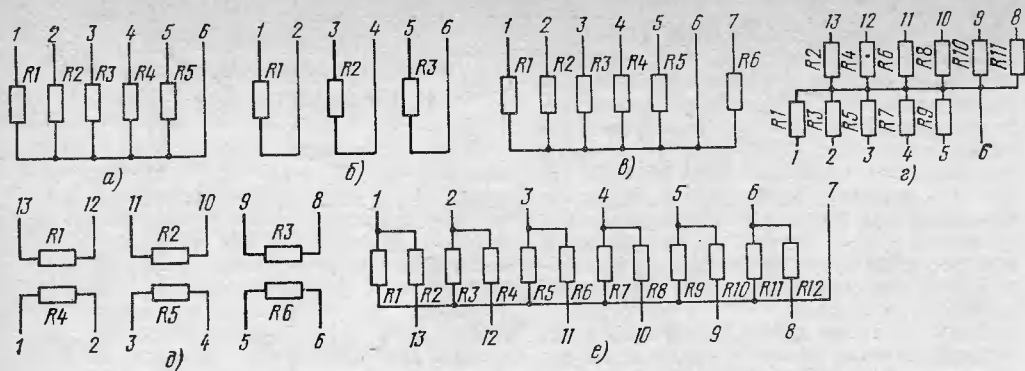


Рис. 7.28. Электрические схемы соединения резисторов в блоках Б20

щих резисторов. Переход от сопротивлений 100 Ом к сопротивлениям 75 и 51 Ом в данном случае приводит к значительному возрастанию (в 1,4 и 2 раза соответственно) разницы нагрузочных токов из выходного каскада ИС серии 500 в состоянии высокого и низкого напряжений. В результате увеличивается уровень помех, возникающих на паразитной индуктивности вывода питания резисторного блока при одновременном срабатывании элементов. Через соседние нагрузочные резисторы блока помехи проходят на выходные контакты других элементов и могут вызывать сбои в работе элементов ИС (рис. 7.29).

Для существенного снижения уровня указанных помех, возникающих при переключении ИС из одного логического состояния в другое, были разработаны резисторно-конденсаторные блоки Б20-4. В данных блоках индуктивность шины питания существенно снижена как за счет выделения второго вывода для питания, так и за счет подключения через конденсатор двух выводов шины земли (1 и 16). Конденсаторы в блоках Б20-4 одновременно выполняют функцию развязывающих в цепи вспомогательного питания —2 или —2,4 В. Для удобства применения и монтажа совместно с ИС серии 500 резисторно-конденсаторные блоки Б20-4 выполнены в 16-выводном корпусе со штыревыми выводами. Габаритные и установочные размеры корпуса блока приведены на рис. 7.30.

Существуют пять вариантов электрических схем соединений резисторов и конденсаторов в блоках Б20-4: Б20-4-1, Б20-4-2, ..., Б20-4-5 (рис. 7.31, а—д). Номинальные сопротивления и их разброс в блоках, а также условное обозначение блоков Б20-4 в КД ЕС ЭВМ приведены в табл. 7.4. Блоки выпускаются с разбросом номинальных значений ± 5 и ± 10 %. Максимально допустимая мощность составляет не более 0,075 Вт на один резистор и не более 0,5 Вт на блок Б20-4. Емкость конденсаторов в блоках 4700 пФ с допуском от +50 до —20 %. Номинальное напряжение конденсаторов 15 В.

Для повышения конструктивной однородности узлов ЭВМ, внедрения автоматизированных методов монтажа корпусов и распределенного размещения развязывающих конденсаторов на печатной плате были разработаны конденсаторные блоки Б18А. В этих блоках размещаются как керамические конденсаторы средней емкости, предназначенные для высокочастотной развязки шин питания, так и электролитические конденсаторы большой емкости, предназначенные для низкочастотной развязки. Конденсаторные блоки Б18А выполнены в 16-выводном пластмассовом корпусе, аналогичном корпусу блока Б20-4 (см. рис. 7.30). Унификация 16-выводных корпусов ИС серии 500 и блоков Б20-4 и Б18А по габаритным и установочным размерам позволяет устанавливать их в стандартные посадочные места на печатной плате типового элемента замены (ТЭЗ) в любой пропорции, упростить и автоматизировать монтаж корпусов при сборке ТЭЗ,

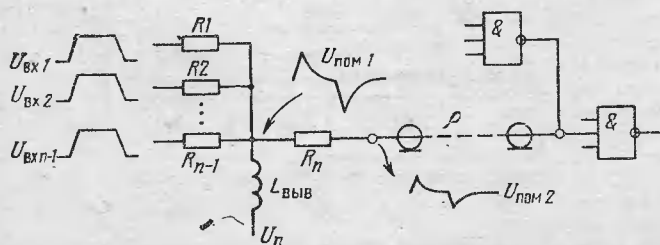


Рис. 7.29. Схемы формирования импульсной помехи в резисторном блоке

Рис. 7.30. Корпуса резисторно-конденсаторных (Б20-4) и конденсаторных (Б18А) блоков

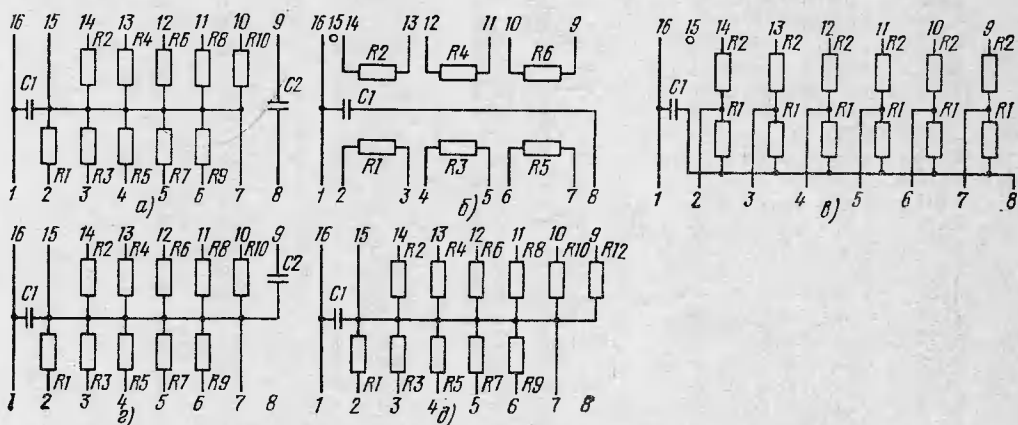
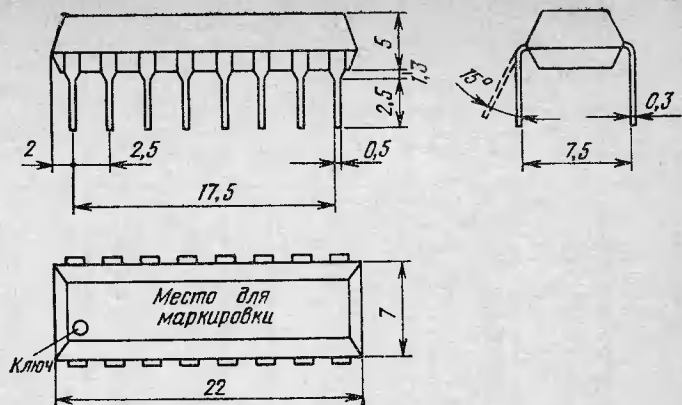


Рис. 7.31. Электрические схемы соединения резисторов и конденсаторов в блоках Б20-4

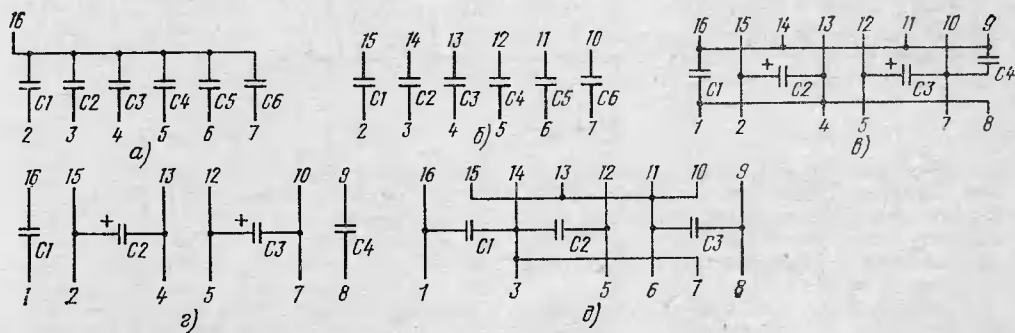


Рис. 7.32. Электрические схемы соединения конденсаторов в блоках Б18А

Таблица 7.4

Обозначение резисторно-конденсаторных блоков		Обозначение резисторов в электрической схеме	Номинальное сопротивление резисторов, Ом	Число резисторов в блоке, шт.	Число конденсаторов в блоке, шт.
КД ЕС ЭВМ	ТУ				
R101	Б20-4-1-51ЕИ-В	R1—R10	51	10	2
R102	Б20-4-1-75ЕИ-В	R1—R10	75	10	2
R103	Б20-4-1-75ЕС-В	R1—R10	75	10	2
R104	Б20-4-1К1СИ-В	R1—R10	100	10	2
R105	Б20-4-1-К10С-В	R1—R10	100	10	2
R106	Б20-4-1-К15С-В	R1—R10	150	10	2
R107	Б20-4-1-К51И-В	R1—R10	510	10	2
R108	Б20-4-1-1К0И-В	R1—R10	1000	10	2
R109	Б20-4-1-1К5И-В	R1—R10	1500	10	2
R110	Б20-4-1-2К0И-В	R1—R10	2000	10	2
R201	Б20-4-2-51ЕИ-В	R1—R6	51	6	1
R202	Б20-4-2-75ЕИ-В	R1—R6	75	6	1
R203	Б20-4-2-82ЕИ-В	R1—R6	82	6	1
R204	Б20-4-2-К10И-В	R1—R6	100	6	1
R205	Б20-4-2-К10С-В	R1—R6	100	6	1
R206	Б20-4-2-К15С-В	R1—R6	150	6	1
R207	Б20-4-2-К51И-В	R1—R6	510	6	1
R208	Б20-4-2-1К0И-В	R1—R6	1000	6	1
R301	Б20-4-3-1И-В	R1 (R2)	300/51	12	1
R302	Б20-4-3-2И-В	R1 (R2)	330/160	12	1
R303	Б20-4-3-3И-В	R1 (R2)	510/75	12	1
R304	Б20-4-3-4И-В	R1 (R2)	680/24	12	1
R305	Б20-4-3-5И-В	R1 (R2)	24/75	12	1
R306	Б20-4-3-3С-В	R1 (R2)	510/75	12	1
R401	Б20-4-4-51ЕИ-В	R1—R10	51	10	2
R402	Б20-4-4-75ЕИ-В	R1—R10	75	10	2
R403	Б20-4-4-75ЕС-В	R1—R10	75	10	2
R404	Б20-4-4-К10И-В	R1—R10	100	10	2
R405	Б20-4-4-К10С-В	R1—R10	100	10	2
R406	Б20-4-4-К15С-В	R1—R10	150	10	2
R407	Б20-4-4-К51И-В	R1—R10	510	10	2
R408	Б20-4-4-1К0И-В	R1—R10	1000	10	2
R409	Б20-4-4-1К5И-В	R1—R10	1500	10	2
R410	Б20-4-4-2К0И-В	R1—R10	2000	10	2
R501	Б20-4-5-51ЕИ-В	R1—R11	51	11	1
R502	Б20-4-5-75ЕИ-В	R1—R11	75	11	1
R503	Б20-4-5-75ЕС-В	R1—R11	75	11	1
R504	Б20-4-5-К10И-В	R1—R11	100	11	1
R505	Б20-4-5-К10С-В	R1—R11	100	11	1
R506	Б20-4-5-К15С-В	R1—R11	150	11	1
R507	Б20-4-5-К51И-В	R1—R11	510	11	1
R508	Б20-4-5-1К0И-В	R1—R11	1000	11	1
R509	Б20-4-5-1К5И-В	R1—R11	1500	11	1
R510	Б20-4-5-2К0И-В	R1—R11	2000	11	1
R511	Б20-4-5-51ЕС-В	R1—R11	51	11	1

что обеспечивает снижение трудоемкости при серийном изготовлении узлов ЭВМ. В частности, равномерное размещение конденсаторных блоков Б18А на печатной плате повышает эффективность развязки шин питания от помех.

В блоках Б18А существует пять типов соединений конденсаторов: Б18А-1, Б18А-2, ..., Б18А-5 (рис. 7.32, а—д). Номинальные емкости конденсаторов, их до-

пуск, допустимые напряжения, а также условные обозначения блоков Б18А в КД ЕС ЭВМ приведены в табл. 7.5. Специально разработанные для совместного применения с ИС серии 500 резисторные, резисторно-конденсаторные и конденсаторные блоки повышают плотность компоновки, технологичность и качественные показатели узлов ЭВМ, снижают их трудоемкость.

Таблица 7.5

Обозначение конденсаторных блоков		Обозначение конденсаторов в электрической схеме	Номинальная емкость конденсаторов блока С, мкФ	Допустимое отклонение емкости от номинального значения, %	Номинальное напряжение конденсаторов блока, В	Число конденсаторов в блоке, шт.
КД ЕС ЭВМ	ТУ					
C101	Б18А-5-1-1-В	C1—C6	0,0047	+50 —20	25	6
C102	Б18А-5-1-2-В	C1—C6	0,015	+90 —20	25	6
C103	Б18А-5-1-3-В	C1—C6	0,022	+90 —20	25	6
C201	Б18А-5-2-1-В	C1—C6	0,0047	+50 —20	25	6
C202	Б18А-5-2-2-В	C1—C6	0,015	+90 —20	25	6
C203	Б18А-5-2-3-В	C1—C6	0,022	+90 —20	25	6
C301	Б18А-5-3-1-В	C1	0,022	+90 —20	10	4
		C2	1,5	±30	10	
		C3	3,3	±30	3	
		C4	0,022	+90 —20	3	
C302	Б18А-5-3-2-В	C1	0,022	+90 —20	10	4
		C2	1,5	±30	10	
		C3	2,2	±30	6,3	
		C4	0,022	+90 —20	6,3	
C303	Б18А-5-3-3-В	C1	0,022	+90 —20	16	4
		C2	1,0	±30	16	
		C3	1,5	±30	10	
		C4	0,022	+90 —20	10	
C304	Б18А-5-3-4-2В	C1	0,022	+90 —10	20	4
		C2	0,68	±30	20	
		C3	1,0	±30	16	
		C4	0,022	+90 —20	16	
C401	Б18А-5-4-1-2В	C1	0,022	+90 —20	25	4
		C2	2,2	±30	6,3	
		C3	2,2	±30	6,3	
		C4	0,022	+90 —20	25	
C402	Б18А-5-4-2-В	C1	0,022	+90 —20	25	4
		C2	1,5	±30	19	
		C3	1,5	±30	10	
		C4	0,022	+90 —20	25	
C403	Б18А-5-4-3-В	C1	0,022	+90 —20	25	4
		C2	1,0	±30	16	
		C3	1,0	±30	16	
		C4	0,022	+90 —20	25	
C404	Б18А-5-4-4-В	C1	0,022	+90 —20	25	4
		C2	0,68	±30	20	
		C3	0,68	±30	20	
		C4	0,022	+90 —20	25	

Обозначение конденсаторных блоков		Обозначение конденсаторов в электрической схеме	Номинальная емкость конденсаторов блока С, мкФ	Допустимое отклонение емкости от номинального значения, %	Номинальное напряжение конденсаторов блока, В	Число конденсаторов в блоке, шт.
КД ЕС ЭВМ	ТУ					
C511	B18A-5-5-1-B	C1	3,3	± 30	3	3
		C2	3,3	± 30	3	
		C3	1,5	± 30	10	
C502	B18A-5-5-2-B	C1	2,2	± 30	6,3	3
		C2	2,2	± 30	6,3	
		C3	1,5	± 30	10	
C503	B18A-5-5-3-B	C1	1,5	± 30	10	3
		C2	1,5	± 30	10	
		C3	1,0	± 30	16	
C504	B18A-5-5-4-B	C1	1,0	± 30	16	3
		C2	1,0	± 30	16	
		C3	0,68	± 30	20	

Глава 8

Характеристики и параметры микросхем серии K1500

8.1. Электрические схемы и принцип работы

Серия K1500 представляет собой набор субнаносекундных интегральных схем средней интеграции (СИС). Логические элементы в микросхемах серии K1500 имеют типовое время задержки сигнала при переключении менее 1 нс. Схемотехнической основой СИС серии K1500 являются эмиттерно-связанные логические (ЭСЛ) схемы. По сравнению с ИС ЭСЛ серии 500 схемотехника, технология, конструкция и логика СИС серии K1500 претерпели

существенные изменения — значительно улучшились характеристики и параметры [46]. Заметим, что отечественные ЭСЛ СИС серии K1500 являются функциональным аналогом микросхем серии F100K [20].

На рис. 8.1 приведена схема базового логического элемента 2И/2И—НЕ серии K1500. Так же, как и в серии 500, электрическая схема логического элемента состоит из: токового переключателя (ТП), выходных эмиттерных повторителей (ЭП) и источника опорных напряжений (ИОН); назначение и функции ТП, ЭП и ИОН в ЭСЛ элементе серии K1500 соответствуют назначению и функциям аналогичных электрических цепей в ЭСЛ элементе серии 500. Однако для стабилизации параметров и характеристик СИС серии K1500 по электропитанию и температуре электрические цепи ТП и ИОН изменены. Генератор тока ТП построен на транзисторе VT6 и резисторе R4 и имеет определенную зависимость от температуры: при повышении температуры ток генератора увеличивается. В то же время при изменении напряжения схемы питания от номинального значения ток генератора остается постоянным. Между прямым и инверсным коллекторными узлами ТП встроена термостабилизирующая цепь, выполненная на диодах VD1, VD2 и резисторе R3. Существенно усложнился ИОН.

Базовый ЭСЛ элемент серий K1500 работает следующим образом (рис. 8.1).

Типовое значение высокого уровня напряжения $U^0 = -0,95$ В, низкого уровня $U^1 = -1,7$ В. Опорное напряжение U_{01} составляет $-1,32$ В. Типовое значение ам-

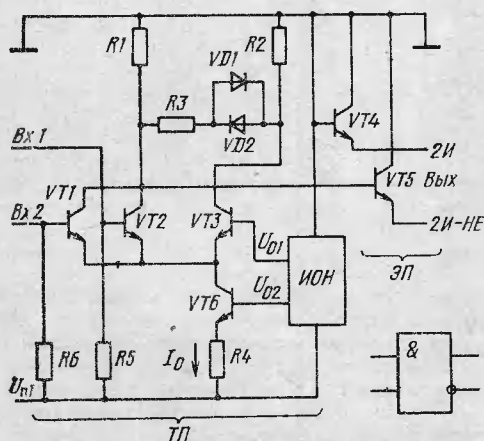


Рис. 8.1. Электрическая схема базового ЭСЛ элемента 2И/И—НЕ серии K1500

плитуды логического сигнала $U_{\text{Л}} = 0,75 \text{ В}$. При подаче на один из входов (или на оба сразу) высокого уровня напряжения транзистор $VT1$ (или $VT2$, или оба) открывается, поскольку напряжение на его базе существенно выше напряжения на базе транзистора $VT3$. Ток I_0 , задаваемый генератором тока на транзисторе $VT6$ и резисторе $R4$, протекает через транзистор $VT1$ (или $VT2$, или оба) и создает падение напряжения на резисторе $R1$, равное $0,9 \text{ В}$. Со смещением $0,8 \text{ В}$ на эмиттерном переходе транзистора $VT5$ указанное напряжение образует низкий уровень напряжения $-1,7 \text{ В}$ на инверсном выходе ЭСЛ элемента. Транзистор $VT3$ в это время закрыт, и на его коллекторе устанавливается напряжение, равное $-0,15 \text{ В}$, за счет протекания базового тока транзистора $VT4$ и некоторого добавочного тока через диод $VD2$. Указанное напряжение, смещаясь на $0,8 \text{ В}$ на эмиттерном переходе транзистора $VT4$, создает высокий уровень напряжения $-0,95 \text{ В}$ на прямом выходе ЭСЛ элемента. При подаче на оба входа низкого уровня напряжения $-1,70 \text{ В}$ входные транзисторы $VT1$ и $VT2$ закрываются, транзистор $VT3$ открывается, ток I_0 протекает по прямому плечу ТП: на прямом выходе устанавливается низкий уровень напряжения ($-1,70 \text{ В}$), на инверсном — высокий ($-0,95 \text{ В}$). Таким образом, базовый ЭСЛ элемент серий К1500 выполняет функцию 2И/2И—НЕ в отрицательной логике и 2ИЛИ/2ИЛИ—НЕ — в положительной.

Электрические схемы ТП и ИОН спроектированы таким образом, чтобы изменения температуры окружающей среды и напряжения основного источника питания $U_{\text{П}}$ не приводили бы к изменению выходных уровней напряжения, опорного напряжения и помехозащищенности элемента. Стабилизация параметров и характеристик ЭСЛ элемента серий К1500 по температуре осуществляется следующим образом. В ЭСЛ элементе с нестабилизированными по температуре параметрами и характеристиками выходные уровни напряжения (высокий и низкий) повышаются с возрастанием рабочей температуры за счет уменьшения падения напряжения на эмиттерных переходах транзисторов ЭП. В ЭСЛ элементе серии К1500 указанное уменьшение падения напряжения компенсируется дополнительным падением напряжения на коллекторных сопротивлениях $R1$ и $R2$ ТП за счет добавочного тока.

Добавочный ток вырабатывается генератором ТП при повышении температуры за счет уменьшения падения напряжения на эмиттерном переходе транзистора $VT6$ в условиях неизменной разницы напряжений $U_{\text{П1}}$ и $U_{\text{П2}}$ в диапазоне рабочих температур. Добавочный ток в коллекторном узле ТП разделяется на две равные части. Например, при открытом транзисторе $VT3$ основной ток и половина добавочного протекают через резистор $R2$. Вторая половина добавочного тока протекает через резисто-

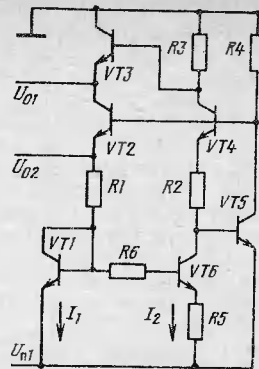


Рис. 8.2. Электрическая схема источника опорных напряжений СИС серии К1500

ры $R1$, $R3$ и диод $VD1$. Диод $VD2$ в это время закрыт. При открытом транзисторе $VT1$ (или $VT2$) основной ток и половина добавочного протекают через резистор $R1$. Вторая половина добавочного тока происходит через резисторы $R2$, $R3$ и диод $VD2$. Диод $VD1$ в это время закрыт. Добавочный ток минимален при самой низкой рабочей температуре элемента и увеличивается по мере повышения температуры. Диоды $VD1$ и $VD2$ применяются для компенсации изменения падения напряжения на резисторе $R3$, которое зависит от температуры, для сохранения постоянной разницы напряжения между коллекторами транзисторов ТП и, следовательно, постоянной амплитуды сигнала. Полная компенсация и, следовательно, постоянство выходных уровней напряжения в диапазоне температур выполняются при вполне определенных соотношениях сопротивлений, а именно $R_1 = R_2 = 2R_4$.

Стабилизация параметров и характеристик ЭСЛ элемента серии К1500 по температуре и питанию в значительной степени определяется ИОН. Электрическая схема ИОН приведена на рис. 8.2. Для обеспечения стабилизации по температуре необходимо, чтобы напряжения U_{01} и U_{02} не изменялись в диапазоне рабочих температур (при постоянном напряжении) питания $U_{\text{П}}$. Для осуществления стабилизации по электропитанию необходимо, чтобы напряжения U_{01} не изменялись при отклонении напряжения $U_{\text{П}}$ от номинального значения, а напряжение U_{02} в точности воспроизводило изменения напряжения $U_{\text{П}}$. В этом случае напряжение на генераторе тока ТП сохраняется постоянным, а ток I_0 стабильным.

Рассмотрим как выполняется стабилизация напряжений U_{01} и U_{02} при изменении температуры. Постоянство напряжения U_{01} обеспечивается определенным включением разных по площади эмиттерных переходов транзисторов $VT1$ и $VT6$. Указанная площадь существенно больше в транзисторе $VT6$. В условиях практически рав-

ного напряжения на базах транзисторов $VT1$ и $VT6$ при задании через транзистор $VT1$ определенного тока I_1 через транзистор $VT6$ протекает ток I_2 , больший тока I_1 во столько раз, во сколько площадь эмиттерного перехода транзистора $VT8$ больше аналогичной площади транзистора $VT1$. На ток I_2 влияет также сопротивление резистора R_5 . Сопротивления резисторов R_2 — R_5 выбраны таким образом, чтобы формировались нужные напряжения U_{01} и U_{02} (в ИС серии К1500: $U_{01} = -1,32$ В, $U_{02} = -3,2$ В). При повышении рабочей температуры элемента напряжение $U_{БЭ}$ транзистора $VT1$ уменьшается, ток I_1 увеличивается, вызывая увеличение тока I_2 . За счет увеличения тока I_2 возрастает падение напряжения на резисторе $R3$, которое компенсирует уменьшение падения напряжения на эмиттерном переходе транзистора $VT3$ при повышении температуры. В результате напряжение U_{01} остается постоянным при изменении рабочей температуры.

Напряжение на коллекторе транзистора $VT6$ определяется падением напряжения на эмиттерном переходе транзистора $VT5$. Сопротивление резистора $R2$ выбирается равным сопротивлению $R3$. В результате температурные изменения падения напряжения на эмиттерном переходе транзистора $VT5$ полностью компенсируются увеличением падения напряжения на резисторе $R2$ за счет увеличения тока I_2 . На эмиттере транзистора $VT4$ напряжение сохраняется постоянным в диапазоне температур. Через общие базы транзисторов $VT4$ и $VT2$ оно формирует постоянное в диапазоне температур напряжение U_{02} .

Стабилизацию характеристик и параметров по питанию в ЭСЛ элементе серии К1500 полностью обеспечивает схема ИОН. Для выполнения данной функции в схеме ИОН служит цепь из транзистора $VT5$ и резистора $R4$. Данная цепь работает таким образом, что отклонения напряжения питания от номинального значения полностью

повторяются на резисторе $R4$ и через транзистор $R2$ на выходе U_{02} . Таким образом, разность $U_{П} - U_{02}$ все время сохраняется постоянной, в результате в генераторе тока ТП формируется стабильный ток I_0 даже при изменении напряжения питания. По этой же причине ток I_1 в цепи транзистора $VT1$ и ток I_2 в цепи транзистора $VT2$ ИОН сохраняются постоянными, постоянный ток I_2 вызывает постоянное падение напряжения на резисторе $R3$. В результате при изменении напряжения питания $U_{П}$ остается неизменным опорное напряжение U_{01} ИОН. За счет постоянного тока I_0 ТП и постоянного опорного напряжения U_{01} ИОН при изменении напряжения питания $U_{П}$ сохраняются стабильными уровни выходного сигнала, амплитуда сигнала и помехозащищенность элементов. Таким образом, в результате использования специальных схемотехнических решений ТП и ИОН в микросхемах ЭСЛ серии К1500 достигается стабилизация статических характеристик и параметров по температуре и электропитанию. Указанная стабилизация в значительной степени определяет и стабильные динамические параметры. В ЭСЛ СИС серии К1500 достигнуты более высокие эксплуатационные параметры, существенно облегчающие разработку и применение вычислительной аппаратуры в части обеспечения ее электропитанием и охлаждением.

Так же как и в серии 500 для значительного расширения логических возможностей ЭСЛ элементов серии К1500 применяется весь накопленный ранее спектр схемотехнических решений: эмиттерное и коллекторное объединение, двух- и трехуровневое переключение сигнала, уменьшенный логический сигнал для работы внутри СИС и БИС, парафазное управление, двухэмиттерные выходы ЭП. На рис. 8.3 приведена электрическая схема ЭСЛ элемента серии К1500, выполняющего функцию 2И—2ИЛИ/2И—2ИЛИ—НЕ в отрицательной логике и использующего эмиттерное и кол-

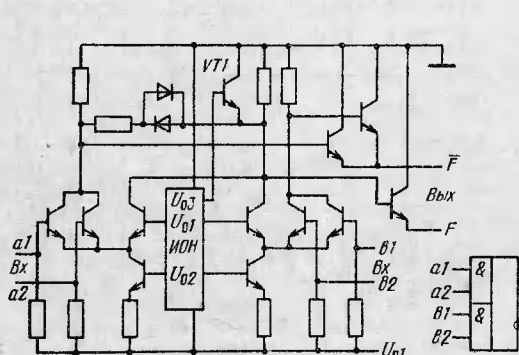


Рис. 8.3. Электрическая схема логического элемента 2И—2ИЛИ/2И—2ИЛИ—НЕ серии К1500

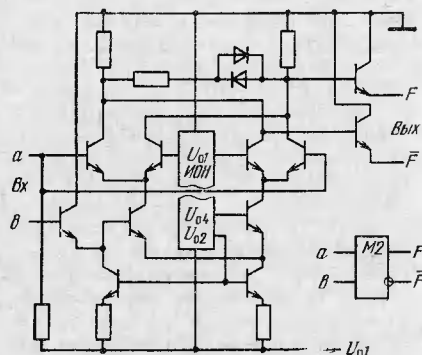


Рис. 8.4. Электрическая схема двухуровневого элемента сложения по модулю 2 СИС серии К1500

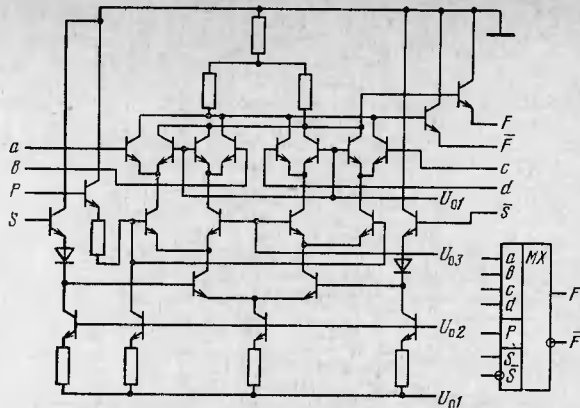


Рис. 8.5. Электрическая схема трехуровневого ЭСЛ элемента СИС серии К1500

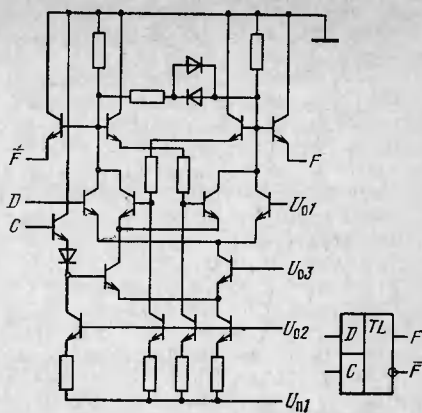


Рис. 8.6. Электрическая схема синхронного триггера СИС серии К1500

латорное объединение. Для ограничения амплитуды сигнала в коллекторе транзисторов прямых плеч ТП включается ограничивающий транзистор VT_1 , а в схеме ИОН формируется дополнительное напряжение U_{03} . На рис. 8.4 приведена электрическая схема элемента сложения по модулю 2 с парафазным выходом, выполненного по двухуровневой схеме. Для обслуживания второго уровня переключения в ТП схема ИОН формирует опорное напряжение U_{04} .

Трехуровневое переключение сигнала в элементе ЭСЛ серии К1500 с напряжением питания —4,5 В применяется в электрических схемах внутренних элементов с уменьшенным сигналом и парафазным управлением (рис. 8.5). Уменьшенный по амплитуде логический сигнал используется во внутренних ЭСЛ элементах микросхем средней и большой степеней интеграции серии К1500 для сокращения потребляемой и рассеиваемой мощности. Для того чтобы уменьшенный сигнал в подобных схемах был бы симметричен относительно опорного напряжения U_{01} , а элемент имел бы одинаковую помехозащищенность по верхнему и нижнему логическим уровням напряжения, производится смещение уровней сигнала общими коллекторным сопротивлением в ТП. Для построения синхронных триггеров применяется двухуровневая электрическая схема с обратными связями, выполненными на внутренних эмиттерных повторителях (рис. 8.6). Таким образом, при проектировании микросхем серии К1500 для расширения логических возможностей, увеличения быстродействия и сокращения мощности элементов использовался широкий спектр схемотехнических решений.

8.2. Типовые характеристики и параметры

Для оценки качества ЭСЛ элементов серии К1500 используют три характеристики: передаточную, входную и выходную.

Передаточная характеристика прямого и инверсного выхода ЭСЛ элемента серии К1500 приведена на рис. 8.7. Четыре области на передаточной характеристике принципиально не отличаются от аналогичных областей передаточной характеристики ЭСЛ ЭСЛ элемента серии 500. Заметим, что низкий выходной уровень напряжения с инверсного выхода элемента сохраняется постоянным в значительном диапазоне (область 3), так как ток генератора ТП не зависит от входного напряжения и, вследствие этого амплитуда выходного сигнала не изменяется вплоть до уровня входного напряжения, приводящего в насыщение входной транзистор (от —0,2 до —0,3 В). При превышении данного напряжения входной транзистор насыщается и значительная доля тока генератора ответвляется в базовую цепь входного транзистора, вследствие чего амплитуда выходного сигнала заметно уменьшается (область 4).

Входная характеристика, характерные области и точки на ней показаны на рис. 8.8. Входная характеристика элемента

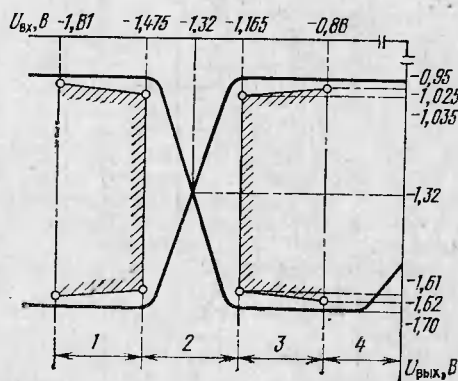
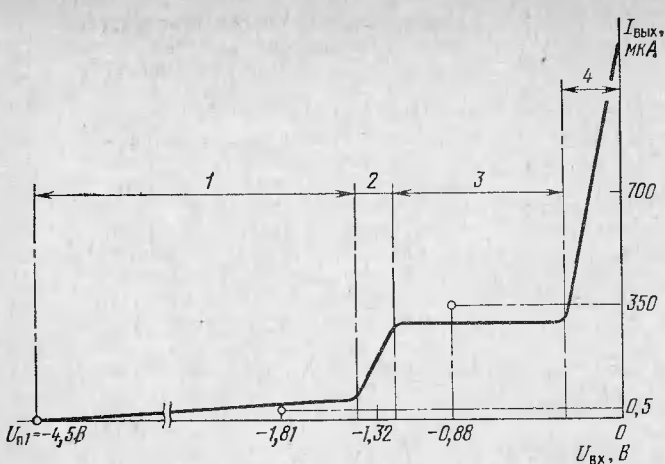


Рис. 8.7. Передаточная характеристика ЭСЛ элемента серии К1500

Рис. 8.8. Входная характеристика ЭСЛ элемента серии К1500



серии К1500 практически не отличается от аналогичной характеристики элемента серии 500. В области 3 входной ток остается постоянным, поскольку коллекторный ток через входной транзистор в этой области не изменяется, так как ток генератора ТП не зависит от входного напряжения. Входной ток несколько больше, так как в ТП элемента серии К1500 задан и переключается больший ток (около 6 мА).

Выходная характеристика высокого и низкого уровней напряжения ЭСЛ элемента серии К1500 приведена на рис. 8.9. Выходная характеристика практически не отличается от аналогичной характеристики ЭСЛ элемента серии 500. Заметим, что вследствие определенных схмотехнических отличий ЭСЛ элемента серии К1500 от элементов серии 500 несколько изменились

и типовые значения основных статических параметров: высокий уровень выходного напряжения составляет -0,95 В, низкий уровень -1,7 В, опорное напряжение -1,32 В, пороговые уровни -1,165 В и -1,475 В, амплитуда сигнала -0,75 В.

Согласно техническим условиям на микросхемы серии К1500 гарантируются следующие параметры в диапазоне рабочих температур (от 1 до 85 °С на основании корпуса), при напряжении основного источника питания -4,5 В, вспомогательного источника питания -2,0 В и нагрузке 50 Ом (на примере логической ИС 1500ЛМ101):

максимальный ток потребления от основного источника 38 мА;

максимальный высокий уровень выходного напряжения -0,88 В;

минимальный высокий уровень выходного напряжения -1,025 В;

минимальный высокий пороговый уровень выходного напряжения (измеряется при подаче на вход пороговых уровней входного напряжения) -1,035 В;

максимальный низкий уровень выходного напряжения -1,62 В;

максимальный низкий пороговый уровень выходного напряжения -1,61 В;

минимальный низкий уровень выходного напряжения -1,81 В;

максимальный входной ток при максимальном высоком уровне входного напряжения 350 мА;

минимальный входной ток при минимальном уровне входного напряжения 0,5 мА;

максимальное время задержки при переключении элемента на выходе из низкого уровня в высокий 1,5 нс;

максимальное время задержки при переключении элемента на выходе из высокого уровня в низкий 1,5 нс.

Важнейшие статические и динамические параметры элементов серии К1500 приведены ниже:

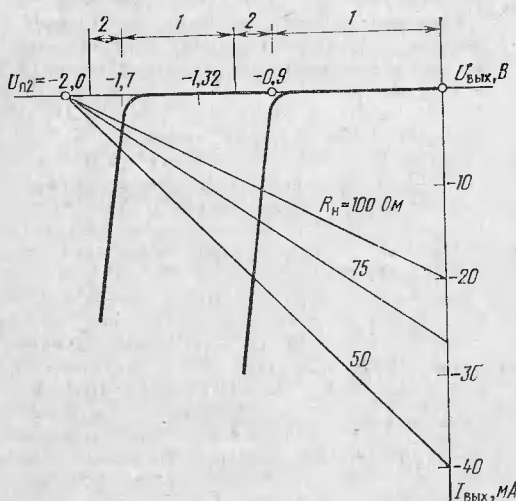


Рис. 8.9. Выходная характеристика ЭСЛ элемента серии К1500

Входные и выходные установочные (режимные) параметры

Входное напряжение лог. 0, В	—0,88	—0,88	—0,88
Входное пороговое напряжение лог. 0, В	—1,165	—1,165	—1,165
Входное пороговое напряжение лог. 1, В	—1,475	—1,475	—1,475
Входное напряжение лог. 1, В	—1,81	—1,81	—1,81
Сопротивление нагрузки, подключенное к источнику электропитания $U_{п2} = -2$ В, Ом	50	50	50

Входные и выходные контролируемые параметры

Выходное максимальное напряжение лог. 0, В	—0,88	—0,88	—0,88
Выходное минимальное напряжение лог. 0, В	—1,025	—1,025	—1,025
Выходное пороговое напряжение лог. 0, В	—1,035	—1,035	—1,035
Выходное максимальное напряжение лог. 1, В	—1,62	—1,62	—1,62
Выходное минимальное напряжение лог. 1, В	—1,81	—1,81	—1,81
Выходное пороговое напряжение лог. 1, В	—1,61	—1,61	—1,61
Максимальный входной ток лог. 0, А	0,35	0,35	0,35
Минимальный входной ток лог. 1, мкА	0,5	0,5	0,5
Максимальное время задержки при переключении элемента ($C_H = 5$ пФ):			
из 0 в 1, нс	—	1,5	—
из 1 в 0, нс	—	1,5	—

Таким образом, при создании новой серии субнаносекундных микросхем серии К1500 были применены более совершенные схемотехнические решения, что обеспечило значительно улучшение основных параметров и характеристик элементов. За счет введенной стабилизации характеристики и параметры СИС серии К1500 практически не зависят от главных дестабилизирующих факторов: изменения рабочей температуры и напряжения питания.

8.3. Функциональный состав

Серия СИС К1500 представляет собой набор логических, функциональных, арифметических, специальных и запоминающих микросхем, объединенных общими схемотехническими, технологическими и конструктивными решениями, общими техническими условиями. Серия К1500 является функционально полной системой элементов, на основе которой можно эффективно реализовать сколь угодно сложную цифровую логическую функцию.

В настоящее время в серию К1500 входит 32 модификации микросхем малой средней и большой степени интеграции. Перечень модификаций СИС серии К1500, их обозначения согласно ТУ в табл. 8.1,

а условные графические обозначения — в приложении 2.

Микросхемы серии К1500 можно условно разделить на пять следующих групп: логические, специальные и вспомогательные, триггеры и последовательностные, функциональные и микросхемы памяти.

Логические СИС. В состав первой группы микросхем серии К1500 входят универсальные логические СИС шести модификаций: К1500ЛМ101, К1500ЛМ102, К1500ЛП107, К1500ЛП112, К1500ЛК117 и К1500ЛК118. В микросхеме К1500ЛМ101 реализовано три логических элемента 5И с парафазными выходами, в микросхеме К1500ЛМ102 — пять логических элементов 3И/3И—НЕ с одним общим стробирующим входом на все элементы. В СИС К1500ЛП107 имеется пять логических элементов сложения по модулю 2 с парафазными выходами. В микросхеме К1500ЛП112 реализовано четыре логических элемента 2И/2И—НЕ с парафазными выходами и одним общим стробирующим входом. В каждом элементе СИС К1500ЛП112 имеются два инверсных и два прямых выхода. Это расширяет логические возможности элементов при эмиттерном объединении на выходе, кроме того полезно для работы на отдельные линии связи.

Таблица 8.1

Обозначение СИС		Функциональное содержание СИС	Типовое время задержки, нс	Типовая потребляемая мощность, мВт	Уровень интеграции, элемент
КД	ТУ				
F101	K1500ЛМ101	Три элемента 5И/5И — НЕ	0,9/1,7	120	41
F102	K1500ЛМ102	Пять элементов 3И/3И — НЕ с общим стробирующим входом	0,9/1,7	250	6
F107	K1500ЛП107	Пять элементов сложения по модулю 2	1,1/1,3	300	18
F112	K1500ЛП112	Четыре элемента 2И/2И — НЕ с двойными выходами и общим стробирующим входом	1,1/1,3	330	7
F114	K1500ЛП114	Пять дифференциальных приемников	1,6	330	6
F117	K1500ЛК117	Три элемента 2И — 2ИЛИ/2И — 2ИЛИ — НЕ	0,9/1,9	245	10
F118	K1500ЛК118	Один элемент 2, 4, 4, 4, 4И — 5ИЛИ/2, 4, 4, 4, 5И — 5ИЛИ — НЕ	2,1/2,6	175	6
F122	K1500ЛП122	Девять буферных элементов	0,9	315	9
F123	K1500ВА123	Шесть магистральных передатчиков	1,6/4,0	730	16
F124	K1500ПУ124	Шесть элементов-трансляторов уровней ТТЛ—ЭСЛ	2,0	780	14
F125	K1500ПУ125	Шесть элементов-трансляторов уровней ЭСЛ — ТТЛ	3,0	960	12
F130	K1500ТМ130	Три синхронных одноступенчатых DV-триггера	1,1/2,0	480	16
F131	K1500ТМ131	Три синхронных двухступенчатых DV-триггера	1,4/2,1	480	26
F136	K1500ИЕ136	Универсальный синхронный 4-разрядный регистр-счетчик	1,5/3,0	880	139
F141	K1500ИР141	Универсальный синхронный 8-разрядный регистр	1,9	765	95
F150	K1500ИР150	Синхронный 6-разрядный регистр на основе одноступенчатых триггеров	1,3/2,0	510	23
F151	K1500ИР151	Синхронный 6-разрядный регистр на основе двухступенчатых триггеров	1,8/2,4	635	42
F155	K1500КП155	Синхронный 4-разрядный регистр с мультиплексторными входами на основе одноступенчатых триггеров	1,4/2,7	430	30
F156	K1500ИП156	Синхронный 4-разрядный регистра-маска на основе одноступенчатых триггеров	1,3/2,9	690	44
F160	K1500ИЕ160	Две 9-входовые схемы контроля по четности	1,2/3,2	370	44
F163	K1500КП163	Два 8-входовых мультиплексора	1,5/2,1	490	22
F164	K1500КП164	Один 16-входовой мультиплексор	1,8/2,8	315	26
F166	K1500СП166	9-разрядная схема сравнения	2,9	765	36
F170	K1500ИД170	Универсальный дешифратор	1,7/2,0	490	48
F171	K1500КП171	Три 4-входовых мультиплексора	1,2/2,0	360	20
F179	K1500ИП179	Схема ускоренного переноса	2,3	745	45

Обозначение СИС		Функциональное содержание СИС	Типовое время задержки, нс	Типовая потребляемая мощность, мВт	Уровень интеграции, элемент
КД	ТУ				
F180	K1500ИМ180	Комбинационный 6-разрядный сумматор	2,2/2,9	765	77
F194	K1500ИД194	Пять дуплексных магистральных приемников-передатчиков	1,1/1,7	890	15
F415	K1500РУ415	БИС оперативных 3У емкостью 1024 бит (1024×1)	15,0 ²	470	1024 ³
F470	K1500РУ470	БИС оперативных 3У емкостью 4096 бит (4096×1)	25,0	900	4096
F416	K1500РТ416	БИС постоянных программируемых 3У емкостью 1024 бит (256×4)	15,0	900	1024
F473	K1500РУ073	БИС оперативных 3У емкостью 256 бит (64×4)	6,0	675	256

Примечания. 1. Наличие в элементах парафазного выхода или дополнительных выходов той же фазы учитывается при оценке уровня интеграции добавочным коэффициентом, результат округляется до целого числа.

2. Для БИС F415, F470, F416 и F473 в графе 5 указано типовое время выборки информации от подачи адреса до считывания.

3. Уровень интеграции запоминающих БИС оценивается числом элементов, равным емкости БИС 3У в битах.

В СИС K1500ЛК117 имеется три логических элемента И—ЗИЛИ с парафазными выходами. Число входов по И: два, два, один. В микросхеме K1500ЛК118 — один логический элемент И—ЗИЛИ с парафазными выходами. Число входов по И: пять, три раза по четыре, два. СИС K1500ЛМ101, K1500ЛМ102, K1500ЛП112 выполнены по схемотехнике одноуровневых элементов, микросхемы K1500ЛП107, K1500ЛК117, K1500ЛК118 спроектированы на основе двухуровневых элементов. Перечисленные простейшие логические СИС серии K1500 применяются для построения разнообразных комбинационных схем вычислительной техники в тех случаях, где невозможно или нецелесообразно использовать микросхемы с более высоким уровнем интеграции.

Специальные и вспомогательные СИС. В состав второй группы микросхем серии K1500 входят шесть модификаций: K1500ЛП114, K1500ЛП122, K1500ВА123, K1500ПУ124, K1500ПУ125 и K1500ИД194. В СИС K1500ЛП114 реализовано пять дифференциальных приемников с парафазными выходами. Микросхема предназначена для приема парафазных сигналов с длинных линий связи, имеет высокую помехоустойчивость к синфазным помехам. В СИС K1500ЛП114 имеется внешний вывод опорного напряжения, что позволяет осуществлять также прием однофазных сигналов, в том числе с организацией гистерезисной характеристики приемника. В микросхеме K1500ВА123 имеется шесть передатчиков, предназначенных для работы на маги-

стральные линии связи. Передатчики СИС K1500ВА123 могут работать на нагрузку 25 Ом, подключаемую к источнику напряжения —2 В, что эквивалентно подключению двух резисторов сопротивлением 50 Ом на разных концах магистральной линии связи. Передатчики СИС K1500ВА123 формируют увеличенную амплитуду сигнала за счет понижения низкого выходного уровня. Вследствие этого при использовании источника вспомогательного электропитания —2 В выходные ЭП на низком уровне сигнала закрываются и передатчики переходят в режим холостого хода. Данный режим позволяет объединять несколько удаленных друг от друга передатчиков и приемников на одной магистральной линии связи и без существенных искажений передавать сигналы по ней. Микросхемы K1500ВА123 применяются для организации быстрого обмена информацией между устройствами и блоками, построенными на субнаносекундных ЭСЛ СИС серии K1500, по магистральным линиям связи.

В СИС K1500ПУ124 реализовано шесть элементов-трансляторов сигналов ТТЛ—ЭСЛ с парафазными сигналами и общим стробирующим входом. Для обеспечения работоспособности микросхемы требуется напряжение дополнительного электропитания +5 В. На входах СИС K1500ПУ124 используются стандартные входные цепи ТТЛШ элементов, на выходе установлены стандартные каскады ЭСЛ СИС серии K1500. В микросхеме K1500ПУ125 имеется шесть элементов-

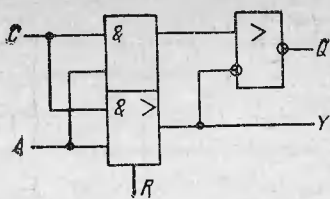


Рис. 8.10. Логическая схема дуплексного магистрального элемента СИС К1500ИД194

трансляторов сигналов ЭСЛ—ТТЛ с парафазными входами. На входах элементов установлены ЭСЛ дифференциальные элементы, обеспечивающие высокую помехоустойчивость ИС к синфазным помехам при приеме парафазных сигналов. В СИС К1500ПУ125 опорное напряжение подается на отдельный вывод корпуса, что позволяет также осуществлять однофазный прием информации, в том числе с организацией гистерезисной характеристики элемента. Для электропитания СИС К1500ПУ125 также требуется дополнительное напряжение +5 В. На выходе микросхемы К1500ПУ125 — стандартный выходной каскад ТТЛШ элемента. При незадействованных входах элемента К1500ПУ125 на его выходе устанавливается низкий ТТЛ уровень напряжения. СИС К1500ПУ124 и К1500ПУ125 предназначены для организации быстродействующего обмена информацией между устройствами и блоками ЭВМ, построенными на субмикросекундных микросхемах серии К1500 и ТТЛ ИС.

В микросхеме К1500ИД194 реализовано пять дуплексных магистральных элементов. Каждый элемент состоит из магистрального передатчика, приемника и управляющего элемента (рис. 8.10). В каждом элементе имеется информационный вход А, информационный выход Q, выход на магистраль Y, общий на все элементы управляющий вход С и вход подключения токозадающего резистора R. Основным режимом работы дуплексных магистральных элементов является одновременный обмен информацией между элементами, включенными на одну общую магистраль (шину),

Таблица 8.2

Входы			Напряжение, В	Выходы	
С	A1	A2		Q1	Q2
1	1	0	-0,8	0	1
1	0	1	-0,8	1	0
1	0	0	0	0	0
1	1	1	-1,7	1	1

которая выполняется как согласованная с двух сторон линия связи. Указанный режим организуется путем присоединения магистральных выходов Y двух элементов на общую шину с выбранным волновым сопротивлением ρ и подключения токозадающих резисторов с сопротивлением, равным $\rho/2$, к выводам R элементов (рис. 8.11). Минимальное волновое сопротивление магистральной линии связи, на которую могут работать два встречно включенных дуплексных элемента, равно 75 Ом. Для работы на более низкое волновое сопротивление допускается объединять в параллель два или несколько дуплексных элементов, при этом число обслуживаемых магистралей уменьшается в соответствующее число раз.

Информационные входы и выходы дуплексных элементов работают со стандартными сигналами ИС серии К1500. Два встречно включенных дуплексных элемента могут формировать на общей шине три уровня сигналов в зависимости от состояния их входов. Их значения: 0, -0,8—1,7 В. При высоком уровне напряжения на информационных входах обоих элементов устанавливается нулевое напряжение, при низком на входах обоих элементов вырабатывается -1,7 В, в остальных двух случаях -0,8 В. При этом на управляющем входе С должен быть низкий уровень напряжения, при высоком напряжении на входе С на шине устанавливается нулевое напряжение. Магистральный приемник в дуплексном элементе устроен таким образом, что имеется определенный приоритет со стороны управляющего элемента. Поэтому при равенстве напряжений на входах приемника на его выходе устанавливается высокий уровень напряжения. В табл. 8.2 приведена таблица истинности схемы, состоящей из двух встречно включенных дуплексных элементов. Микросхема К1500ИД194 предназначена для организации одновременного быстродействующего двустороннего (дуплексного) обмена информацией между узлами и блоками ЭВМ по общей шине. Специальные и вспомогательные СИС серии К1500 предназначены для передачи и приема информации по линиям связи, в том числе по магистральным, для преобразования ЭСЛ—ТТЛ и ТТЛ—ЭСЛ сигналов. Перечисленные микросхемы находят широкое применение для организации взаимодействия между различными узла-

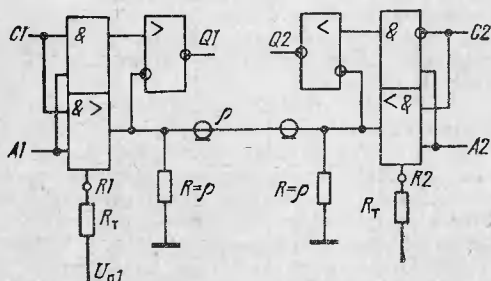


Рис. 8.11. Электрическая схема соединения двух дуплексных элементов СИС К1500ИД194 в магистраль

ми, блоками и устройствами ЭВМ, в том числе построенными на ТТЛ и ЭСЛ ИС.

Триггеры и последовательностные СИС. В состав третьей группы микросхем серии К1500 входят шесть модификаций: К1500ТМ130, К1500ТМ131, К1500ИЕ136, К1500ИР150, К1500ИР151 и К1500КП155. СИС К1500ТМ130 представляет собой три одноступенчатых D-триггера с установочными входами R и S и управлением. Цепи управления и синхронизации выполнены таким образом, что допускают как совместную работу триггеров в виде 3-разрядного регистра, так и раздельную работу. В СИС К1500ТМ130 установочные входы организованы так, что возможна общая установка всех триггеров в 1 или 0, а также раздельная установка каждого триггера. Действующими сигналами установки триггера в 1 или 0 являются сигналы с высоким уровнем напряжения, подаваемые на входы R, MR, S или MS. Указанные сигналы действуют при любом состоянии остальных входов. Одновременная подача высокого уровня напряжения на входы R (MR) и S (MS) приводит к неопределенному состоянию триггера. Во всех триггерах СИС К1500ТМ130 имеются прямые и инверсные выходы. Запись информации в триггер производится при низком уровне сигнала на входах C и V. Таблица истинности триггера СИС К1500ТМ130 приведена в табл. 8.3. В СИС К1500ТМ131 размещается три двухступенчатых синхронных D-триггера с установочными входами, управлением и парафазными выходами. СИС К1500ТМ131 является полным функционально-логическим аналогом микросхемы К1500ТМ130. Полностью совпадают режимы и условия записи информации и установки в 1 и 0. СИС К1500ТМ130 и К130ТМ131 имеют одинаковую цоколевку. Отличие — структурное. Оно заключается в том, что в К1500ТМ130 при записи новая информация сразу появляется на выходе, в К1500ТМ131 новая информация появляется только после перехода сигнала S или V (или обоих сразу) на высокий уровень. В табл. 8.4 приведена таблица истинности триггера СИС К1500ТМ131.

Микросхема К1500ИЕ136 представляет собой 4-разрядный универсальный синхронный счетчик-регистр. Микросхема состоит из четырех двухступенчатых синхронных триггеров, комбинационных логических схем управления режимами работы, сдвига информации в сторону старших и младших разрядов, пересчета импульсов в сторону накопления и убывания, приема информации в прямом и инверсном виде, переноса, результата счета и объединения с другими СИС. В СИС К1500ИЕ136 имеется четыре входа информации D1—D4, четыре парафазных выхода информации Q0—Q3, три входа управления S0—S2, вход синхронизации C и установки S, входы объединения с другими микросхемами D0, D3, E и выход результата счета P. СИС К1500ИЕ136 может работать в сле-

Таблица 8.3

D	V	C	R (MR)	S (MS)	Q_{n+1}
1	1	1	1	1	1
0	1	1	1	1	0
×	0	×	1	1	Q_n
×	×	0	1	1	Q_n
×	×	×	0	1	0
×	×	×	1	0	1
×	×	×	0	0	H

дующих режимах в зависимости от состояния управляющих входов: прием информации, сдвиг влево, сдвиг вправо, счет вниз-счет вверх, хранение, прием информации в инверсном виде, сброс. Таблица режимов работы СИС К1500ИЕ136 приведена в табл. 8.5. Микросхема имеет высокое быстродействие: при средней мощности потребления 880 мВт частота счета достигает 450 МГц.

СИС К1500ИР141 представляет собой 8-разрядный синхронный регистр. Микросхема содержит восемь синхронных двухступенчатых D-триггеров, логические схемы управления режимами работы и выполнения сдвига информации. В ней имеется восемь информационных входов D0—D7, восемь информационных выходов Q0—Q7, два входа управления режимами работы S0 и S1, вход синхронизации и два входа переноса из младших разрядов D0 и в старшие разряды D5. Микросхема может работать в следующих режимах: прием ин-

Таблица 8.4

D	V	C	R (MR)	S (MS)	Q_{n+1}
1		1	1	1	1
0		1	1	1	0
1	1		1	1	1
0	1		1	1	0
×	0	×	1	1	Q_n
×	×	0	1	1	Q_n
×	×	×	0	1	0
×	×	×	1	0	1
×	×	×	0	0	H

Таблица 8.5.

S0	S1	S2	Режим работы
1	1	1	Запись
1	0	1	Сдвиг—*
0	0	1	Сдвиг+**
1	1	0	Счет—
1	0	0	Счет+
0	0	0	Хранение
0	1	1	Инверсия
0	1	0	Сброс

* * Сдвиг в сторону младших разрядов.

** Сдвиг в сторону старших разрядов.

формации, хранение, сдвиг влево, сдвиг вправо. Таблица истинности СИС К1500ИР141 приведена в табл. 8.6. Микросхема имеет высокое быстродействие: при средней потребляемой мощности 765 мВт частота сдвига достигает 500 МГц.

В СИС К1500ИР150 размещаются шесть синхронных одноступенчатых D-триггеров с управлением и парафазными выходами. Запись информации производится при низком уровне сигнала на входах управления С и V, информация сразу появляется на выходе триггера. Общий сигнал S устанавливает все триггеры в 1 при любом сочетании других входных сигналов, действующий сигнал S — высокий уровень напряжения.

СИС К1500ИР151 содержит шесть синхронных двухступенчатых D-триггеров с управлением и парафазными выходами. Микросхема К1500ИР151 является полным функционально-логическим аналогом СИС К1500ИР150. Цолевка совпадает. Отличия — в структуре триггеров. В СИС К1500ИР151 используются двухступенча-

тые триггеры, в результате чего новая информация на выходе триггера появляется после того, как сигнал на входах С или V (или обоих) устанавливается в высокий уровень. Частота переключения триггеров достигает 550 МГц.

Микросхема К1500КП155 содержит четыре синхронных одноступенчатых D-триггера с мультиплексорными входами и управлением. На информационных входах триггеров установлены мультиплексоры на два направления. Выбор одного из двух источников информации осуществляется управляющими входами S0 и S1. Управляющие входы позволяют также осуществлять дизъюнкцию сигналов из двух источников или запись низкого уровня на прямом выходе. Все триггеры СИС К1500КП155 имеют парафазные выходы. Запись информации в триггеры осуществляется при низком уровне напряжения на входах С и V. При переходе напряжения одного из указанных входов С или V (или обоих) в высокий уровень триггеры переходят в режим хранения. Общий вход MS производит установку триггеров в 1 при любом сочетании сигналов на других входах. Таблица истинности триггера СИС К1500КП155 приведена в табл. 8.7.

Функциональные СИС. К четвертой группе микросхем относятся девять модификаций: К1500ИП156, К1500ИЕ160, К1500КП163, К1500КП164, К1500СП166, К1500ИД170, К1500КП171, К1500ИП179 и К1500ИМ180. СИС К1500ИП156 представляет собой 4-разрядную схему маскирования с запоминающим регистром. Схема маскирования состоит из 4-разрядного мультиплексора, осуществляющего прием информации с двух направлений, и управляющих цепей, определяющих различные режимы маскирования. Запоминающий регистр построен на четырех синхронных

Таблица 8.6

Состояние входов						Состояние выходов							
D	C	DR	DL	S1	S2	Q8	Q7	Q6	Q5	Q4	Q3	Q2	Q1
D1—D8		×	×	1	1	D8	D7	D6	D5	D4	D3	D2	D1
×		×	1	0	1	Q7	Q6	Q5	Q4	Q3	Q2	Q1	1
×		×	0	0	1	Q7	Q6	Q5	Q4	Q3	Q2	Q1	0
×		1	×	1	0	1	Q8	Q7	Q6	Q5	Q4	Q3	Q2
×		0	×	1	0	0	Q8	Q7	Q6	Q5	Q4	Q3	Q2
×	×	×	×	0	0	Не изменяется							
×	0	×	×	×	×	«							
×	1	×	×	×	×	«							

Таблица 8.7

Состояние входов							Состояние выходов	
D1 _n	D2 _n	MS	C	V	S1	S2	Q _n	$\bar{Q}_n$
×	×	0	×	×	×	×	1	0
0	×	1	1	1	0	0	0	1
1	×	1	1	1	0	0	1	0
×	0	1	1	1	1	1	0	1
×	1	1	1	1	1	1	1	0
×	×	1	1	1	1	0	1	0
0	×	1	1	1	0	1	0	1
×	0	1	1	1	0	1	0	1
1	1	1	1	1	0	1	1	0
×	×	1	0	×	×	×	Не изменяется	
×	×	1	×	0	×	×		

одноступенчатых D-триггерах. В СИС имеется восемь информационных входов А и В, четыре информационных инверсных выхода с регистра Q, восемь управляющих входов и один вход синхронизации. СИС К1500ИП156 может работать в следующих режимах: прием и запоминание 4-разрядного слова (без изменения) из любого источника информации А или В; прием информации из любого источника А или В, маскирование 4-разрядного слова, т. е. замена информации в любом разряде на информацию из второго источника, запоминание информации; хранение и выдача информации. Таблица истинности СИС К1500ИП156 приведена в табл. 8.8.

СИС К1500ИЕ160 содержит две 9-входные схемы контроля по четности. При четном числе лог. 1 на входах схемы на ее выходе также формируется лог. 1, т. е. низкий уровень выходного напряжения. Девятый вход в каждой схеме контроля по четности подключен ко входу последнего каскада. Время задержки сигнала по данному входу существенно меньше по сравнению с другими входами, поэтому его рекомендуется использовать для расширения схемы контроля на большее число входов. Кроме того, СИС К1500ИЕ160 может поразрядно сравнивать два числа, для этого на парные входы надо подавать одинаковые разряды двух чисел. При равенстве двух чисел на специальном выходе появляется лог. 1.

В СИС К1500КП163 содержится два 8-входовых мультиплексора с прямыми выходами. Нужный источник информации выбирается установкой соответствующего кода на адресных входах А1, А2, А4, которые управляют обоими мультиплексорами. Микросхема К1500КП164 представляет

собой 16-входовой мультиплексор с прямым выходом. Выбор нужного источника определяется установкой определенного кода на адресных входах А1, А2, А4, А8.

Микросхема К1500СП166 представляет собой 9-разрядную схему сравнения. Схема имеет 9 входов слова А, 9 входов слова В и 3 выхода, формирующих результаты сравнения: $A > B$, $A = B$, $B > A$. В случае равенства двух чисел на выходе $A = B$ появляется низкий уровень напряжения, в остальных случаях — высокий. Таблица истинности СИС К1500СП166 представлена в табл. 8.9.

Микросхема К1500ИД170 представляет собой универсальный дешифратор. В зависимости от состояния управляющего входа S возможны два режима работы: два дешифратора с двумя входами и четырьмя выходами каждый; один дешифратор с тремя входами и восемью выходами. В обоих режимах с помощью дополнительных управляющих входов W возможно формирование выходного слова в прямом или инверсном виде.

Таблицы истинности СИС К1500ИД170 для двух режимов приведены в табл. 8.10 и 8.11. СИС К1500КП171 содержит три 4-входовых мультиплексора с парафазными выходами. Выбор нужного источника информации определяется соответствующим кодом на входах S0 и S1. Передача информации на выход осуществляется при низком уровне напряжения на стробирующем входе W, при высоком — на прямых выходах формируется лог. 1, на инверсном — лог. 0.

СИС К1500ИП179 представляет собой схему ускоренного переноса, предназначенную для совместной работы с СИС К1500ИМ180. В микросхеме имеется восемь входов признаков переноса P, восемь входов условия переноса G и вход переноса из младшего разряда С. Микросхема формирует ускоренные переносы во 2-й, 4-й, 6-й и 8-й разряды. СИС К1500ИП179 значительно ускоряет время суммирования двух чисел. Микросхема К1500ИМ180 представляет собой высокоскоростной 6-разрядный сумматор двух операндов. Сумматор имеет встроенную схему ускоренного переноса на 6 разрядов и цепи формирования условия переноса и признак переноса в более старшие разряды. В схеме имеется шесть входов для одного операнда А, шесть входов для другого операнда В, вход переноса из старшего разряда, шесть выходов суммы двух операндов, два выхода условия переноса и признака переноса. Схема обладает очень высоким быстродействием: типовое время суммирования составляет 2 нс. СИС К1500ИП179 и К1500ИМ180 предназначены для построения быстродействующих сумматоров ЭВМ. Все перечисленные выше СИС серии К1500 сконструированы в 24-выводном корпусе.

Запоминающие БИС. К пятой группе микросхем серии К1500 относятся четыре модификации: К1500РУ073, К1500РУ415, К1500РУ470, К1500РТ416. Микросхема

Таблица 8.8

Состояние входов									Состояние выходов			
BM1	AM1	BM0	AM0	BS0	BS1	AS0	AS1	V	Q1	Q2	Q3	Q4
×	0	×	×	×	×	×	×	1	B1	B2	B3	B4
0	×	×	×	×	×	×	×	1	B1	B2	B3	B4
1	1	1	1	×	×	×	×	1	A1	A2	A3	A4
1	1	1	0	×	×	0	0	1	A1	A2	A3	B4
1	1	1	0	×	×	1	0	1	A1	A2	B3	B4
1	1	1	0	×	×	0	1	1	A1	B2	B3	B4
1	1	1	0	×	×	1	1	1	B1	B2	B3	B4
1	1	0	1	0	0	×	×	1	B1	B2	B3	B4
1	1	0	1	1	0	×	×	1	B1	B2	A3	A4
1	1	0	1	0	1	×	×	1	B1	A2	A3	A4
1	1	0	1	1	1	×	×	1	A1	A2	A3	A4
1	1	0	0	1	1	0	1	1	A1	B2	B3	B4
1	1	0	0	1	1	1	0	1	A1	A2	B3	B4
1	1	0	0	1	1	0	0	1	A1	A2	A3	B4
1	1	0	0	0	1	1	0	1	B1	A2	B3	B4
1	1	0	0	0	1	0	0	1	B1	A2	A3	B4
1	1	0	0	1	0	0	0	1	B1	B2	A3	B4
1	1	0	0	0	0	0	0	1	B1	B2	B3	B4
1	1	0	0	0	0	1	1	1	B1	B2	B3	B4
1	1	0	0	0	0	0	1	1	B1	B2	B3	B4
1	1	0	0	1	0	0	1	1	B1	B2	B3	B4
1	1	0	0	1	0	1	1	1	B1	B2	B3	B4
1	1	0	0	0	1	0	1	1	B1	B2	B3	B4
1	1	0	0	0	1	1	1	1	B1	B2	B3	B4
1	1	0	0	0	1	1	1	1	B1	B2	B3	B4
×	×	×	×	×	×	×	×	0	Q1	Q2	Q3	Q4

Таблица 8.9

Состояние входов									Состояние выходов		
A8B8	A7B7	A6B6	A5B5	A4B4	A3B3	A2B2	A1B1	A0B0	A>B	$\overline{B}>\overline{A}$	A=B
01									0	1	0
10									1	0	0
A8=B8	01								0	1	0
A8=B8	10								1	0	0
A8=B8	A7=B7	01							0	1	0
A8=B8	A7=B7	10							1	0	0
A8=B8	A7=B7	A6=B6	01						0	1	0
A8=B8	A7=B7	A6=B6	10						1	0	0
A8=B8	A7=B7	A6=B6	A5=B5	01					0	1	0
A8=B8	A7=B7	A6=B6	A5=B5	10					1	0	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	01				0	1	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	10				1	0	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	01			0	1	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	10			1	0	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	01		0	1	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	10		1	0	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	01	0	1	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	10	1	0	0
A8=B8	A7=B7	A6=B6	A5=B5	A4=B4	A3=B3	A2=B2	A1=B1	A0=B0	1	1	1

Таблица 8.10

Состояние входов $S=1; A4=1$				Прямой выход $W \cdot W A=0;$ $W \cdot W B=0$				Инверсный выход $W \cdot W A=1;$ $W \cdot W B=1$			
VA	A1	A2		40	51	62	73	40	51	62	73
VB	B1	B2		00	11	22	33	00	11	22	33
0	×	×		0	0	0	0	1	1	1	1
1	0	0		1	0	0	0	0	1	1	1
1	1	0		0	1	0	0	1	0	1	1
1	0	1		0	0	1	0	1	1	0	1
1	1	1		0	0	0	1	1	1	1	0

Таблица 8.11

Состояние входов $S=0$				Состояние инверсного выхода $W (W A+W B)=0$							
VA, VB	A1	A2	A4	00	11	22	33	40	51	62	73
0	×	×	×	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1
1	1	0	0	1	0	1	1	1	1	1	1
1	0	1	0	1	1	0	1	1	1	1	1
1	1	1	0	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	0	1	1
1	0	1	1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	0

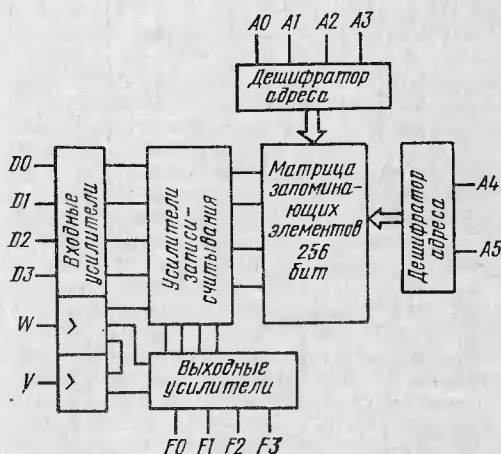
Таблица 8.12

D	V	W	F	Режим работы
×	0	×	1	Хранение
1	1	1	1	Запись 1
0	1	1	1	Запись 0
×	1	0	Q	Чтение

K1500PY073 представляет собой БИС ОЗУ емкостью 256 бит с организацией 64 слова $\times$ 4 разряда (рис. 8.12). БИС PY073 содержит матрицу запоминающих элементов 64×4 , входные и выходные управляемые усилители, адресный дешифратор входов 6×64 выхода. В микросхеме имеется четыре входа информации D, четыре выхода информации Q, шесть адресных входов A, входы управления записью W и входы управления считыванием V. БИС K1500PY073 сконструирована в 24-выводном корпусе. Информация на выходе по отношению ко входу не инвертируется. При высоком уровне напряжения на входах V на выходе устанавливается низкий уровень напряжения. Запись информации

в БИС ОЗУ осуществляется по выбранному адресу при низком напряжении на входе W, на всех выходах в это время устанавливается низкий уровень напряжения. Высокий уровень напряжения на входе W запрещает запись информации по входам, в это время осуществляется съем информации. Используя входы V, как дополнительные адресные и объединение на выходе с другими БИС ОЗУ, можно наращивать объем памяти на основе БИС K1500PY073. Таблица истинности БИС ОЗУ K1500PY073 представлена в табл. 8.12. БИС ОЗУ K1500PY073 отличается высоким быстродействием: при средней потребляемой мощности 900 мВт типовое время выборки по адресным входам составляет 6 нс. Микросхема K1500PY073 предназначена для построения быстродействующей памяти ЭВМ регистрового типа ограниченного объема.

Микросхема K1500PY415 представляет собой БИС ОЗУ емкостью 1 Кбит с организацией 1024 слов $\times$ 1 разряд. Функциональная схема БИС ОЗУ K1500PY415 приведена на рис. 8.13. БИС содержит матрицу запоминающих элементов с внутренней организацией 32 строки $\times$ 32 столбца, управляемые усилители записи-чтения и два адресных дешифратора 5 входов $\times$ 32 выхода. В микросхеме имеется вход информации D, выход информации DO, 10 адресных входов A0—A9, вход управления записью W и вход управления считыванием V. Информация при прохождении через БИС не инвертируется.

Рис. 8.12. Структурная схема БИС ОЗУ K1500PY073 емкостью 256 бит (64×4)

D	V	W	F	Режим работы
×	0	×	1	Хранение
1	1	1	1	Запись 1
0	1	1	1	Запись 0
×	1	0	Q	Чтение

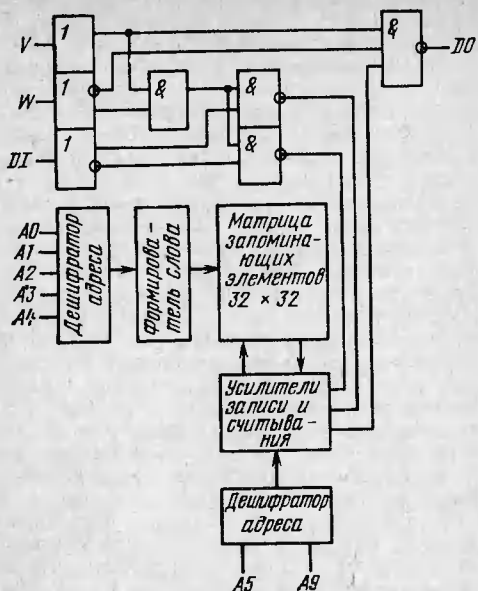


Рис. 8.13. Структурная схема БИС ОЗУ K1500PU415

DI	V	W	DO	Режим работы
×	0	×	1	Хранение
1	1	1	1	Запись 1
0	1	1	1	Запись 0
×	1	0	Q	Чтение

При высоком напряжении на входе V на выходе устанавливается низкий уровень напряжения, сьем информации осуществляется при низком напряжении на входе V. Запись информации по выбранному адресу производится при низком напряжении на входе W, в это время на выходе устанавливается низкий уровень напряжения. Высокий уровень напряжения на входе W запрещает запись информации, в это время осуществляется сьем информации. Таблица истинности БИС ОЗУ K1500PU415 приведена в табл. 8.13. Микросхема имеет высокое быстродействие: при средней потребляемой мощности 500 мВт, типовое время выборки по адресным входам составляет 15 нс. БИС ОЗУ K1500PU415 предназна-

Таблица 8.13

DI	V	W	DO	Режим работы
×	0	×	1	Хранение
1	1	1	1	Запись 1
0	1	1	1	Запись 0
×	1	0	Q	Чтение

Таблица 8.14

DI	V	W	DO	Режим работы
×	0	×	1	Хранение
1	1	1	1	Запись 1
0	1	1	1	Запись 0
×	1	0	Q	Чтение

чена для построения быстродействующих управляющих, буферных и других памяти ЭВМ ограниченного объема. БИС ОЗУ K1500PU415 изготавливается в 16-выводном корпусе.

Микросхема K1500PU470 представляет собой БИС ОЗУ емкостью 4 К бит с организацией 4096 слов $\times$ 1 разряд. Функциональная схема БИС приведена на рис. 8.14. В микросхеме имеется матрица запоминающих элементов с организацией 64 строки $\times$ 64 столбцов, управляемые усилители записи и чтения, адресные дешифраторы. БИС имеет вход информации DI, выход информации DO, 12 адресных входов A0—A11, вход управления записью W и вход управления считыванием V. Информация на выходе БИС по отношению ко входу не инвертируется. При высоком уровне напря-

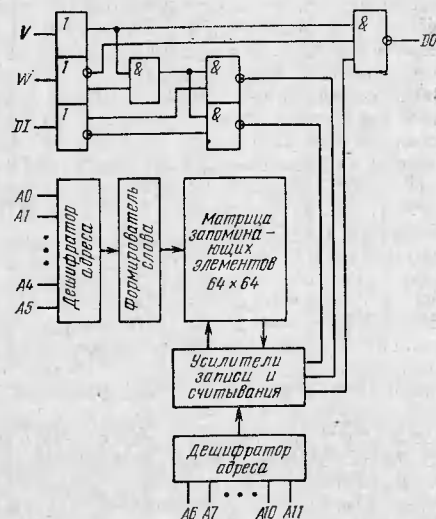


Рис. 8.14. Структурная схема БИС ОЗУ K1500PU470

DI	V	W	DO	Режим работы
×	0	×	1	Хранение
1	1	1	1	Запись 1
0	1	1	1	Запись 0
×	1	0	Q	Чтение

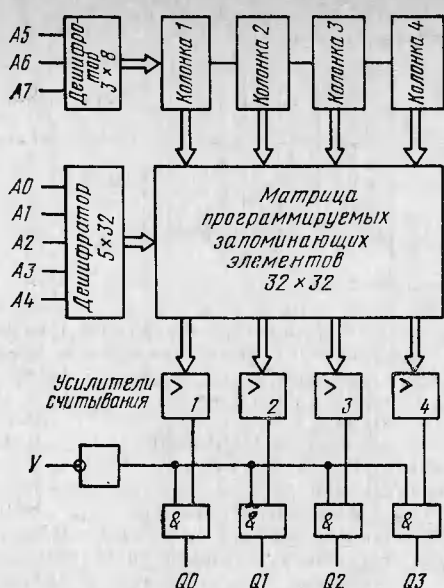


Рис. 8.15. Структурная схема БИС ППЗУ K1500PT416

жения на входе V на выходе устанавливается низкий уровень напряжения. При низком уровне напряжения на входе V управление микросхемой осуществляется входом W : при низком уровне напряжения производится запись информации (на выходе в это время устанавливается низкий уровень напряжения), при высоком — производится сьем информации. Использование входа V в качестве дополнительного адресного и объединение на выходе с другими БИС ОЗУ позволяет наращивать память по объему. Таблица истинности БИС K1500PY470 приведена в табл. 8.14. Микросхема сконструирована в 18-выводном корпусе. При средней потребляемой мощности 900 мВт время выборки составляет 30 нс. БИС K1500PY470 предназначена для построения буферных памяти повышенной емкости и быстродействующих ОЗУ ограниченного или среднего объема.

Микросхема K1500PT416 представляет собой БИС постоянного программируемого ЗУ (ППЗУ) емкостью 1К бит с организацией 256 бит $\times$ 4 разряда. Функциональная схема БИС приведена на рис. 8.15. Микросхема содержит матрицу программируемых запоминающих элементов с внутренней организацией 32 строки $\times$ 32 столбца, четыре усилителя считывания и два адресных дешифратора 5 входов $\times$ 32 выхода и 3 входа $\times$ 8 выходов. В микросхеме имеется четыре информационных выхода $Q0$ — $Q3$, восемь адресных входов A , вход управления считыванием V . При низком уровне напряжения на входе V производится считывание информации по выбранному адресу, при высоком — на выходах БИС

устанавливаются низкие уровни напряжения.

В каждом запоминающем элементе БИС K1500PT416 имеется легкоплавкая перемычка, наличие которой соответствует записанному 0. Запись 1 в требуемый запоминающий элемент производится по заданному адресу пережиганием плавкой перемычки на специальных устройствах — программаторах в строго определенных электрических режимах. В микросхеме имеется вывод 1, который в рабочем режиме должен подключаться к шине земли, а в режиме программирования — к источнику напряжения 12 В. БИС K1500PT416 сконструирована в 16-выводном корпусе. При средней потребляемой мощности 900 мВт типовое время выборки по адресным входам составляет 15 нс. БИС ППЗУ K1500PT416 предназначена для построения управляющих и постоянных памяти ЭВМ среднего объема, в частности памяти микропрограмм.

Широкий функциональный набор логических, специальных и вспомогательных, последовательных, функциональных и запоминающих микросхем серии K1500 субнаносекундного диапазона позволяет эффективно и качественно строить быстродействующие узлы, блоки и устройства вычислительной техники.

8.4. Конструкция корпусов и тепловые параметры

Конструктивно микросхемы серии K1500 изготавливаются в 16-, 18- и 24-выводных керамических корпусах с планарным расположением выводов. Предварительно облуженные для последующей пайки выводы размещаются с двух сторон корпуса, шаг выводов 1,25 мм, длина выводов 10,5 мм. На рис. 8.16 приведены общий вид, габаритные и установочные размеры 16-выводного керамического корпуса 4106.16-4. При хорошем теплоотводе, например при отводе тепла от основания корпуса металлической шиной или тепловой трубой, тепловое сопротивление корпуса приближается к внутреннему тепловому сопротивлению, равному 25 град/Вт. Корпус 4106.16-4 используется для компоновки микросхем K1500PY415 и K1500PT416.

Общий вид, габаритные и установочные размеры 18-выводного корпуса 427.18-1 приведены на рис. 8.17. Внутреннее тепловое сопротивление корпуса равно 25 град/Вт. Корпус 427.18-1 применяется для компоновки ЭСЛ БИС ОЗУ K1500PY470.

Остальные микросхемы серии K1500 изготавливаются в 24-выводном керамическом корпусе 4114.24-1. Общий вид, габаритные и установочные размеры корпуса приведены на рис. 8.18. Зависимость полного теплового сопротивления перечисленных корпусов от скорости обдува воздухом приведена на рис. 8.19. Внутреннее тепло-

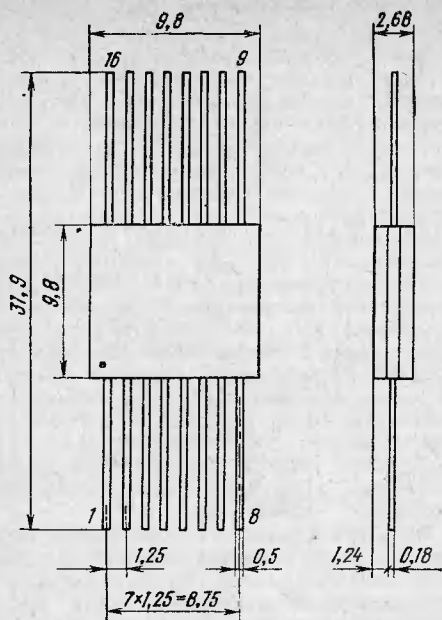


Рис. 8.16. Общий вид, габаритные и установочные размеры корпуса 4106.16-4

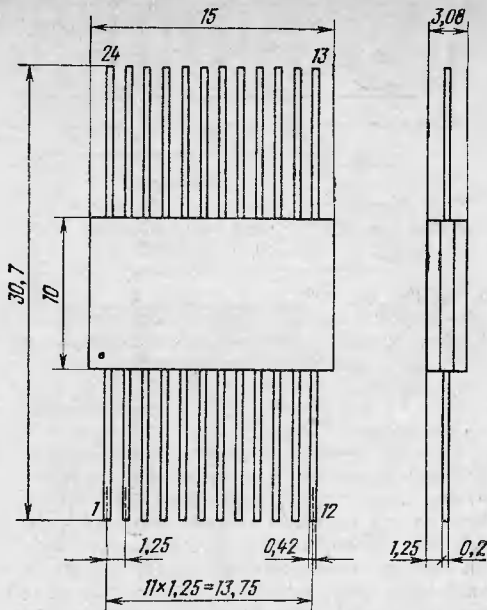


Рис. 8.18. Общий вид, габаритные и установочные размеры корпуса 4114.24-1

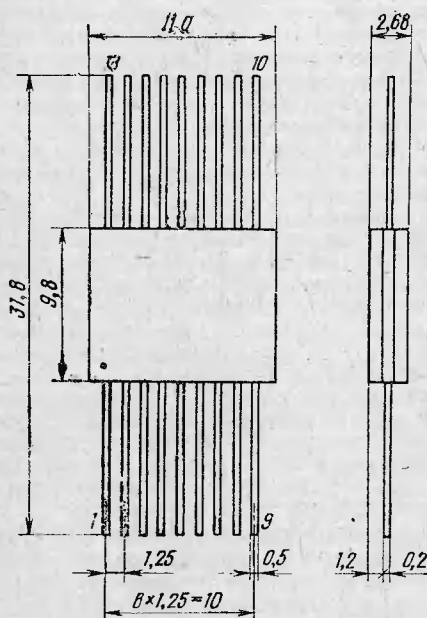


Рис. 8.17. Общий вид, габаритные и установочные размеры корпуса 427.18-1

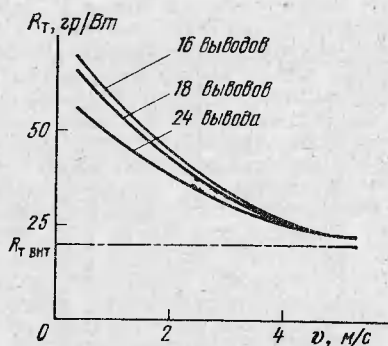


Рис. 8.19. Зависимость полного теплового сопротивления корпусов 4106.16-4, 427.18-1 и 4114.24-1 от скорости обдува воздухом

вое сопротивление корпуса 4114.24-1 равно 20 град/Вт.

Рассматриваемые корпуса можно устанавливать непосредственно на печатную плату, на теплоотводящую шину или тепловую трубку (рис. 8.20). Предварительно сформованные выводы припаиваются к печатным лапелям размерами $2,5 \times 0,8$ мм. По техническим условиям допускается не менее трех перепаек с температурой припоя 260°C . Длительность каждой пайки не более 3 с. Перечисленные корпуса устойчивы к определенным механическим и климатическим воздействиям, которые могут

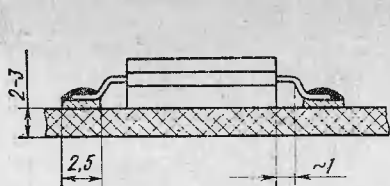


Рис. 8.20. Варианты установки корпусов микросхем серий К1500 на печатную плату

возникнуть в процессе изготовления, перевозки, сборки и эксплуатации узлов и блоков вычислительной аппаратуры.

8.5. Резисторно-конденсаторные блоки КС-1Р

Для совместной работы с субнаносекундными микросхемами серии К1500 разработаны резисторно-конденсаторные блоки КС-1Р, совместимые с СИС по конструкции и эксплуатационным параметрам. Резисторы РКБ КС-1Р используются при совместной работе с СИС серии К1500 в качестве нагрузочных и согласующих резисторов. Для применения в вычислительной аппаратуре разработано два варианта РКБ: КС-1Р-1 и КС-1Р-2.

Блоки КС-1Р-1 содержат 20 резисторов и один конденсатор развязки. Электрическая схема блока КС-1Р-1 приведена на рис. 8.21. В зависимости от сопротивления резисторов выпускаются три варианта РКБ КС-1Р-1: с сопротивлениями 50 Ом (КС-1Р-1-1), 75 Ом (КС-1Р-1-2) и 100 Ом (КС-1Р-1-3). Блоки КС-1Р-1 рекомендуется применять в электрических цепях с комбинационными элементами, в которых переключение происходит одновременно. В этом случае помехи, возникающие в блоке из-за индуктивности общей шины и выводов, не превышают допустимый уровень.

Блоки КС-1Р-2 содержат 16 резисторов и два конденсатора развязки. Электрическая схема блока КС-1Р-2 приведена на рис. 8.22. Особенностью данного блока является разделение общей шины на две и увеличение числа выводов электропитания вдвое. В результате достигнуто значительное (практически в четыре раза) снижение суммарной индуктивности шины выводов, что допускает одновременное импульсное изменение тока в резисторах за время, равное длительности фронта СИС серии К1500 при сохранении допустимого уровня помех. Блоки КС-1Р-2 рекомендуется применять в электрических цепях с последовательными схемами (например, синхронными регистрами), где возможно одновременное срабатывание элементов. Резисторы в блоках КС-1Р-2 изготавливаются с номинальным сопротивлением 50, 75 и 100 Ом. Во всех РКБ КС-1Р устанавливаются высокочастотные конденсаторы развязки емкостью 0,02 мкФ.

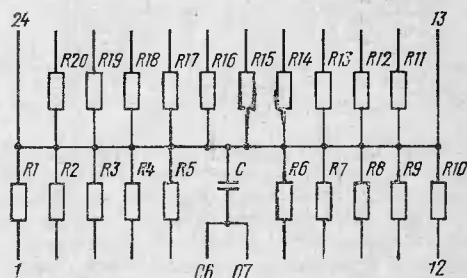
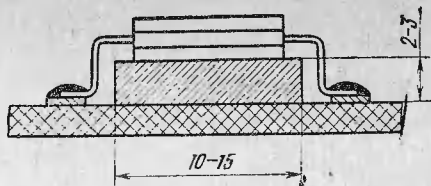


Рис. 8.21. Электрическая схема резисторно-конденсаторного блока КС-1Р-1

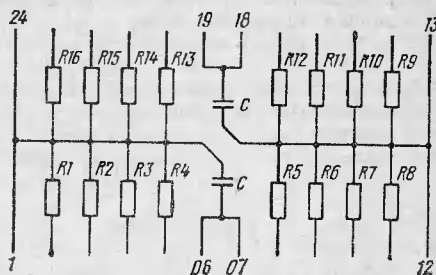


Рис. 8.22. Электрическая схема резисторно-конденсаторного блока КС-1Р-2

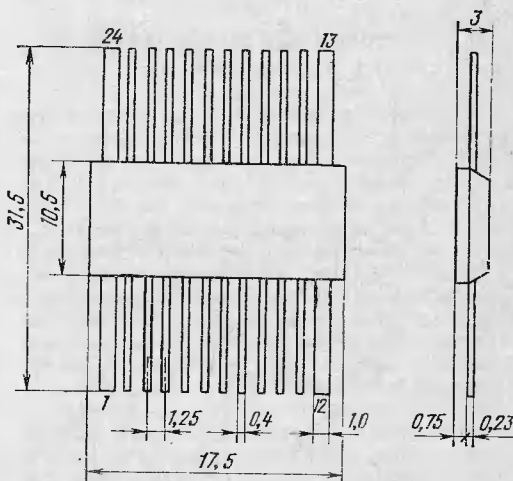


Рис. 8.23. Общий вид, габаритные и установочные размеры корпуса РКБ КС-1Р

Таблица 8.15

Условное обозначение РКБ		Обозначение резисторов в электрической схеме	Номинальное сопротивление резисторов, Ом, $\pm 5\%$	Максимальная рассеиваемая мощность		Емкость конденсатора развязки, мкФ
КД	ТУ			одного резистора, мВт	РКБ, Вт	
R601	KC-1P-1-1	R1—R20	50	50	1,0	0,02
R603	KC-1P-1-2	R1—R20	75	50	1,0	0,02
R605	KC-1P-1-3	R1—R20	100	50	1,0	0,02
R611	KC-1P-2-1	R1—R16	50	50	0,8	0,02
R613	KC-1P-2-2	R1—R16	75	50	0,8	0,02
R615	KC-1P-2-3	R1—R16	100	50	0,8	0,02

В табл. 8.15 приведены условные обозначения резисторно-конденсаторных блоков KC-1P в конструкторской документации и технических условиях, характеристики резисторов и блоков. Резисторы в блоках изготавливаются методами толсто-пленочной технологии на керамическом основании с последующей герметизацией. Конденсаторы используются дискретные, бескорпусные. Блоки KC-1P выпускаются в 24-выводном корпусе с планарным расположением выводов. На рис. 8.23 показаны общий вид, габаритные и установочные размеры корпуса блока. Для снижения индуктивности выводов электропитания их ширина увеличена.

В ряде случаев, например при совмест-

ной компоновке с БИС ОЗУ серии K1500' выгодное для достижения более высокой плотности компоновки использовать резисторные блоки с меньшим числом выводов. В этих случаях рекомендуется применять блоки Б19-3, которые изготавливаются в 16-выводном корпусе с планарным расположением выводов на две стороны, шаг выводов 1,25 мм. Для повышения эффективности развязки электропитания $U_{\text{ш}}$ и $U_{\text{п2}}$ на многослойной печатной плате ТЭЗ целесообразно использовать конденсаторные блоки Б18, размещаемые на свободных посадочных местах для микросхем. Блоки Б18 изготавливаются в 14-выводном корпусе с планарным расположением выводов на две стороны, шаг выводов 1,25 мм.

Глава 9

Рекомендации по применению ЭСЛ микросхем

9.1. Особенности применения ИС серии 500

Одной из главных задач при проектировании вычислительных устройств на основе ИС серии 500 является обеспечение их устойчивой работоспособности в аппаратуре при эксплуатации. В реальных условиях присутствуют внешние факторы, так называемые дестабилизирующие, которые ухудшают работу микросхем. К основным дестабилизирующим факторам относятся отклонения напряжения электропитания от номинального значения и изменения температуры окружающей среды. Дестабилизирующие факторы снижают помехозащищенность элементов ИС и в неправильно спроектированной аппаратуре могут вызвать сбои в работе, частичную или полную потерю ее работоспособности. Задача разработчика устройств заключается в том, чтобы найти такие технические решения при применении микросхем, ко-

торые при минимальных материальных и трудовых затратах обеспечили бы выполнение технических требований и устойчивую их работу.

Выходные и пороговые уровни напряжения и, следовательно, помехозащищенность ИС серии 500 в определенной степени зависят от изменения напряжения основного питания $U_{\text{п1}}$ и в значительно меньшей степени от изменения напряжения вспомогательного питания $U_{\text{п2}}$. В меньшей степени отклонение напряжения $U_{\text{п1}}$ и $U_{\text{п2}}$ влияет на изменение высокого уровня выходного напряжения. Здесь коэффициент влияния $K_{\text{в}}^1 = \Delta U_{\text{вых в}} / \Delta U_{\text{п1}} = 0,016$ и $K_{\text{в}}^2 = \Delta U_{\text{вых в}} / \Delta U_{\text{п2}} = 0,01$. Коэффициенты влияния для пороговых и низкого уровня напряжения составляют соответственно: $K_{\text{пор}}^1 = \Delta U_{\text{пор}} / \Delta U_{\text{п1}} = 0,15$; $K_{\text{пор}}^2 = \Delta U_{\text{пор}} / \Delta U_{\text{п2}} = 0$; $K_{\text{н}}^1 = \Delta U_{\text{вых н}} / \Delta U_{\text{п1}} = 0,25$; $K_{\text{н}}^2 = \Delta U_{\text{вых н}} / \Delta U_{\text{п2}} = 0,02$. Зависимости выходных и пороговых уровней

напряжения ИС серии 500 от изменения напряжения основного питания $U_{\text{ш}}$ приведены на рис. 9.1. При изменении напряжения $U_{\text{ш}}$ в одну или другую сторону помехозащищенность интегральных микросхем серии 500 изменяется незначительно. Другими словами при питании от одного источника основного напряжения $U_{\text{ш}}$ связанные между собой микросхемы серии 500 работают достаточно устойчиво. Помехозащищенность ИС заметно ухудшается при их работе друг на друга в условиях питания от разных источников, напряжение которых может отклоняться в противоположные стороны. На практике это происходит при совместной работе микросхем, расположенных в разных блоках, например, в разных блоках панели ЕС ЭВМ, питание которых осуществляется от различных источников напряжения.

Расчетно-экспериментальные данные показывают, что помехозащищенность ИС серии 500 может ухудшаться до нуля, начиная с отклонения напряжения $\pm 7-8\%$ при нормальных температурных условиях. Заметим, что допуск на напряжение основного питания должен быть существенно меньше в условиях воздействия других дестабилизирующих факторов, например, появления разности рабочих температур микросхем. Поэтому на практике для обеспечения устойчивой работоспособности ИС серии 500 необходимо выбирать напряжения основных источников питания $U_{\text{ш}}$ с отклонением не более чем на $\pm 5\%$ от номинального значения минус 5,2 В. Отклонение напряжения вспомогательного питания не влияет на пороговые напряжения ИС серии 500 и в незначительной степени воздействует на выходные уровни. Однако напряжение вспомогательного питания $U_{\text{п2}}$ определяет положение рабочей точки при низком уровне выходного напряжения, которое существенно влияет на динамическую помехозащищенность ИС серии 500, т. е. их устойчивость к импульсным помехам. Поэтому целесообразно выбирать источник вспомогательного напряжения $U_{\text{п2}}$ с отклонением также не более $\pm 5\%$ от номинального значения $-2,0$ В (или $-2,4$ В).

Выходные и пороговые напряжения ИС серии 500 в заметной степени зависят от температуры окружающей среды. Указанные зависимости приведены на рис. 7.10. Заметим, что помехозащищенность микросхем сохраняется постоянной, если ИС работают в одинаковых температурных условиях. Однако на практике такой режим работы микросхем выдержать трудно, как правило, появляется разность между рабочими температурами различных, в том числе взаимосвязанных ИС. Указанная разность температур появляется, например, при использовании воздушного охлаждения между блоками панели ЕС ЭВМ, расположенными на различной высоте рамы, при этом нагретый воздух от нижней панели обдувает панель, расположенную выше.

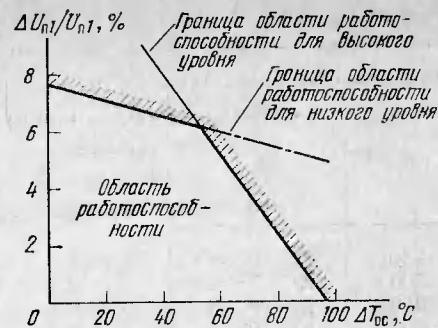


Рис. 9.1. Область работоспособности ИС серии 500

Дополнительная разность температур возникает от неравномерности воздушного потока, разной мощности микросхем, различного их расположения в конструктивных модулях. Тем не менее помехозащищенность двух связанных ИС серии 500, работающих при максимально различных рабочих температурах по ТУ (от -10 до $+75^\circ\text{C}$) не уменьшается до нуля, это происходит при разности температур свыше 100°C в условиях номинального напряжения питания. Понятно, что при отклонении напряжения питания от номинального значения существенно уменьшается допустимая разность рабочих температур. Зная закономерность влияния двух главных дестабилизирующих факторов: изменения напряжения основного питания и температуры окружающей среды на помехозащищенность связанных между собой микросхем, можно определить их область работоспособности [20]. На рис. 9.1 приведена область работоспособности ИС серии 500. Определение области работоспособности производилось исходя из следующих условий: 1) границей области работоспособности считалось равенство нулю запаса помехозащищенности; 2) взаимный разброс напряжений питания симметричен относительно номинального значения; 3) в качестве нагрузки микросхем использовались резисторы сопротивлением $R_{\text{н}} = 51$ Ом, подключенные к вспомогательному источнику питания напряжением -2 В. Заметим, что область работоспособности ограничивается двумя прямыми: верхней, которая обусловлена в основном потерей помехозащищенности по низкому уровню сигнала из-за отклонения напряжения питания, и боковой, которая обусловлена в основном потерей помехозащищенности по верхнему уровню сигнала вследствие разницы рабочих температур. В зависимости от инженерных решений и технических возможностей систем питания и охлаждения выбирают различные режимы работы микросхем, обеспечивая их устойчивую работоспособность. Например, в устройствах ЕС ЭВМ применяют источники питания с отклонением напряжения на $\pm 5\%$ от номинального значения и

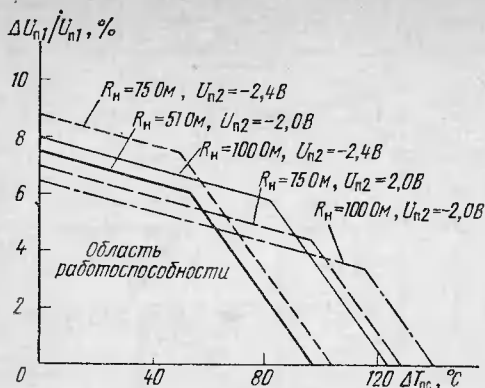


Рис. 9.2. Области работоспособности ИС серии 500 при различных нагрузках

систему воздушного охлаждения со скоростью обдува 2,8 м/с, которая обеспечивает температурный градиент в конструктивных модулях не более 20—30 °С. Применяя улучшенные источники питания с отклонением 2—3 % от номинального значения можно допустить температурный градиент 30—40 °С, ослабив требования к системе охлаждения. Следует отметить, что область работоспособности на рис. 9.1 определена для худших ИС серии 500, удовлетворяющих нормам ТУ. На практике за счет технологического распределения основных параметров микросхемы имеют заметно большую область работоспособности и достаточно устойчиво работают в аппаратуре.

Кроме температуры и напряжения основного питания, на выходные уровни ИС серии 500, а следовательно, и на запас помехозащищенности существенное влияние оказывает выбор напряжения вспомогательного питания и сопротивления нагрузки ИС. Зависимость запаса помехозащищенности от напряжения вспомогательного питания и сопротивления нагрузки обусловлена зависимостью выходных уровней ИС от выходного тока в рабочих точках лог.0 и 1. Рабочие точки лог. 0 и 1, выходные токи ИС в этих точках, запас помехозащищенности по высокому и низкому уровням сигналов при различных сопротивлениях нагрузки и разном напряжении вспомогательного питания можно определить графическим способом с помощью выходных характеристик ИС серии 500, которые представлены на рис. 7.11. Аналитически зависимость выходного напряжения ИС от выходного тока можно представить следующим образом:

$$U_{\text{вых}} = U_K - \frac{I_{\text{вых}}}{\beta + 1} (R_K + r_6) - m_{\text{ФТ}} \ln \frac{I_{\text{вых}}}{I_0}, \quad (9.1)$$

где $U_{\text{вых}}$ — выходное напряжение; U_K — напряжение на коллекторе ТП; $I_{\text{вых}}$ — выходной ток; R_K — коллекторное сопротивление ТА; r_6 — базовое сопротивление транзистора ЭП.

С другой стороны, выходное напряжение можно представить как

$$U_{\text{вых}} = U_{\text{п2}} + I_{\text{вых}} R_N, \quad (9.2)$$

где $U_{\text{п2}}$ — напряжение питания ЭП; R_N — сопротивление нагрузки ЭП.

Соответствующим выбором напряжения вспомогательного питания и сопротивления нагрузки можно смещать рабочие точки лог. 0 и лог. 1, меняя запас помехозащищенности по высокому и низкому уровням выходного напряжения. К сожалению, взаимосвязь здесь такова, что увеличивая запас по одному уровню выходного напряжения одновременно уменьшается запас по другому. Указанный выбор не изменяет температурные характеристики ИС серии 500, но точка отсчета запаса помехозащищенности меняется, в результате чего можно получить различные области работоспособности. На рис. 9.2 представлены области работоспособности ИС серии 500 при различных напряжениях вспомогательного питания и сопротивлениях нагрузки, полученные расчетным путем по (9.1) и (9.2). Анализ областей работоспособности показывает, что выбор нагрузочных резисторов и напряжения вспомогательного питания предоставляет дополнительные возможности для оптимизации области работоспособности ИС серии 500, учитывая реальные возможности систем питания и охлаждения. Однако выбор зависит также от принятой системы электро монтажа.

Выбор сопротивления нагрузки, напряжения ее питания, места установки нагрузочного резистора тесно связан с вопросами электронного конструирования, т. е. выполнением правильной компоновки микросхем, организации линий связи и электро монтажа, развязки электропитания, борьбы с помехами. Для обеспечения работоспособности микросхем серии 500 можно применять широкий спектр нагрузочных сопротивлений и напряжений вспомогательного питания, которые обеспечивают определенный запас помехозащищенности и определяют потребляемую ЭП мощность. В табл. 9.1 приведены мощности выходных ЭП микросхем серии 500 при различных сопротивлениях нагрузки и напряжений вспомогательного питания. Анализ табл. 9.1 и рис. 9.2 показывает, что запас помехозащищенности ИС можно несколько увеличить за счет повышения потребляемой ЭП мощности, однако реальную пользу из этого извлечь очень трудно. Существенным является вопрос, где устанавливать нагрузочный резистор и как организовать линии связи, соединяющие множество микросхем в единый узел. Любой из приведенных в табл. 9.1 нагрузочных резисторов можно устанавливать

Таблица 9.1

Сопротивление нагрузки выходного ЭП и напряже- ние его питания	Средний ток на- грузки, мА	Средняя мощность ЭП с на- грузкой, мВт
$R_H=51 \text{ Ом}, U_{п2}=-2,0 \text{ В}$	13	26
$R_H=75 \text{ Ом}, U_{п2}=-2,0 \text{ В}$	9	18
$R_H=100 \text{ Ом}, U_{п2}=-2,0 \text{ В}$	7	14
$R_H=75 \text{ Ом}, U_{п2}=-2,4 \text{ В}$	14	34
$R_H=100 \text{ Ом}, U_{п2}=-2,4 \text{ В}$	11	26
$R_H=510 \text{ Ом}, U_{п1}=-5,2 \text{ В}$	6	28
$R_H=90 \text{ Ом}, U_0 = 0 \text{ В}$		
$R_H=110 \text{ Ом}, U_{п1}=-5,2 \text{ В}$	29	130

в непосредственной близости к передающей микросхеме на расстоянии от 5—7 см. Однако в этом случае необходимо и микросхемы, принимающие сигналы, размещать так же близко. В противном случае из-за крутых фронтов сигналов возникнут отражения, которые исказят форму сигнала и значительно уменьшат помехозащищенность микросхем.

На рис. 9.3 приведены типичные формы сигналов ИС серии 500 при различных длинах связи в случае размещения нагрузочного резистора сопротивлением 510 Ом в непосредственной близости от передающей микросхемы. Начиная с длины связи $l_{св} = 10 \text{ см}$, возникающие вследствие отражения сигнала помехи превышают запас помехозащищенности ИС серии 500 и могут начаться неправильные (ложные) срабатывания принимающих микросхем. В этой ситуации необходимо снижать частоту обработки информации, уменьшая быстродействие устройств, так как необходимо отводить дополнительное время для затухания переходных процессов и установления однозначных напряжений лог. 0 и лог. 1. Форма сигнала искажается в еще большей степени, если от одной передающей микросхемы разветвляется несколько радиальных линий связи. Поскольку для обеспечения устойчивой работоспособности микросхем необходимо накладывать жесткие ограничения на длину связи, то такой способ передачи сигналов по несогласованным линиям связи не может быть универсальным и массовым.

Для неискаженной передачи сигналов ИС серии 500 на значительно более длинные расстояния необходимо использовать согласованные линии связи [1]. Существуют два метода согласования: последовательный и параллельный. При последовательном согласовании к выходу ЭП ИС серии 500 подключаются нагрузочный резистор R_H и согласующий резистор R_c , который другим концом подключается ко входу односторонней линии связи с волновым сопротивлением ρ (рис. 9.4). Сопротивление нагрузочного резистора выбирается таким, чтобы протекающий через него ток был бы не меньше $0,5U_c/\rho$. Обычно питание нагрузочного резистора осуществляется от

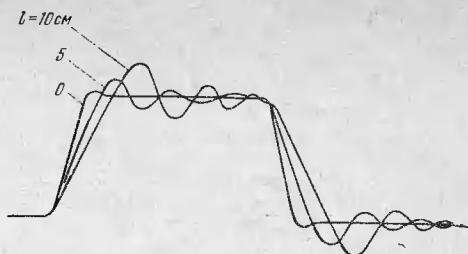


Рис. 9.3. Типичные формы сигналов ИС серии 500 при различных длинах несогласованных связей

основного источника, но можно использовать и вспомогательный источник. Согласующее сопротивление R_c выбирается таким образом, чтобы в сумме с выходным сопротивлением элемента оно равнялось ρ . В начальный момент времени полная амплитуда выходного сигнала с элемента делится пополам между суммарным выходным сопротивлением и волновым сопротивлением линии связи. В линию связи поступает только половина сигнала, которая доходит до конца линии. В конце разомкнутой на конце линии связи уменьшенный сигнал удваивается по амплитуде за счет 100%-ного отражения. В результате сигнал становится полным по амплитуде, а обратная волна тока устанавливает полную амплитуду сигнала по всей длине связи.

При последовательном согласовании линия связи должна проходить от передающей микросхемы поочередно все принимающие ИС. Отводы от линии приводят к искажению сигнала и снижению помехозащищенности элементов. Если время пробега сигнала по длине связи t_n , то полная амплитуда сигнала устанавливается в конце линии через время t_n , в середине линии — через $(3/2)t_n$, в начале линии — через $2t_n$. Поэтому последовательное согласование не обеспечивает предельно бы-

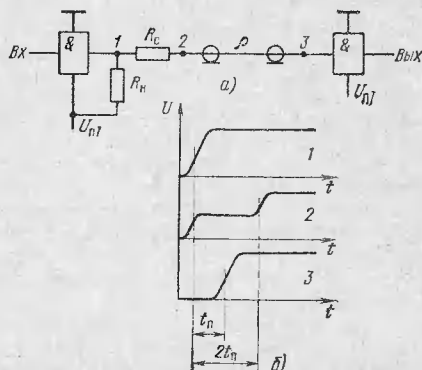


Рис. 9.4. Электрическая схема последовательного согласования ИС серии 500 (а) и формы сигналов в различных точках линии связи (б)

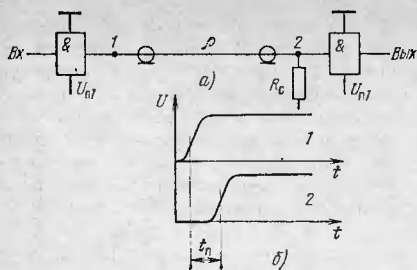


Рис. 9.5. Электрическая схема параллельного согласования ИС серии 500 (а) и формы сигналов в различных точках линии связи (б)

строе распространение сигнала по линии связи для принимающих микросхем, расположенных вдоль нее. Заметим также, что заряд и разряд нагрузочных конденсаторов C_H , расположенных вдоль линии, производится с постоянной времени $\tau_H = rC_H/2$, а расположенных в конце линии с постоянной времени $\tau_H = rC_H$.

Последовательно согласованная линия связи особенно чувствительна к емкостной нагрузке, расположенной в конце линии. Заряд последовательно согласованной линии связи при изменении напряжения линии из низкого в высокое (на положительном фронте) производится выходным током ЭП. Разряд линии на отрицательном фронте осуществляется током нагрузочного резистора. Поскольку линия связи разряжается в два этапа, то ток требуется небольшой: 4—5 мА для 100-ом линии и 8—10 мА для 50-ом. Поэтому при последовательном согласовании можно обеспечить экономичный по потребляемой мощности режим работы выходных ЭП. Один выход ЭП может работать на одну или несколько последовательно согласованных линий связи. Сопротивление нагрузочного резистора R_H должно быть уменьшено в соответствующее число раз, поскольку для каждой линии необходимо предусмотреть свой разрядный ток. Естественно, выходной ток ЭП не должен превышать максимально допустимого значения 40 мА при наилучших сочетаниях параметров.

При параллельном согласовании выход элемента сразу подключается к линии связи с определенным волновым сопротивлением. Линия связи от передающего элемента поочередно обходит принимающие элементы и заканчивается подключением к согласующему резистору R_c с сопротивлением, равным волновому сопротивлению (рис. 9.5). В этом случае обеспечивается режим бегущей волны и никаких отражений не возникает. Согласующее сопротивление одновременно является и нагрузочным сопротивлением ЭСЛ элемента, если оно подключается к источнику питания напряже-

нием —2 В и ниже. На практике обычно используются низкоомные линии связи в диапазоне от 50 до 100 Ом и, следовательно, низкоомные согласующие резисторы. Для того чтобы не вызвать перегрузку выходных ЭП элементов по току для питания согласующих резисторов применяется вспомогательное напряжение —2 В (для $R_c = 50, 75$ или 100 Ом), —2,4 В (для $R_c = 75$ или 100 Ом) и —3 В (для $R_c = 100$ Ом). Если в аппаратуре источника вспомогательного напряжения нет, то можно использовать резисторные делители, которые подключаются к напряжению основного питания —5.2 В. При параллельном согласовании с самого начала линии связи распространяется полная амплитуда сигнала. Поэтому сигнал появляется на входе линии сразу, в середине линии через время $1/2t_n$, в конце линии через t_n . Здесь t_n есть время распространения сигнала от передающей микросхемы до последней принимающей. Расстояние от последней принимающей ИС до согласующего резистора не имеет значения для времени распространения сигналов информации.

В общем случае параллельно согласованные линии связи обеспечивают более быструю передачу сигналов по сравнению с последовательно согласованными. В наихудшем случае размещение принимающих микросхем такое: в начале линии при последовательном согласовании и в конце линии при параллельном согласовании параллельное согласование обеспечивает в 2 раза более быструю передачу сигналов. Однако для организации параллельного согласования при прочих равных условиях расходуются большие мощности и выходной ток. Заряд нагрузочных конденсаторов при параллельном согласовании производится с постоянной времени $\tau_H = rC_H/2$ по всей длине линии связи. Любые неоднородности в линии связи, а именно сосредоточенные нагрузочные емкости, отводы линий, изменения волнового сопротивления на отдельных участках, проводные вставки, несоответствие согласующего сопротивления волновому сопротивлению линии, его разбросы и прочее, приводят к искажениям сигнала и паразитным отражениям. Конкретные значения зависят от соотношения параметров линии связи и неоднородностей. На практике параллельному согласованию линий связи отдадут предпочтение, поскольку оно обеспечивает более высокое быстродействие и его проще организовать для массовых связей. Однако для передачи сигналов на большие расстояния (несколько метров) последовательное согласование оказывается более выгодным, так как практически не происходит потери амплитуды сигнала и помехозащищенности элементов из-за омического сопротивления линии связи: в последовательно согласованной линии связи в установившемся режиме протекают только малые входные токи элементов, принимающих сигнал. В параллельно согласованной линии протекают большой

ток согласующего сопротивления и малые входные токи принимающих микросхем.

В качестве монтажных средств для организации линий связи между микросхемами серии 500 применяются печатные проводники двухсторонних и многослойных печатных плат, одиночные (короткие), двойные (витые пары) и тройные (витые тройки) провода, плоские высокочастотные провода и коаксиальные кабели. В каждом конструктивном модуле применяется, как правило, одно основное монтажное средство, другие могут использоваться как вспомогательные. Например, в конструктивных модулях ЕС ЭВМ используются: в типовых элементах замены — печатные проводники многослойных печатных плат (МПП); в блоках панели — витые пары и тройки проводов; в рамах — витые пары и тройки проводов, плоские высокочастотные провода; в межрамном монтаже — плоские высокочастотные провода, витые пары и тройки; в стойке и межстоечном монтаже — плоские высокочастотные провода и коаксиальные кабели. Поскольку значительная доля электромонтажа связей между микросхемами серии 500 выполняется витыми парами и тройками проводов, волновое сопротивление которых близко к 100 Ом (у витой пары 110—120 Ом, у витой тройки 90—100 Ом), чаще всего выбирается параллельное согласование сопротивлением 100 Ом. Для повышения помехозащищенности элементов целесообразно подключать его к напряжению —2,4 или 3,0 В. На практике невозможно выдержать однородную линию связи, как правило, различные неоднородности искажают сигнал, вызывают отражения. Рассмотрим в качестве наглядного примера несколько типичных случаев, промоделированных на ЭВМ.

Линейный фронт сигнала длительностью 2 нс распространяется в 100-ом линии связи, в середине которой включен нагрузочный конденсатор (рис. 9.6). Нагрузочный конденсатор имитирует вход элемента серии 500, который носит емкостный характер. На рис. 9.6 приведены формы сигнала в точке подключения конденсатора при $C_n = 10, 15$ и 20 пФ. Заметим, что фронт сигнала заметно ухудшается и его форма искажается, в том числе за счет отражения от начала линии. Тем не менее сосредоточенная емкостная нагрузка до 20 пФ допускается в 100-ом линии связи. Это соответ-

ствует 3—4 входам ИС серии 500. Известно, что распределенная вдоль линии емкостная нагрузка вызывает меньшие искажения сигнала, поэтому микросхемы серии 500 можно подключать по всей длине связи. Для того чтобы амплитуда помехи не превысила помехозащищенность микросхем, рекомендуется подключать к линии связи до одного-двух входов ИС серии 500 на расстоянии 4—5 см друг от друга.

Часто встречаемая конфигурация линии связи в аппаратуре — линии с отводом (рис. 9.7). Отвод выполняется в типовом элементе замены (ТЭЗ), когда стремятся сократить длину связи основной линии и улучшить трассировку связей. Широко используются отводы в ТЭЗ от панельных линий связи, когда из-за недостатка контактов соединителя ТЭЗ или из-за нежелания увеличить длину панельной линии связи, невозможно выполнить последовательный обход нагрузок. На рис. 9.7, а, б показаны формы сигналов в линии и в конце отвода при его длине 5 и 10 см. Видно, что при длине отвода 10 см и более искажения сигнала становятся недопустимыми. При подключении емкостной нагрузки в конце отвода уровень помех возрастает еще больше (рис. 9.7, в). Поэтому не рекомендуется использовать отводы длиной более 5—7 см и число нагрузок в конце отвода более двух.

На практике трудно выдержать одинаковое волновое сопротивление линии связи на всем протяжении. В частности, волновое сопротивление линии связи в МПП ТЭЗ ЕС ЭВМ составляет 60—70 Ом, а в панели 100—120 Ом. Представляет интерес конфигурация связи, которая начинается в ТЭЗ, продолжается и заканчивается в панели (рис. 9.8). На рис. 9.8 приведены формы сигналов при длине связи в ТЭЗ 10 и 20 см. Видно, что сигналы имеют допустимые искажения и рассматриваемая конфигурация линии связи рекомендуется при длине связи в МПП до 20—30 см.

Еще одна часто встречающаяся конфигурация: проводная вставка с более высоким волновым сопротивлением, т. е. участок одиночного провода (рис. 9.9). На рис. 9.9 приведена форма сигнала при длине провода 5 и 10 см. Видно, что длина проводной вставки более 5 см уже недопустима, так как появляется помеха, превышающая допустимый уровень. При выполнении от-

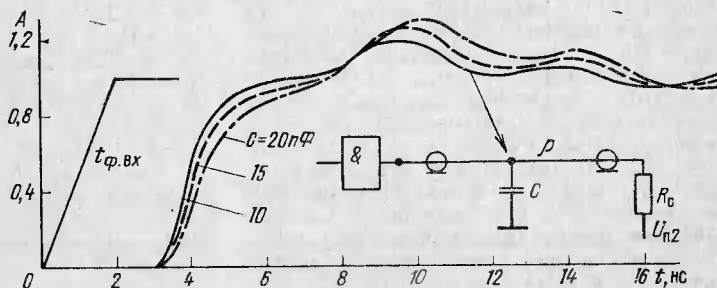


Рис. 9.6. Формы сигналов ИС серии 500 при подключении нагрузочного конденсатора к линии связи

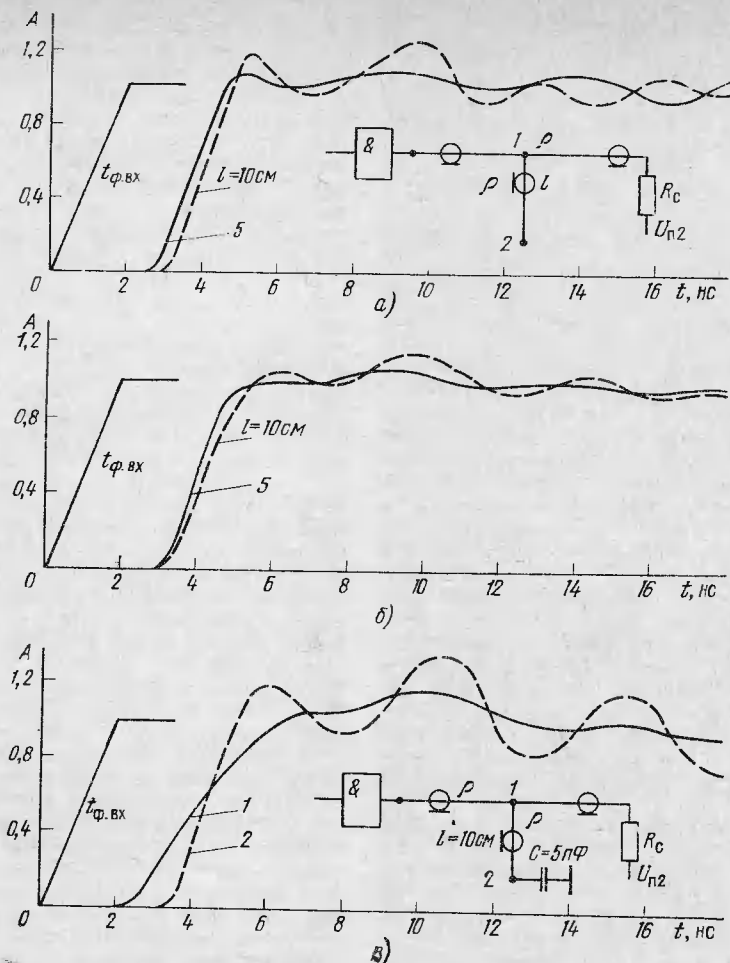


Рис. 9.7. Формы сигналов ИС серии 500 при подключении отвода к линии связи

дельных отрезков линии одиночными проводами рекомендуется не превышать длину 3—5 см и размещать их возможно ближе к потенциальному слою с тем, чтобы снизить волновое сопротивление и уменьшить амплитуду отраженной помехи.

В рассматриваемых конфигурациях линий связи показаны типичные неоднородности, которые встречаются на практике и их влияние на сигналы с фронтами 2 нс, присущие ИС серии 500. Приведенные примеры не претендуют на обобщения, в них,

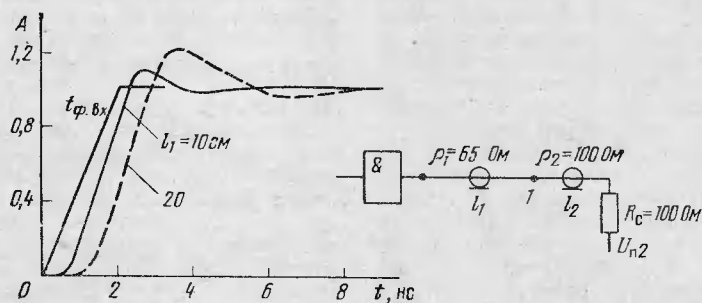
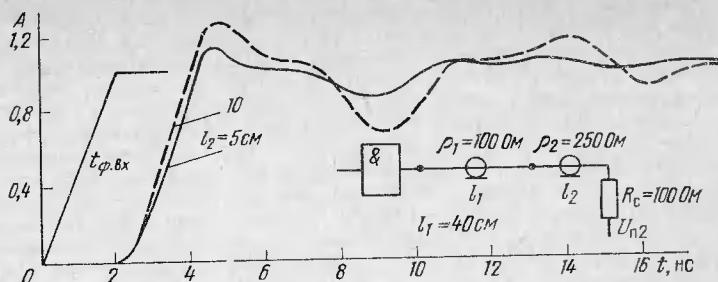


Рис. 9.8. Формы сигналов ИС серии 500 при использовании линий связи с различным волновым сопротивлением

Рис. 9.9. Формы сигналов ИС серии 500 при использовании участка одиночного провода в линии связи



однако, показана величина неоднородностей, которые вызывают недопустимые искажения сигналов микросхем.

При проектировании реальной вычислительной аппаратуры обычно разрабатываются руководящие технические материалы (РТМ) или руководящие указания по конструированию (РУК), в которых приводятся общие сведения по элементной базе, конструктивным модулям, электронному конструированию, синхронизации и даются рекомендации и ограничения, обеспечивающие оптимальную и устойчивую работу микросхем. В РТМ по применению ИС серии 500 приводятся следующие сведения и рекомендации.

Электромонтаж ИС серии 500. Микросхемы должны монтироваться на многослойные печатные платы, имеющие специально выделенные сетчатые или сплошные (с перфорацией) потенциальные слои земли, основного и вспомогательного питания. Выводы земли и питания микросхем необходимо подключать к соответствующим потенциальным слоям кратчайшими проводниками с малой индуктивностью. Для снижения уровня высокочастотных пульсаций в цепях питания рекомендуется использовать керамические конденсаторы развязки типа КМ-56-Н90 емкостью 0,047 мкФ. В ТЭЗ, выполненных на основе МПП, конденсаторы развязки можно устанавливать по периферии ТЭЗ из расчета один керамический конденсатор на 5—10 микросхем для развязки основного —5,2 В и один керамический конденсатор на 2—4 микросхемы для развязки вспомогательного питания —2,0 В (—2,4 В). Для низкочастотной развязки по питанию рекомендуется использовать электролитические конденсаторы типа К53-4-15 емкостью 6,8 мкФ — по одному на каждый номинал электропитания. Для развязки вспомогательного питания, которое отличается импульсным потреблением тока, около электрического соединения устанавливается дополнительный керамический конденсатор КМ6-Н90-1 мкФ. Кроме того, дополнительный развязывающий эффект оказывают керамические конденсаторы резисторно-конденсаторных блоков Б20-4, расположенных внутри поля ТЭЗ.

Триггеры и синхронизация. В связи с повышенной чувствительностью синхрони-

зирующих, управляющих и установочных входов (C, V, W, S, R) триггеров и последовательностных схем рекомендуется сигналы, которые подаются на указанные входы, формировать внутри ТЭЗ, обращая внимание на сохранение их хорошей неискаженной формы и фронтов. Необходимо передавать синхронизирующие сигналы по таким линиям связи различных конструктивных модулей, к которым предъявляются повышенные требования к качеству и однородности.

Микросхемы серии 500, которые работают с повышенной амплитудой сигнала (Е424, Е425, Е428, Е429), необходимо размещать вблизи электрического соединителя. Проводники, по которым передаются сигналы с повышенной амплитудой, необходимо размещать на расстоянии не ближе чем на 5 мм к остальным проводникам. Если обычно допускаются «тени» (прохождение одного проводника над другим в парных сигнальных слоях) длиной 50 мм, то при прохождении по одному из проводников сигналов повышенной амплитуды допускаются «тени» длиной не более 10 мм.

Время распространения сигнала в линии. Для уменьшения времени распространения сигнала в линиях связи необходимо сокращать общую длину связи, применять неразветвленные линии (не допускать отводов) с малым числом нагрузок, снижать неоднородности в линиях, при их присутствии равномерно распределять их вдоль линии. Оценку времени распространения сигнала (нс) в линии связи в ТЭЗ производить по формуле

$$t_{л.с} = 0,12(N + L - 1) + 7L, \quad (9.3)$$

где N — число нагрузок в цепи; L — число монтажных объединений; l — длина печатных проводников, м.

При использовании монтажного объединения необходимо размещать микросхемы, участвующие в объединении, в соседних гнездах для того, чтобы максимальное расстояние между выходами передающих элементов не превышало 5 см при $L \leq 4$ и 10 см при $5 \leq L \leq 8$. Не следует превышать число объединений более 8. В быстройдействующих цепях не рекомендуется подключать более 10 нагрузок к од-

ной цепи. В остальных случаях разрешается применять до 30 нагрузок.

Для обслуживания комбинированных элементов рекомендуется использовать **резисторно-конденсаторные блоки** Б20-4-5, для обслуживания триггеров и последовательностных схем целесообразно применять блоки Б20-4-4, обеспечивающие лучшую помехозащищенность при одновременной подаче сигналов на резисторы данных блоков.

Логические 0 и 1. Любой неиспользуемый (неподключенный) вход элемента (за исключением ИС Е414, Е415, Е416, В116) автоматически ориентируется на низкий уровень сигнала, т. е. лог. 1 в отрицательной логике, поскольку входы элементов через высокоомный резистор подключены к источнику напряжения основного электропитания. Для получения лог. 0 рекомендуется использовать инверсный выход любого неиспользованного элемента И—НЕ с неподключенным входом. Один такой выход без нагрузочного резистора может обеспечить лог. 0 на 70 стандартных входах ИС. Для ориентации входов микросхем Е414, Е415, Е416 и В116 на лог. 1 необходимо на их входы подавать вспомогательное напряжение —2,0 В или —2,4 В.

В качестве **монтажного средства** для организации линий связи в блоке панели между ТЭЗ рекомендуется применять витые пары проводов МНВ $2 \times 0,05$ мм, которые присоединяются к хвостовикам электрических соединителей СМП34-135 (113) методом накрутки. На один штырек разрешается накручивать до трех проводников. Сигнальный проводник присоединяется к соответствующему сигнальному контакту соединителя, земляной проводник — к земляному штырьку, который должен отстоять от сигнального не далее 3 см. Для снижения уровня наводимых помех в соединителе средний ряд штырьков рекомендуется отводить под земляные и потенциальные контакты, два крайних ряда — под сигнальные; через одну контактную пару соединителя СМП34 можно передавать до 1 А тока.

Подвод земли и электропитания к ТЭЗ в блоке панели рекомендуется осуществлять печатными проводниками в объединительной печатной плате панели. Необходимость фильтрации напряжения питания в блоке панели определяется разработчиком в зависимости от конструкции аппаратуры и расположения блоков электропитания.

При передаче сигналов повышенной амплитуды рекомендуется использовать витые тройки проводов МНВ $3 \times 0,05$ мм, в которых два земляных и один сигнальный провода. Подвод синхронизирующих сигналов от генератора к панели производится коаксиальным кабелем на панели — витыми тройками.

Отводы и буферные элементы. Не рекомендуется использовать в быстродействующих панельных цепях более 10 отводов в ТЭЗ, на входе ТЭЗ целесообразно в

ближнем к соединителю ряду устанавливать буферные элементы, разрывающие панельные связи от связей в ТЭЗ.

Укладка проводов. Как правило, все монтажные проводники в блоке панели укладываются упорядоченно между рядами штырьков электрических соединителей, отдельные связи допускаются выполнять неупорядоченными. В зависимости от особенностей вычислительной аппаратуры монтажно-законченным блоком выполняется панель или рама. В первом случае все внешние связи из блока панели должны выходить через периферийные соединители, расположенные по краям панели. Во втором случае все внешние связи из рамы осуществляются через электрические соединители, расположенные на боковом кронштейне рамы.

Все **межрамные и межстоечные связи** выполняются через электрические соединители СМП34 или «набор», установленные на кронштейне (боковой бланке) рамы. Указанные связи осуществляются плоскими высокочастотными проводами ПВП-100-54 $\times 0,18$ или 100-ом коаксиальными кабелями ИКМ 0,3/2,4. Максимальная длина проводов ПВП 10 м, кабелей 20 м. При укладке проводов ПВП в пакет между ними должна размещаться изоляционная прокладка толщиной не менее 0,6 мм для снижения уровня наводимых помех от соседних лент проводов. В плоском проводе ПВП из 54 жил 36 подключается к земле. 18 используются для передачи сигналов. Плоские кабели ПВП с двух сторон заканчиваются розетками соединителя СМП34-30, к которым они подключаются через переходную печатную микроплату. Не рекомендуется объединять шины земли различных сигнальных трактов на микроплате между собой.

Время прохождения сигнала (в наносекундах) по линии связи рассчитывается по формуле:

$$t_{\text{элс}} = 6l_1 + 7l_2, \quad (9.4)$$

где l_1 — длина связи, выполненная проводами, м; l_2 — длина связи, выполненная печатными проводниками или коаксиальными кабелями, м.

Для уменьшения числа связей и экономии контактов соединителей рекомендуется применять **магистральные линии связи**, согласованные с двух сторон с помощью резисторов сопротивлением 100 Ом, подключенными к источнику напряжения —2,0 В. В качестве магистрального передатчика используется микросхема Е423, выходные каскады которой способны переходить в режим холостого хода (высокого выходного сопротивления). Для монтажа магистральных связей рекомендуется применять 100-ом витые тройки МНВ $3 \times 0,05$ мм и провода ПВП-100 — $54 \times 0,18$. Длина магистральной связи не должна превышать 10 м, длина отводов — не более 15 см. В качестве приемников сигналов с магистральных линий можно использо-

вать любые стандартные ЭСЛ элементы серии 500, но рекомендуется применять ИС Е414 как имеющую наименьшие входной ток и входную емкость. Отводы необходимо размещать не ближе чем на 5 см друг от друга с целью недопущения суммирования отраженных помех от неоднородностей (отводов). Перечисленные рекомендации дают самые необходимые сведения для успешного применения ИС серии 500. Тем не менее каждая вычислительная аппаратура имеет свои особенности, которые вызывают необходимость дополнительных исследований микросхем серии 500, линий связи, отдельных вопросов электронного конструирования.

9.2. Особенности применения ИС серии К1500

Микросхемы серии К1500 при использовании в вычислительной аппаратуре имеют как определенное сходство с микросхемами серии 500, так и заметные отличия. Сходство обусловлено тем, что микросхемы обеих серий относятся к классу наиболее быстродействующих и выполнены на основе эмиттерно-связанных логических элементов. Элементы ЭСЛ работают с малой амплитудой сигнала, имеют невысокую абсолютную помехозащищенность; для передачи сигналов им необходимы, как правило, согласованные линии связи.

Отличия заключаются в том, что СИС серии K1500 имеют встроенную систему стабилизации параметров по питанию и температуре, которая обеспечивает постоянную помехозащищенность в реальных условиях эксплуатации. В то же время СИС серии K1500 имеют в два раза более крутые фронты сигналов, что требует тщательного электронного конструирования и электропомоща.

При использовании нестабилизированных ИС серии 500 значительное внимание необходимо уделять обеспечению статической помехозащищенности элементов в условиях изменения напряжения питания и температуры окружающей среды. При применении СИС серии К1500 этим вопросам не требуется уделять много внимания: достаточно выбрать источники питания с напряжением $-4,5 \text{ В} \pm 5 \%$ и $-2,0 \text{ В} \pm 5 \%$, чтобы обеспечить требования ТУ, и работать в диапазоне рабочих температур от 1 до 85°C на основании корпуса микросхем. При указанных условиях статическая помехозащищенность остается постоянной и не изменяется даже в случае связанных между собой СИС, работающих при самых неблагоприятных сочетаниях напряжений питания и рабочей температуры. Не требуется каких-либо ограничений на совместную работу СИС серии К1500, расположенных в различных конструктивных модулях (за исключением триггеров и последовательностных схем).

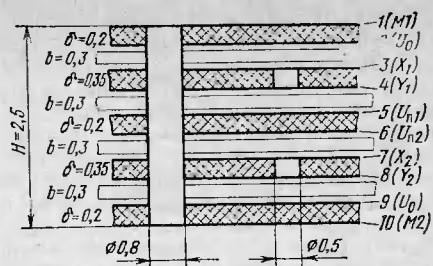


Рис. 9.10. Структура 10-слойной МПП со сквозными и внутренними переходными отверстиями

Основное внимание при использовании СИС серии К1500 необходимо уделять электронному конструированию, т. е. вопросам компоновки микросхем, «развязки» питания, организации и согласования линии связи, выбора согласующих резисторов, соединителей, проводов и кабелей, электро-монтажа. Для получения максимального быстродействия рекомендуется применять параллельное согласование 50-ом линий связи. В отдельных случаях, в условиях коротких линий связи (до 10—20 см) с малым числом нагрузок, а также в условиях передачи сигналов на удаленную нагрузку (на несколько метров) с приемником в конце линии эффективно применение и последовательного согласования. Поскольку максимальный выходной ток СИС серии К1500 составляет 50 мА, то возможна работа на более низкоомные линии связи и нагрузки или подключение 50-ом нагрузочного резистора к источнику питания напряжением ниже —2 В, например —2,4 В.

Микросхемы серии К1500 более чувствительны к неоднородностям в линиях: из-за крутых фронтов ($t_f \approx 1$ нс) уровень наводимых и отраженных помех в условиях, сравнимых с условиями работы ИС серии 500, существенно возрастает. Основное условие правильной организации линий связи — постоянное волновое сопротивление линии на всем протяжении, во всех конструктивных модулях, по которым проходит данная связь. Согласующее сопротивление должно соответствовать выбранному волновому сопротивлению. Трудно обеспечить постоянство волнового сопротивления в многослойной печатной плате, где сложно получить точность, большую $\pm 10-15\%$.

На рис. 9.10 показана структура 10-слойной с четырьмя логическими слоями МПП с 50-ом проводниками. Подобная МПП изготавливается по технологии сквозной металлизации отверстий с внутренними переходами в парных слоях. Для повышения трассировочных возможностей можно использовать 12-слойную МПП с шестью логическими слоями. На рис. 9.11 и 9.12 приведены фрагменты логического и потенциального слоев МПП

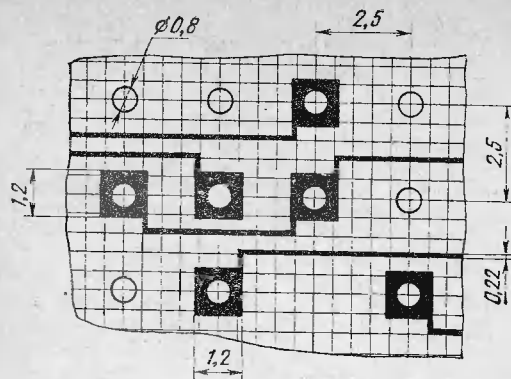


Рис. 9.11. Фрагмент сигнального слоя МПП

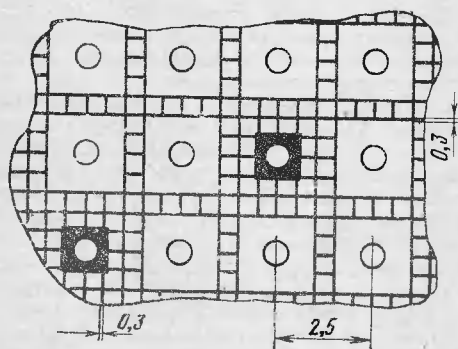


Рис. 9.12. Фрагмент потенциального слоя МПП

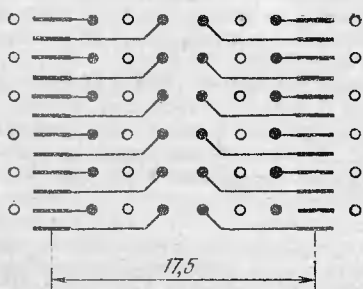


Рис. 9.13. Фрагмент наружного слоя МПП с ламелями для установки корпуса и подпайки выводов СИС серии К1500

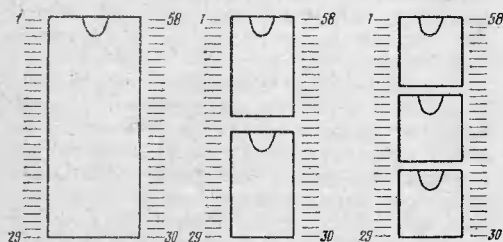


Рис. 9.14. Универсальное посадочное место на МПП для установки корпусов ИС, СИС и БИС

ТЭЗ. Для перехода во внутренние логические и потенциальные слои на наружных монтажных слоях формируется печатный рисунок, в котором печатные ламели служат для подпайки выводов корпусов микросхем, а печатные проводники от них обеспечивают электрическое подключение к сквозным металлизированным отверстиям (рис. 9.13).

При двухстороннем размещении корпусов на МПП добиваются более высокой плотности компоновки ТЭЗ, чем при одностороннем. При этом, как правило, несколько увеличивается шаг установки ТЭЗ. При размещении корпусов с различным числом выводов (16, 18, 24, 54) выгодно организовать универсальное посадочное место, на котором можно установить один 54-выводной корпус, два 24-выводных корпуса, три 16- или 18-выводных корпуса (рис. 9.14).

Для установки корпусов микросхем серии К1500 и РКБ можно использовать МПП размерами: 140 × 150 мм, 170 × 200 мм, 150 × 310 мм, 200 × 280 мм. На МПП ТЭЗ размером 140 × 150 мм можно установить 40—50 корпусов СИС серии К1500 при двухстороннем размещении. На МПП ТЭЗ 170 × 200 мм устанавливается 60—80 СИС, на МПП ТЭЗ 150 × 310 мм — 90—100 микросхем серии К1500, на МПП ТЭЗ 200 × 280 мм — до 110—130 СИС.

При выборе компоновочного решения и разработке базового чертежа ТЭЗ следует помнить, что чем больше посадочных мест выделяется на ТЭЗ для установки микросхем, тем меньше возможности трассировки МПП при заданной технологии. Нерастраскированные в логических слоях связи можно выполнять навесными 50-ом витыми парами из проводов марки ПЭВТЛК диаметром 0,15 мм (сигнальный) и 0,19 мм (земляной). Разный диаметр применяется для того, чтобы при электромонтаже можно было отличать сигнальный провод от земляного. Разрешается также использовать 50-ом кабели марки РД50-1-21 и РК50-0,6-23 с внешним диаметром изоляции 1 и 0,6 мм, соответственно. Навесной электромонтаж осуществляется пайкой. Навесные 50-ом провода и кабели не уступают по электрическим свойствам печатным проводникам, а по отдельным параметрам даже превосходят. Однако для снижения трудоемкости и стоимости ТЭЗ стремятся, чтобы число навесных проводников не превышало двух-трех десятков.

Применение субнаносекундных микросхем серии К1500 накладывает существенные ограничения на организацию связей между ними при условии обеспечения допустимого уровня помех. Помехи в линиях связи возникают из-за неоднородностей, которыми являются входные емкости приемников сигналов, реактивные параметры контактов электрических соединителей и выводов микросхем, отводы от линий связи и т. п. Как правило, величина отдель-

но взятая неоднородности такого, что рождающаяся от нее помеха не превышает помехозащищенность СИС серии K1500. Однако на практике в линиях связи часто присутствуют две и более неоднородностей. Поскольку амплитуда помехи зависит не только от величины, но и от расположения неоднородностей в линии связи, существует опасность суммирования помех и превышения помехозащищенности микросхем, что может привести к сбоям в работе аппаратуры. В линиях связи с несколькими неоднородностями происходят сложные интерференционные процессы изменения напряжения, которые можно смоделировать прямым физическим экспериментом или описать математическими уравнениями с последующим решением их на ЭВМ.

При проектировании вычислительной аппаратуры на основе СИС серии K1500 возможно два подхода. Первый заключается в том, что все линии связи, полученные после трассирования моделируются на ЭВМ по критерию допустимой помехи. Те связи, которые не удовлетворяют данному критерию, трассируются заново для выполнения этого условия. Второй подход заключается в том, что при проектировании аппаратуры применяются только такие конфигурации линий связи, которые заведомо до трассировки уже обеспечивают выполнение критерия допустимой помехи. Такие конфигурации или типы связей заранее исследуются экспериментально или моделированием на ЭВМ и рекомендуются для использования. Понятно, что подобных типов связей может быть ограниченное число и все многообразие реальных связей должно быть сведено к этому числу. На практике получили распространение следующие типы организации связей.

Последовательный обход приемников
В данном случае линия начинается от одного передатчика и последовательно обходит все приемники (рис. 9.15), линия заканчивается подключением к согласующему резистору 50 Ом. Приемники могут размещаться произвольно, но не ближе 4 см друг к другу, чтобы исключить суммирование помех. Длина последнего участка связи до согласующего резистора не имеет значения и в расчете времени пробега сигнала по линии не участвует. Каждый вход приемника добавляет ко времени распространения сигнала в линии около 0,2 нс. Время распространения сигнала в печатных линиях МПП составляет 8 нс/м, в 50-ом проводах и кабелях 5 нс/м.

Сосредоточенная нагрузка в виде двух или более приемников, подключается к линии связи на коротком участке (рис. 9.16). Линия заканчивается участком связи произвольной длины с согласующим резистором 50 Ом на конце. На этом участке разрешается подключать другие приемники при условии их последовательного обхода линией связи. Разрешается сосредоточивать до 8 нагрузок — приемников на уча-

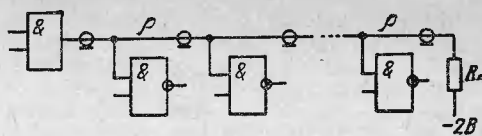


Рис. 9.15. Электрическая схема связи при последовательном обходе приемников

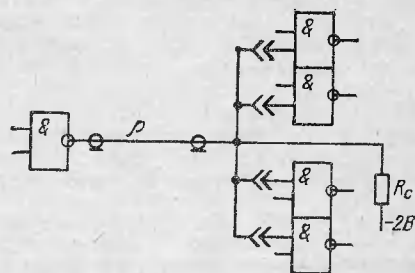


Рис. 9.16. Электрическая схема связи с сосредоточенными нагрузками

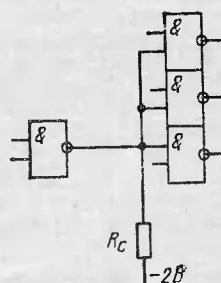


Рис. 9.17. Электрическая схема связи с короткими радиальными связями

стке линии не более 8 см с отводами не более 2,5 см. Дополнительное время задержки (в наносекундах) от N нагрузок

$$t_{3N} = 0,2 (N + l_{\Sigma} / 2,5), \quad (9.5)$$

где N — число нагрузок — входов приемников; l_{Σ} — суммарная длина отводов, см.

Короткие радиальные связи выполняют в виде отдельных отрезков от передатчика к каждому приемнику, согласующий резистор подключается отдельным отрезком (рис. 9.17). Длина радиальных отрезков к приемникам не должна превышать 4 см, при этом число нагрузок должно быть не более двух, при длине отрезков до 2,5 см — не более четырех, при длине отрезков до 1,5 см — не более пяти. Каждый радиальный отрезок с нагрузкой вносит задержку 0,35 нс (при длине 4 см), 0,2 нс (при длине 2,5 см), 0,1 нс (при длине 1,5 см). На отрезке линии, ведущей к согласующему резистору разрешается подключать одну нагрузку — вход приемника.

Последовательный обход отводов В данном случае линия связи последовательно обходит отводы, в конце которых включены приемники (рис. 9.18). Все отводы от линии должны быть одинаковой длины (не более 5,5 см). Для обеспечения допустимого уровня помех линия связи должна выполняться регулярной с равномерным на протяжении линии подключением отводов. Условия регулярности следующие: отрезки линии между отводами равны между собой и их длина не менее 5 см, к концу отвода можно подключать только одну нагрузку, длина связи от передатчика до первого отвода 5—9 см. Если какой-либо отвод отсутствует, нарушая регулярность линии, на его место необходимо подключить имитатор отвода или фальшотвод

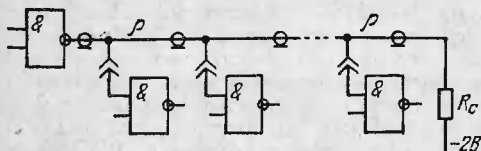


Рис. 9.18. Электрическая схема связи с последовательным обходом приемников, расположенных в конце отводов

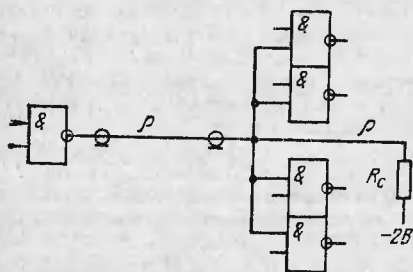


Рис. 9.19. Электрическая схема связи с сосредоточенными отводами

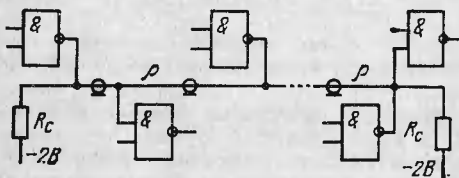


Рис. 9.20. Электрическая схема магистральной линии

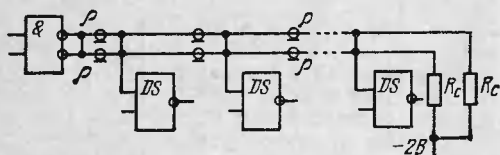


Рис. 9.21. Электрическая схема организации низкоомной линии связи (25—30 Ом)

длиной 5—7 см. Фальшотвод выполняется в виде печатного проводника МПП заданной длины, который одним концом подключается к линии связи (другой остается свободным). После пятого отвода из-за ухудшения фронта распространяемого по линии сигнала и уменьшения амплитуды отраженных помех разрешается не соблюдать регулярность линии и не подключать фальшотвод. Каждый отвод с нагрузкой вызывает дополнительную задержку в линии, равную 0,3 нс.

Сосредоточенные отводы выполняются в виде отрезков равной длины (не более 5 см), подключаемых к ограниченному по длине участку линии связи (рис. 9.19). Линия связи от передатчика должна подходить к середине данного участка. Отводы на данном участке должны соединяться на возможно меньшей длине — не более 7 см от центра участка; в конце каждого отвода можно подключать только одну нагрузку; согласующий резистор устанавливается в среднем отводе. Число отводов не должно превышать 8.

Магистральная линия выполняется как согласованная с двух сторон линия связи, к которой подключаются как магистральные передатчики, так и приемники (рис. 9.20). В качестве передатчиков должны применяться СИС F123, приемниками могут быть любые микросхемы серии K1500. Магистральная линия связи выполняется последовательным обходом передатчиков и приемников, длина отводов, к которым они присоединяются к линии связи, не должна превышать 1,5 см. Расстояние между отводами должно быть не менее 8 см, всего разрешается подключать не более 8 передатчиков и 8 приемников. Каждая нагрузка на линию (передатчик или приемник) вызывает задержку распространения сигнала в линии 0,3 нс.

В процессе разработки аппаратуры может появиться потребность и в других типах связи, которые после тщательного исследования могут быть рекомендованы для использования. В частности, для работы на микросхеме с повышенной входной емкостью, например, БИС ЭСЛ ОЗУ K1500PV415, при необходимости высокой плотности компоновки, т. е. при близком расстоянии их друг от друга целесообразно применять более низкоомные линии связи — 25—30 Ом (рис. 9.21).

Особенности СИС серии K1500. Существует ряд особенностей СИС серии K1500, касающихся непосредственного применения микросхем:

Неиспользуемые входы СИС (кроме F114, F415, F470) можно оставлять неподключенными, что эквивалентно состоянию лог. 1, так как они связаны через высокоомный резистор 50 кОм с шиной основного питания.

Для получения напряжения лог. 0 рекомендуется использовать любой инверсный выход элемента И—НЕ с неподключенными входами: каждый такой выход без

нагрузочного резистора может обеспечить до 64 выходов СИС.

Можно объединять до 8 выходов микросхем с получением функции Монтажное И, причем длина связи между наиболее удаленными выходами не должна превышать 5 см. Из-за частичной потери помехозащищенности запрещается посылать сигналы с эмиттерного ДОТ за пределы ТЭЗ.

Нормальная работоспособность микросхем может быть обеспечена только при условии подключения к выходу, с которого снимается сигнал, *нагрузочного резистора*. Сопротивление резистора и напряжения источника питания, к которому он подключается, в значительной степени зависят от способа организации связей, о чем было сказано выше. При отсутствии в аппаратуре напряжения вспомогательного питания можно использовать для согласования линий связи цепь из двух резисторов R_1 и R_2 с подключением ее к напряжению основного питания (рис. 9.22).

Динамические параметры микросхем зависят от емкости нагрузки и сопротивления нагрузочного резистора; в меньшей степени зависит время задержки и длительность фронта при переходе из лог. 1 в 0, в большей — из 0 в 1. Указанная зависимость проявляется при близком размещении емкости нагрузки и нагрузочного резистора на расстоянии до 2—3 см от выхода СИС, в противном случае следует рассматривать процессы в линиях связи с неоднородностями.

Нагрузочная емкость складывается из входной емкости микросхемы и монтажной емкости C_M , при наличии эмиттерного ДОТ добавляются выходные емкости C_L элементов. Для СИС серии К1500 $C_{вх} = 2-3$ пФ, $C_M = 1-2$ пФ, $C_L = 1,5-2$ пФ.

Вследствие высокой чувствительности входов С, V, W, R, S, MR и MS триггеров и последовательностных схем запрещается подавать на них сигналы, проходящие из других ТЭЗ непосредственно, следует подавать их только через буферные элементы. Запрещается объединять в эмиттерный ДОТ оконечные каскады синхронизации. Рекомендуется использовать во входных цепях ТЭЗ *буферные элементы*, которые следует устанавливать в первом ряду от электрического соединителя. Во избежание колебательных процессов не рекомендуется подключать к выходу СИС *емкостную нагрузку* более 15 пФ.

Развязывающие конденсаторы. Для развязки шин (сетки) питания на ТЭЗ рекомендуется применять керамические конденсаторы типа КМ6-Н90 емкостью 0,033 мкФ, КМ6-Н90 емкостью 0,047 мкФ или К10-17 (для фильтрации высокочастотных пульсаций) из расчета 1 конденсатор на пять микросхем для развязки основного питания и 1 конденсатор на 2 микросхемы для развязки вспомогательного питания. Для фильтрации низкочастотных пульсаций ре-

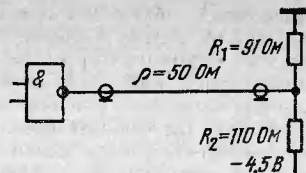


Рис. 9.22. Организация параллельного согласования при использовании одного основного источника питания $U_{н1} = -4,5$ В

комендуется применять электролитические конденсаторы типа К53-4-15 емкостью 6,5 мкФ — по одному на каждое напряжение питания. При больших размерах ТЭЗ необходимо размещать керамические конденсаторы равномерно по всему полю МПП.

Электрические соединители. Важным электронным компонентом на ТЭЗ и в других конструктивных модулях является электрический соединитель. Лучшими соединителями в вычислительной аппаратуре, построенной на основе СИС серии К1500, считаются соединители РППМ27 на 30, 60 и 90 контактов. Эти соединители имеют близкие электрические характеристики к 50-ом линиям связи, не дают отражений или заметных искажений сигналов, имеют высокую помехозащищенность контактов. Недостатки данных соединителей — небольшое число контактов и невозможность электромонтажа накруткой: хвостовики вилки короткие и круглые. Соединители предназначены для установки в МПП ТЭЗ и панели.

Можно применять соединители СНП34-135 и ОНп-ВС-53-256 (224, 68, 32). Для обеспечения приемлемой помехозащищенности контактов данных соединителей необходимо выделить не менее 33% контактов «земли» с определенным их размещением (рис. 9.23). Контактные пары в соединителях носят индуктивный характер ($L \approx 30$ нГн), поэтому наблюдается отражение сигнала и формирование помехи. Для устранения этого эффекта перед контактной парой соединителя рекомендуется устанавливать корректирующую цепь из последовательно включенных сопротивлений R_K и емкости C_K (для 50-ом линий $R_K = 50$ Ом, $C_K = 7-8$ пФ). В результате получается Г-образное звено из R , C и L компонентов, полное сопротивление которого близко к 50 Ом. Кроме того, при прохождении сигнала через данное звено происходит определенная фильтрация выс-

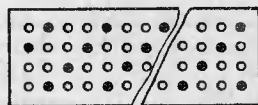


Рис. 9.23. Схема расположения контактов «земли» в электрических соединителях ОНп-ВС-53

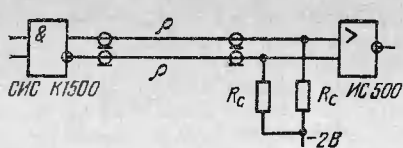


Рис. 9.24. Электрическая схема для передачи сигналов СИС серии K1500 на ИС серии 500

ших частот спектра фронта, фронт сглаживается, что облегчает организацию связей во втором конструктивном модуле — панели.

Электромонтажные средства. Рассматриваемые соединители приспособлены для электромонтажа методом накрутки, в качестве монтажного средства при использовании 50-ом линий связи рекомендуется двухпроводной кабель РД50-1-21. Можно использовать 50-ом витую пару из проводов ПЭВТЛК и коаксиальный кабель РК50-0,6-23 при выполнении электромонтажа пайкой. Для межпанельных связей внутри стойки рекомендуется применять кабели РД50-1-21, РК50-0,6-23, РК50-1-24, ПВПмс 50-60. Для организации межстоечных связей в наибольшей степени пригоден коаксиальный кабель РК50-2-24.

Совместная работа ИС серии 500 и СИС серии K1500. В ряде случаев требуется обеспечить совместную работу микросхем серий K1500 и 500. Поскольку им для работы требуются различные напряжения питания, то целесообразно размещать их в разных конструктивных модулях. Трудности согласования указанных микросхем заключаются в том, что их выходные и пороговые напряжения заметно отличаются в диапазоне рабочих температур и при изменении напряжения основного питания, хотя при нормальной температуре и при номинальном питании ИС достаточно устойчиво работают друг на друга с определенным запасом помехоустойчивости. Устойчивая совместная работоспособность микросхем серий K1500 и 500 обеспечивается при выполнении следующих рекомендаций. Разрешается непосредственная работа микро-

схем серии 500 на СИС серии K1500, при этом можно подключать нагрузочные резисторы 50, 75 и 100 Ом к вспомогательному источнику электропитания —2 В (резисторы 75 и 100 Ом) можно подключать к напряжению —2,4 В). Большая токовая нагрузка на выходные каскады ИС серии 500 в данном случае предпочтительнее, так как при этом обеспечивается лучшая помехозащищенность. Поскольку входные характеристики микросхем серий K1500 и 500 достаточно близки друг к другу, то при организации связей между ними следует пользоваться рекомендациями для передающей микросхемы, в данном случае ИС серии 500.

При работе СИС серии K1500 на микросхемы серии 500 запрещается передача однофазных сигналов из-за полной потери работоспособности в реальных условиях эксплуатации. Для обеспечения надежной работоспособности необходимо передавать парафазные сигналы с СИС серии K1500 на дифференциальные приемники микросхем серии 500, таких как E414, E415, E416 и B116 с последующей работой на любую ИС серии 500. Схема организации связи при передаче парафазных сигналов СИС серии K1500 приведена на рис. 9.24.

В настоящей главе приведены рекомендации по применению быстродействующих ИС серии 500 и субнаносекундных микросхем серии K1500. При выполнении рекомендаций обеспечивается надежная работоспособность указанных микросхем в реальных условиях эксплуатации в выбранных конструктивных модулях. Применение микросхем серий K1500 и 500 требует соблюдения определенных выработанных принципов электронного конструирования, в частности, передача сигналов должна производиться, как правило, по согласованным линиям связи. При использовании ИС серий 500 заметное внимание необходимо уделить организации систем электропитания и охлаждения, так как параметры указанных микросхем существенно зависят от температуры и напряжения питания. При использовании СИС серии K1500 наибольшее внимание следует уделять правильной организации связей и обеспечению помехоустойчивости.

Глава 10

Типовые функциональные узлы

10.1. Типовые функциональные узлы на основе ИС серии 500

Типовые функциональные узлы представляют собой наиболее повторяемые и регулярные части устройств обработки данных ЭВМ: дешифраторы, мультиплексоры, схемы контроля четности, сумматоры, ре-

гистры и счетчики. Эти узлы выполняют широко применяемые в различных устройствах ЭВМ типовые функции: дешифрирование, мультиплексирование, сложение по модулю два, суммирование, временное запоминание [21].

Функциональные узлы могут быть комбинационного и последовательностного типов. В функциональных узлах комбинаци-

онного типа используются только комбинационные логические элементы без запоминания информации, вследствие чего функция выполняется за один такт. В узлах последовательного типа применяются комбинационные и запоминающие элементы. За счет временного хранения информации в запоминающих элементах функция может выполняться за несколько тактов, в том числе с обработкой данных, полученных в предыдущих тактах. Дешифраторы, мультиплексоры, схемы контроля четности и сумматоры относятся к типовым функциональным узлам комбинационного типа, триггеры, регистры и счетчики — к типовым функциональным узлам последовательного типа.

Особенностью типовых функциональных узлов, построенных на основе ИС серии 500, является их высокое быстродействие и относительно большая потребляемая мощность. Достижению высокого быстродействия способствует применение соответствующих методов компоновки и электромонтажа, а также внедрение структурно-логических решений, позволяющих добиться высокой скорости работы узлов и блоков. К таким структурно-логическим решениям относятся: параллельная обработка информации одновременно по всем разрядам слова; ускоренная обработка и прохождение информации по межразрядным линиям связи; совмещение во времени выполнения различных операций. В тех узлах ЭВМ, быстродействие которых не критично, с целью экономии оборудования используют параллельно-последовательный способ обработки информации. При этом обрабатываются части слов, кратных одному байту (8, 16, 32 разряда).

Аппаратная реализация одних и тех же функциональных узлов существенно зависит от логического базиса и функциональных возможностей серии ИС. Серия 500 благодаря большому числу разнообразных по функциям модификаций ИС малой, средней и высокой степени интеграции представляет широкие возможности для построения типовых и нетиповых функциональных узлов [1].

Наряду с высоким быстродействием в микросхемах серии 500 предусмотрены такие структурные и схемотехнические решения, которые позволяют эффективно строить быстродействующие функциональные узлы, а именно: параллельный прием, обработка и выдача информации; логические методы ускорения межразрядной обработки; наличие специальных выводов, обеспечивающих объединение ИС цепями для ускоренной передачи и обработки информации; наличие определенных ИС, позволяющих осуществлять быструю межразрядную обработку информации и связь. Рассмотрим реализацию типовых функциональных узлов ЭВМ на основе быстродействующих ИС серии 500.

Дешифраторы. Дешифраторами называют комбинационные логические схемы,

преобразующие код числа, поступающий на его входы, в управляющий сигнал только на одном из выходов, в то время как на остальных выходах управляющий сигнал отсутствует. Полный дешифратор представляет собой типовой функциональный узел с n входами, который формирует управляющий сигнал на одном из 2^n выходов в зависимости от сочетания входных сигналов. Дешифраторы находят широкое применение в устройствах управления и в запоминающих устройствах ЭВМ. В первом случае они дешифрируют команды или микрокоманды блоков управления в управляющие сигналы, во втором обеспечивают выбор нужной ячейки устройств памяти при записи или считывании информации. Дешифратор — один из немногих функциональных узлов, у которого существенно больше выходов, чем входов. Это позволяет экономить контакты при установке дешифраторов на входе ТЭЗ и использовать их в качестве оконечных каскадов управления.

В зависимости от необходимого числа управляющих сигналов или объема памя-

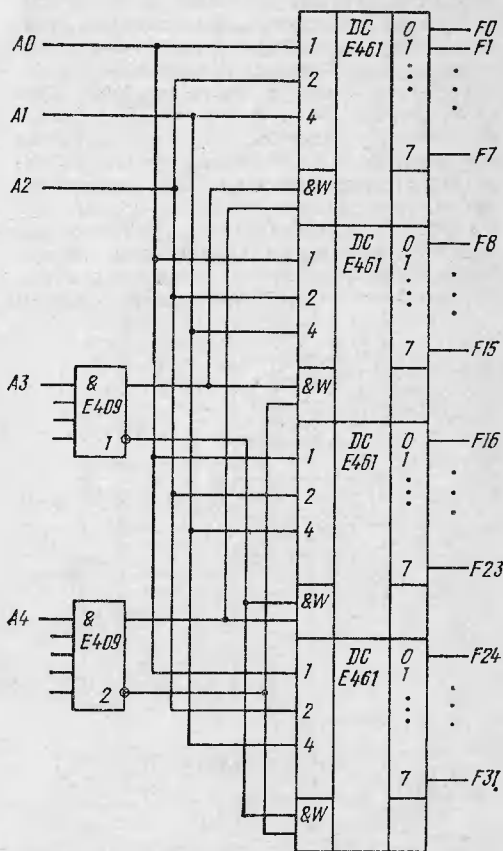


Рис. 10.1. Логическая схема дешифратора 5x32 с прямыми выходами на основе ИС 500ИД161

ти дешифраторы могут быть построены практически на любое число входов и выходов.

В серии 500 имеются дешифраторы на три входа и восемь выходов. Один из них (500ИД161) — дешифратор 3×8 с прямыми выходами, другой (500ИД162) дешифратор 3×8 с инверсными выходами. Оба дешифратора имеют дополнительные управляющие входы, которые позволяют строить дешифраторы на большее число входов и выходов. На рис. 10.1 приведена логическая схема дешифратора 5×32 с прямыми выходами, построенная на четырех ИС 500ИД161 и одной ИС 500ЛМ109. Для получения высокого быстродействия, как и в микросхемах 500ИД161 и 500ИД162, используется линейное построение дешифратора. Такой дешифратор имеет время задержки распространения сигнала 6,5 нс и мощность потребления 2,6 Вт. На основе ИС серии 500 можно строить дешифраторы и на большее число входов и выходов.

Мультиплексоры. Мультиплексор представляет собой функциональный узел с n информационными входами и одним выходом, выполняющий функцию приема информации по одному из n каналов и передачи ее по единственному выходному каналу. Выбор нужного информационного канала осуществляется встроенной схемой управления, обычно дешифратором. Другими словами, мультиплексор представляет собой селектор данных, управляемый дешифратором.

Мультиплексоры широко применяют во многих устройствах ЭВМ: на входах регистров, принимающих информацию от нескольких или многих источников, на выходах блоков памяти при считывании выбранной информации по одной разрядной

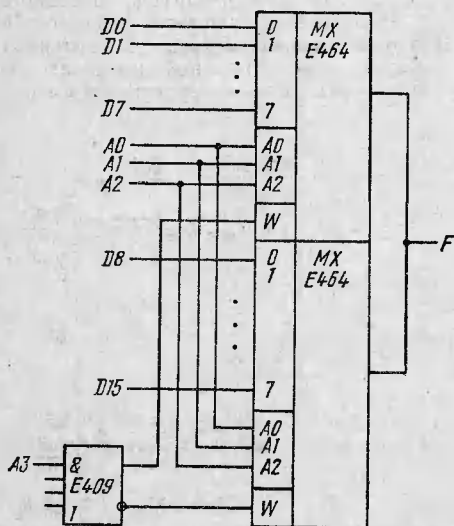


Рис. 10.2. Логическая схема мультиплексора на 16 входов на основе ИС 500ИД164

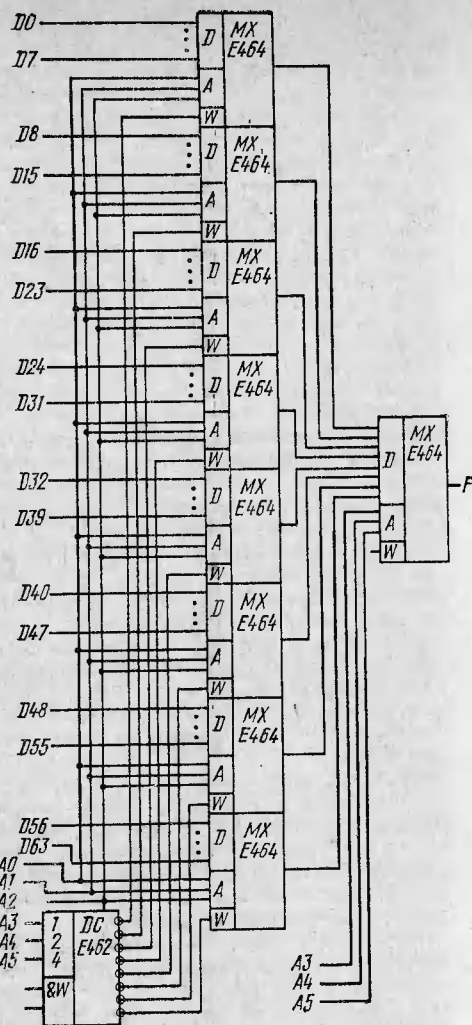


Рис. 10.3. Логическая схема мультиплексора на 64 входа на основе ИС 500ИД164

шине, в многоразрядных сдвигателях, в блоках передачи информации последовательным кодом для экономии числа контактов и линий связей и т. п.

В серии 500 имеются мультиплексоры двух модификаций: ИС 500КП174 — два мультиплексора 4×1 (4 входа и 1 выход) и 500ИД164 — мультиплексор 8×1 . Используя вход разрешения W на указанных микросхемах можно строить мультиплексоры на большее число входов. На рис. 10.2 приведена схема мультиплексора на 16 входов, построенная на основе ИС 500ИД164 с использованием эмиттерного объединения и ИС 500ЛМ109. Потребляемая мощность схемы составляет 1 Вт, время задержки 4 нс. На рис. 10.3 приведена логическая схема мультиплексора на 64 входа. Для построения такого мультиплексора требуется десять ИС (девять ИС 500ИД164 и

одна ИС 500ИД162), которые потребляют 4,9 Вт мощности. Время задержки информационных сигналов в схеме составляет 8 нс. На основе ИС 500ИД164 можно построить многоходовые мультиплексоры и на большее число каналов.

На основе ИС серии 500 (например, 500ИД164, 500ИД161, 500ИЕ136) эффективно реализуется мультиплексор-демультиплексор.

Мультиплексор-демультиплексор представляет собой функциональный узел, осуществляющий следующие действия с информационными сигналами: прием информации в параллельном коде, преобразование ее в последовательный код, передачу информации в последовательном коде по линиям связи в другой блок, прием ее в последовательном коде, преобразование информации в параллельный код и выдачу ее в параллельном коде. Указанный узел позволяет значительно уменьшить число контактов ТЭЗ, блоков и линий связи между ними.

Мультиплексоры-демультиплексоры обычно применяют в ЭВМ для передачи сигналов на индикационные приборы. На рис. 10.4 приведена логическая схема быстросействующего 8-разрядного мультиплексора-демультиплексора. Для его построения требуется шесть ИС, которые потребляют мощность 3,2 Вт.

Схемы контроля четности. Схема контроля четности представляет собой типовой функциональный узел комбинационного типа, выполняющий функцию сложения по модулю два n -разрядного слова. Схемы

контроля четности находят широкое применение в устройствах ЭВМ для контроля правильности передачи информации. Наиболее употребителен побитовый контроль, т. е. на каждые 8 информационных разрядов в данном узле формируется контрольная сумма — контрольный разряд, который передается вместе с информационными сигналами в приемный блок или регистр. В приемном блоке или регистре в аналогичной схеме также формируется контрольная сумма принятого числа, которая в схеме анализа сравнивается с первой контрольной суммой. При их несовпадении вырабатывается сигнал ошибки и предпринимаются соответствующие действия.

Для построения схем контроля четности на основе ИС ЭСЛ используется 12-входовая микросхема сложения по модулю два — 500ИЕ160. В ряде случаев применяется контрольная сумма большего числа разрядов. Для этого строится схема контроля четности на большее число входов на основе ИС 500ИЕ160 и 500ЛП107. На рис. 10.5 приведена логическая схема контроля четности на 48 разрядов. Для ее реализации требуется пять ИС, которые потребляют мощность 1,4 Вт. Время задержки информационного сигнала в таком узле составляет 12 нс. На основе ИС серии 500 возможна эффективная аппаратная реализация и более сложных видов контроля, которые позволяют обнаруживать не только одиночные ошибки, как это имеет место при использовании схем контроля четности

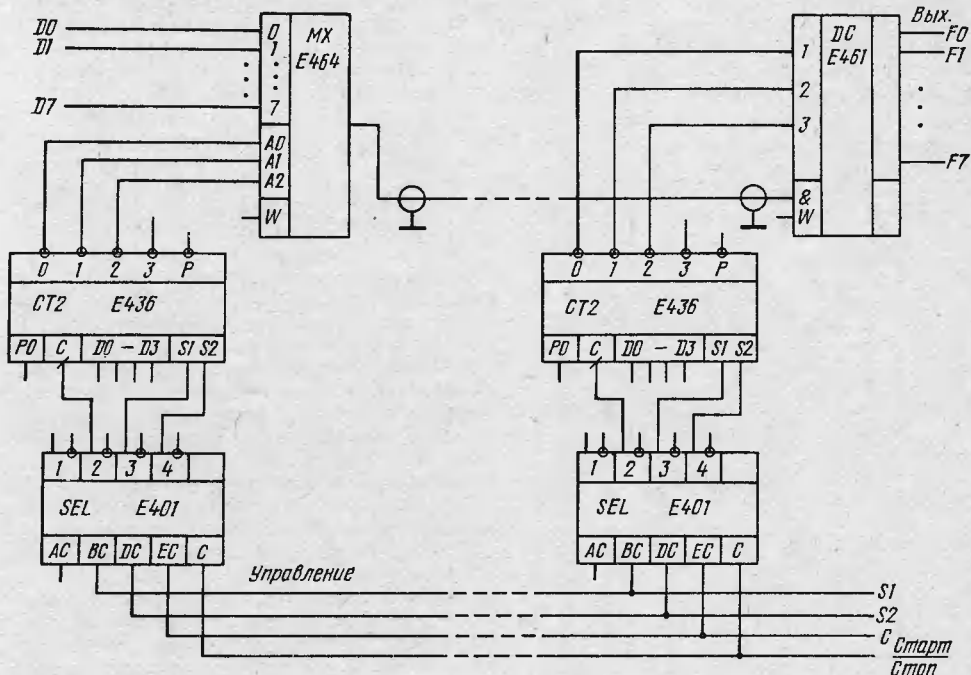


Рис. 10.4. Логическая схема 8-разрядного мультиплексора-демультиплексора на основе ИС серии 500

Сумматоры. Сумматор представляет собой типовой функциональный узел комбинационного типа, предназначенный для выполнения операций суммирования в двоичном, двончно-десятичном и других кодах. Существует большое разнообразие сумматоров, отличающихся техническими характеристиками и способами построения. По виду обрабатываемой информации различают последовательные, параллельные, последовательно-параллельные сумматоры. По способу организации переноса при суммировании различают сумматоры с последовательным, сквозным и групповым переносом. Сумматоры являются основными узлами, обрабатывающими информацию в ЭВМ. На практике, как правило, сумматоры выполняют комплекс арифметических операций (сложение, вычитание числа, сложение с маской, преобразование в обратный код и др.) и логических (инвертирование числа, логическое сложение, умножение, сложение по модулю два и др.).

Таким образом, современные сумматоры представляют собой сложные арифметическо-логические узлы, выполняющие набор арифметических и логических операций. В настоящее время для получения высокого быстродействия в основном используются сумматоры комбинационного типа. Однако на входах и выходе его обычно устанавливают регистры данных и результата. Сумматоры широко применяют в арифметических устройствах и устройствах управления, а также в блоках сопряжения с периферийными устройствами — каналах ЭВМ. Арифметические ИС серии 500 (500ИМ180, 500ИП181 и 500ИП179) позволяют строить быстродействующие сумматоры различных типов. Для построения сумматоров с ограниченным набором ариф-

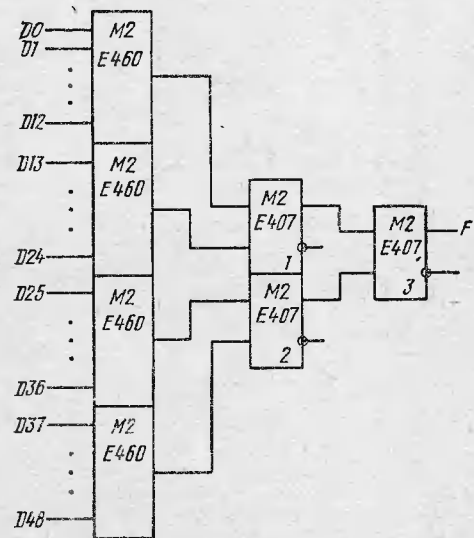


Рис. 10.5. Логическая схема контроля четности на 48 разрядов на основе ИС серии 500

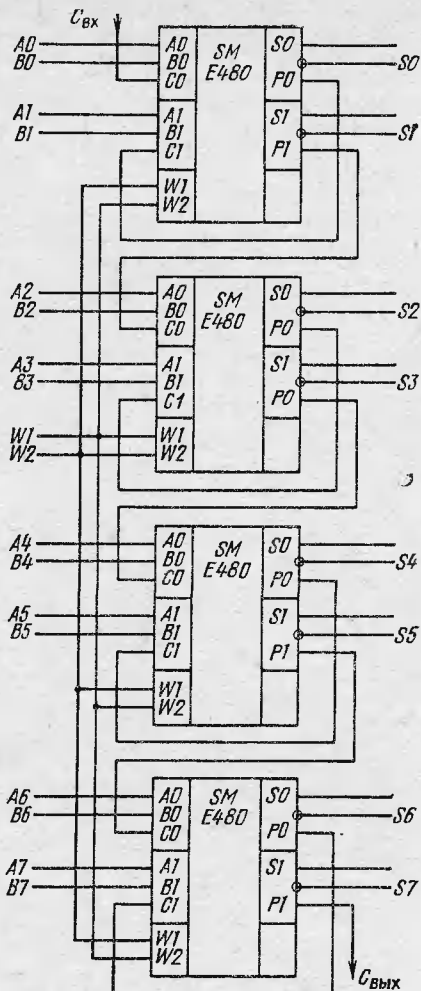


Рис. 10.6. Логическая схема 8-разрядного сумматора на основе ИС 500ИМ180

метико-логических функций используется микросхема 500ИМ180, в которой размещается два быстродействующих сумматора-вычитателя. Каждая половина схемы представляет собой полный двоичный сумматор на три входа. На рис. 10.6 приведена логическая схема 8-разрядного сумматора с последовательным переносом, построенная на основе указанных ИС. Сумматор выполняет операции: двоичное сложение чисел А и В, вычитание А минус В, вычитание В минус А, вычитание минус А минус В. Для построения сумматора требуется четыре ИС 500ИМ180, которые потребляют мощность 1,4 Вт. Типовое время выполнения суммирования составляет 24 нс.

Для построения сумматоров с более широким набором арифметических и логических функций используется 4-разрядная арифметико-логическая БИС 500ИП181, выполняющая 16 арифметических и 16 ло-

гических функций. Для повышения быстродействия многоразрядных сумматоров на основе БИС 500ИП181 целесообразно использовать ИС ускоренного переноса 500ИП179.

На рис. 10.7 приведена логическая схема 16-разрядного сумматора, построенная на четырех ИС 500ИП181 и одной ИС 500ИП179. Типовое время суммирования в таком сумматоре составляет 17 нс, потребляемая мощность 2,8 Вт. Эффективность применения ИС 500ИП179 увеличивается с возрастанием числа разрядов сумматора. Использование схемы ускоренного переноса (500ИП179) в 32-разрядном сумматоре позволяет сократить время суммирования почти вдвое: с 30 до 18 нс. Типовые времена сложения в сумматорах с последовательным и ускоренным переносом при выполнении арифметических операций с длиной слова от 4 до 64 разрядов приведены в табл. 10.1.

Миросхема 500ИП179 позволяет организовать второй уровень ускоренного переноса при объединении 16-разрядных секций сумматора, что увеличивает скорость суммирования при построении многоразрядных сумматоров. На рис. 10.8 приведена логическая схема 64-разрядного сумматора с применением двух уровней ускоренного переноса. Для реализации такого сумматора требуется 16 микросхем 500ИП181 и 5 микросхем 500ИП179. Время суммирования в нем составляет 30 нс, потребляемая мощность 11,1 Вт.

Регистры. Регистр представляет собой типовой функциональный узел последовательностного типа, выполняющий основную функцию временного запоминания информации. Обычно регистры осуществляют прием, кратковременное хранение и выдачу информации. В отдельных случаях на регистрах производится логическое преобразование информации: логическое сложение, логическое умножение, сложение по модулю два. В последнее время получили широкое распространение регистры с мультиплексорными входами, т. е. регистры с возможностью приема информации из двух или нескольких различных источников в зависимости от управляющих сигналов на его входе. Существует большое разнообразие регистров, отличающихся друг от друга внутренним строением, способом приема информации, выполняемыми функциями, синхронизацией и т. п.

В данной главе рассматриваются способы построения быстродействующих регистров на основе микросхем серии 500, которые учитывают особенности функционального набора ИС.

Как правило, в ЭВМ используются синхронные регистры, работающие в определенной системе синхронизации и принимающие информацию только по разрешающему синхросигналу. В зависимости от выбранной системы синхронизации (одно-, двух или многофазной) регистры проектируют на различных по структуре триггерах.

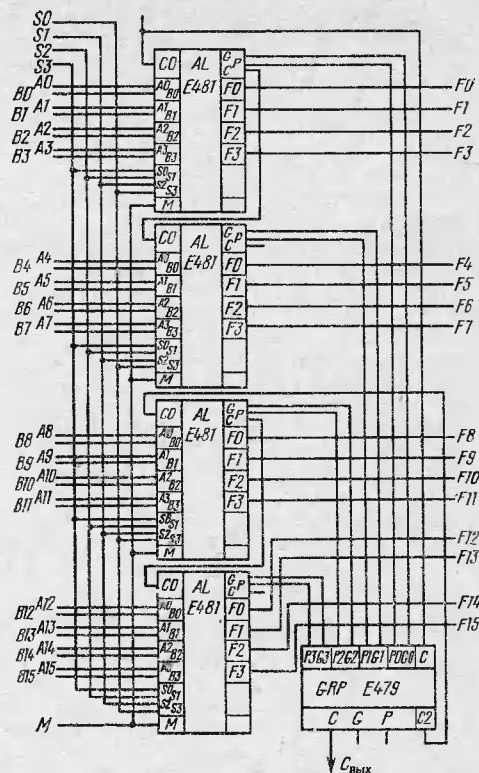


Рис. 10.7. Логическая схема 16-разрядного сумматора на основе БИС 500ИП181 и ИС 500ИП179

Для работы в двух- или многофазной системе синхронизации обычно используют одноступенчатые триггеры. Для работы в однофазной системе синхронизации пригодны двухступенчатые триггеры, триггеры переключаемые фронтом синхросигнала. В зависимости от требуемых функций регистры строят на основе триггеров различных логических типов: D, DV, RS, JK и др. Для

Таблица 10.1

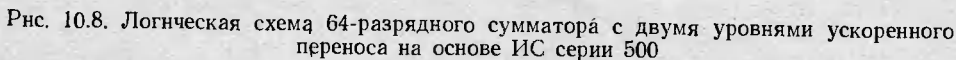
Длина слова, бит	Время сложения с последовательным переносом, нс	Время сложения с ускоренным переносом, нс	Число БИС 500ИП181 в сумматоре	Число ИС 500ИП179 для сумматора с ускоренным переносом
4	7	—	1	0
8	11	—	2	0
12	14	13	3	1
16	17	16	4	1
32	30	18	8	2
48	43	20	12	4
64	56	30	16	5

Регистры находят широкое применение в вычислительной аппаратуре. Они являются самыми повторяемыми функциональными узлами в устройствах ЭВМ. Широкий набор синхронных триггеров серии 500 позволяет эффективно строить разнообразные регистры, способные работать как в однофазной, так и в двухфазной и многофазной системах синхронизации. При этом существует такая закономерность: чем сложнее система синхронизации, тем проще по структуре можно выбрать триггер, и, наоборот, чем сложнее структура триггера, тем проще можно выбрать систему синхронизации. В каждом конкретном случае разработчик устройств ЭВМ решает, какой вариант выгоднее выбрать по заданным критериям.

логическая схема подобного регистра на 8 разрядов. Для его построения требуются четыре ИС ТМ130, которые потребляют 620 мВт мощности. Типовое время задержки в регистре от синхровхода до выхода информации 3 нс.

На основе микросхем 500ТМ131 или на ее более быстродействующем варианте 500ТМ231 проектируют синхронные регистры с парафазным выходом, способные работать в однофазной системе синхронизации. Логическая схема такого регистра на 8 разрядов полностью аналогична предыдущей схеме. Для его реализации требуется четыре ИС ТМ131 (или ТМ231), которые потребляют мощность 940 (или 1080) мВт. Типовое время задержки в регистре от синхровхода до выхода составляет 3 нс (или 2 нс) при условии, что информация была предварительно записана в первую ступень триггеров.

На микросхемах 500ТМ133 строят регистры с управлением съема информации на выходе. Причем выходы такого регистра



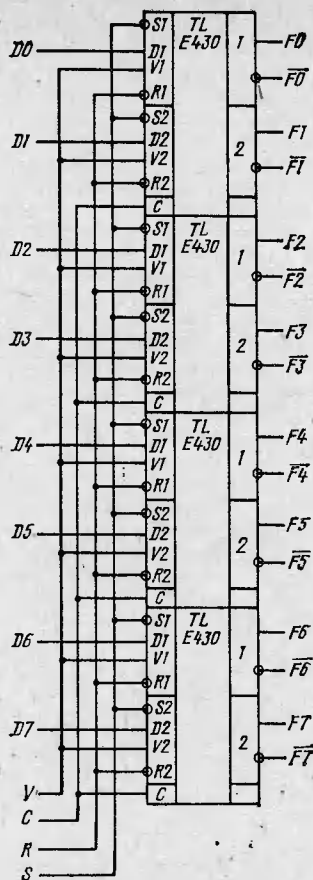


Рис. 10.9. Логическая схема 8-разрядного регистра на основе ИС 500ТМ130

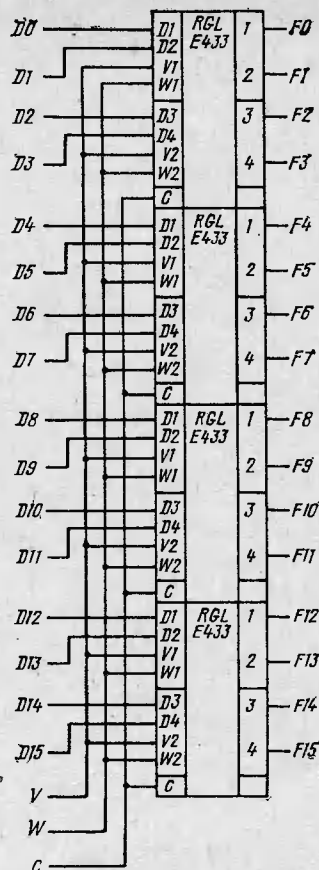


Рис. 10.10. Логическая схема 16-разрядного синхронного регистра на основе ИС 500ТМ133

можно монтажно объединять (в эмиттерный ДОТ) на единой магистрали ближнего действия с другими подобными узлами. Наличие информации на магистрали будет определяться управляющими сигналами на выходе указанных регистров или узлов. На рис. 10.10 приведена логическая схема 16-разрядного синхронного регистра с управлением съема информации, построенная на четырех ИС ТМ133. Типовое время задержки в регистре от синхровхода до выхода составляет 4 нс, потребляемая мощность 1,24 Вт.

На основе ИС 500ТМ134 строят синхронные регистры с парафазным выходом с возможностью приема информации из двух различных источников (с мультиплексорными входами). Такими источниками информации могут быть сумматоры, регистры общего назначения, регистры с плавающей запятой, буферная память и т. д. На рис. 10.11 приведена логическая схема подобного 8-разрядного регистра. Для его реализации требуется четыре ИС ТМ134, которые рассеивают мощность 900 мВт.

Типовое время задержки в нем от синхровхода до выхода информации составляет 4,5 нс.

Аналогичный регистр с приемом информации от двух источников можно строить на микросхемах 500ТМ173. Здесь уровень интеграции в два раза выше, но имеется только однофазный выход. На рис. 10.12 приведена логическая схема 16-разрядного регистра на ИС 500ТМ173. Для его построения требуется четыре микросхемы, которые потребляют мощность 1,1 Вт. Типовое время задержки регистра от синхровхода до выхода составляет 4,5 нс.

Для построения универсального регистра, способного кроме приема и хранения информации выполнять сдвиг числа вправо или влево на один разряд за один такт, применяют СИС 500ИР141. Данная СИС представляет собой 4-разрядную секцию универсального регистра. Для объединения указанных микросхем в регистр необходимо выход старшего разряда секции n подключить ко входу DL секции $(n + 1)$, а выход младшего разряда секции

n ко входу DR секции ($n - 1$). Кроме того, объединяются управляющие входы S0 и S1, а также входы синхронизации. На рис. 10.13 приведена логическая схема 16-разрядного синхронного универсального регистра, выполненного на четырех СИС 500ИР141, и потребляющего 1,7 Вт мощности. Типовое время задержки в регистре при параллельном приеме и сHEME информации (без сдвига) составляет 2,9 нс. Регистр может выполнять сдвиг и на большее число разрядов за несколько тактов, для этого необходимо многократное воздействие синхросигнала в режиме сдвига. Максимальная частота сдвига составляет 150 МГц.

Для реализации быстродействующего сдвигового регистра, способного осуществлять операцию сдвига на несколько разрядов за один такт, используют многоходовые мультиплексоры, которые устанавливают на входе регистра. На рис. 10.14 приведена логическая схема 8-разрядного синхронного сдвигового регистра с возможностью сдвига вправо и влево за один

такт на 1—4 разряда, за два такта на 5—8 разрядов, за три такта на 9—12 разрядов и т. д. Для построения такого сдвигового регистра требуется 2 СИС 500ИР141 и 8 СИС 500ИД164, которые потребляют мощность 4,9 Вт. Время задержки в одном разряде составляет 9 нс, частота сдвига 100 МГц. При необходимости построения сдвигового регистра с возможностью сдвига за один такт на большее число разрядов применяют многокаскадное построение мультиплексоров на входе регистра.

В настоящее время широкое применение получили регистровые поля — местные памяти малого объема, распределенные по различным устройствам ЭВМ. К ним относятся регистры общего назначения (РОН), регистры с плавающей запятой (РПЗ), буфер трансляторов (БТ), буфер каналов (БК), память ключей защиты (ПКЗ) и др. В ЭВМ получили распространение регистровые поля с числом слов от 4 до 64 и числом разрядов, соответствующим длине обрабатываемого слова. По структурно-логической организации регистровые поля приближа-

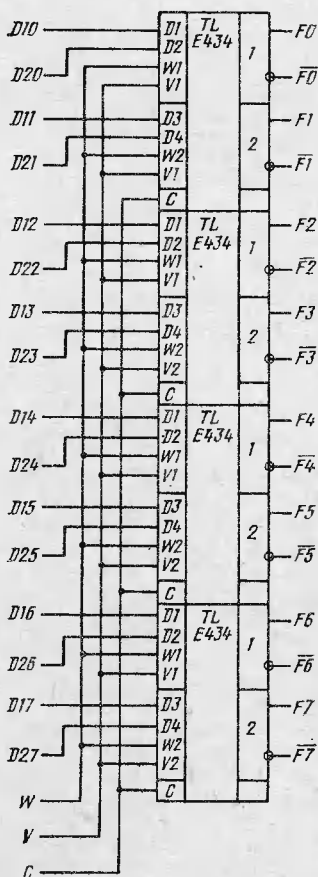


Рис. 10.11. Логическая схема 8-разрядного синхронного регистра с мультиплексорными входами на основе ИС 500ТМ134

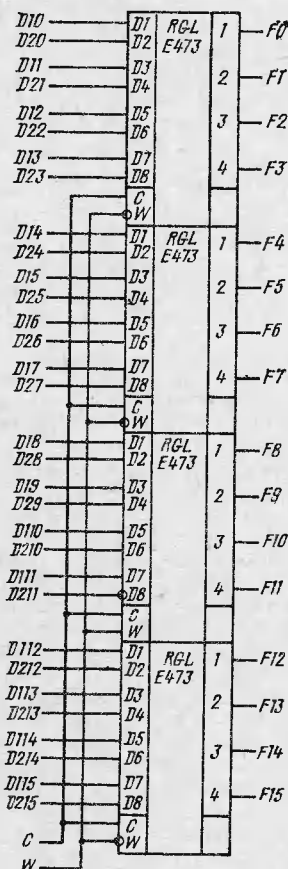


Рис. 10.12. Логическая схема 16-разрядного синхронного регистра с мультиплексорными входами на основе ИС 500ТМ173

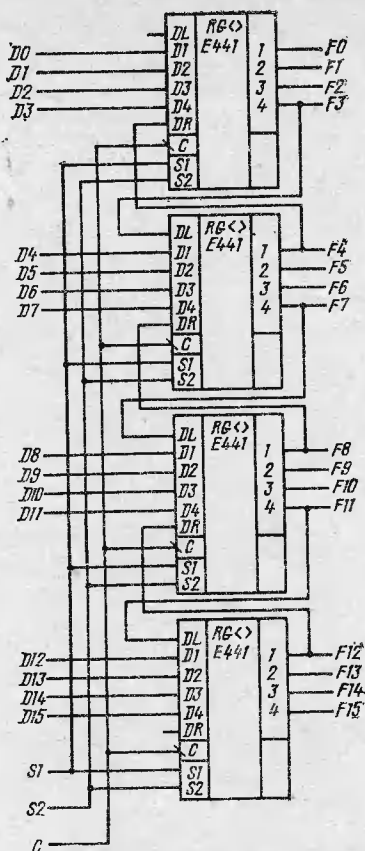


Рис. 10.13. Логическая схема 16-разрядного синхронного универсального регистра на основе СИС 500ИР141

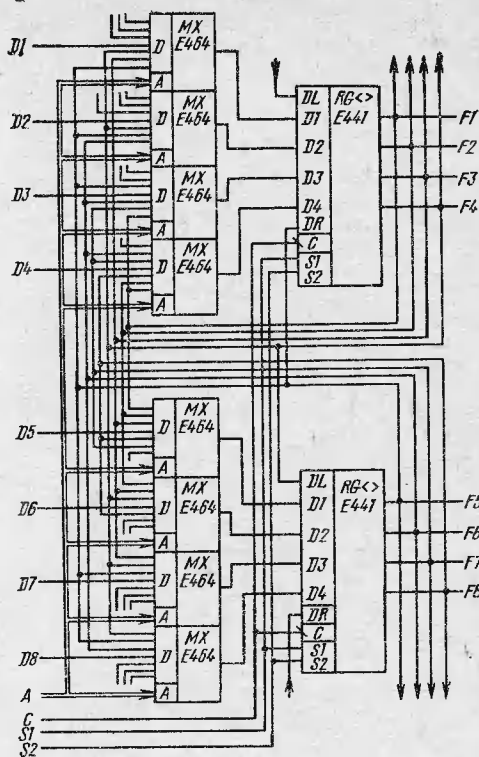


Рис. 10.14. Логическая схема 8-разрядного синхронного сдвигового регистра на основе ИС серии 500

ются к оперативным запоминающим устройствам малой емкости, поэтому для их реализации выгодно использовать не только отдельно взятые триггеры или секции регистров, но и БИС ОЗУ малой емкости, например, 500РУ145 (16 слов $\times$ 4 разряда), 500РУ148 (64 слова $\times$ 1 разряд) и т. п.

На рис. 10.15 приведена логическая схема регистра общего назначения емкостью 512 бит (16 слов $\times$ 32 разряда). Указанные РОН являются неотъемлемой частью любой современной ЭВМ. Регистры общего назначения реализованы на восьми БИС ОЗУ 500РУ145 и одной ИС 500ИЕ136. Типовое время выборки информации из РОН после подачи адреса составляет 10 нс, потребляемая мощность 4,8 Вт.

Счетчики представляют типовые функциональные узлы последовательностного типа, выполняющий функцию счета импульсов. Счетчики находят широкое применение в устройствах ЭВМ. Их используют для подсчета импульсов, числа циклов, для выработки серии управляющих сигналов, для формирования адреса в устройствах

управления, для деления частоты, формирования фаз синхронизации и т. п. Широкий набор логических и запоминающих ИС серии 500 позволяет построить счетчик практически любого типа: суммирующий, вычитающий, реверсивный, с непосредственной связью между разрядами, со связью по цепям переноса, с комбинированными связями, параллельные, последовательные и др.

Для построения счетчиков и делителей частоты наиболее пригодны двухступенчатые триггеры 500ТМ131, 500ТМ231, 500ТВ135. На рис. 10.16 приведена логическая схема 8-разрядного двоичного асинхронного параллельно-последовательного счетчика с непосредственными связями. С учетом особенностей триггеров 500ТМ131 (500ТМ231) счетчик разбит на группы по два разряда в каждой. Внутри группы осуществляется параллельная связь, между группами — последовательная. Для реализации такого счетчика требуется четыре ИС 500ТМ131 (500ТМ231), которые потребляют мощность 1,1 Вт (1,3 Вт). Типовое время задержки (установка счетчика) со-

ставляет 14 (10) нс, типовая частота поступления счетных импульсов доходит до 160 (225) МГц.

Для реализации быстродействующих многоразрядных счетчиков целесообразно использовать ИС 500IE136, представляющую собой 4-разрядный синхронный двоичный параллельный универсальный счетчик с непосредственными связями. Для проектирования многоразрядных счетчиков ИС имеет вход переноса из младшего разряда и выход переноса в старший разряд. На рис. 10.17 приведена логическая схема 16-разрядного синхронного реверсивного двоичного счетчика с комбинированными связями (с непосредственными внутри ИС и по цепям переноса между ИС). Для реализации 16-разрядного счетчика требуются четыре ИС 500IE136, которые

потребляют мощность 2,6 Вт. Типовое время заполнения счетчика составляет 13 нс, частота счета 50 МГц.

Микросхему 500IE136 можно использовать в качестве программируемого счетчика-делителя частот на заданное число импульсов. Логическая схема такого включения ИС 500IE136 приведена на рис. 10.18. На информационных входах D0—D3 устанавливается двоичный код, который в сумме с коэффициентом пересчета должен быть равен 16. Приходящее на вход счетные импульсы прибавляют единицы к заданному коду. После полного заполнения счетчика до 16 вырабатывается сигнал $F_{\text{ВЫХ}}$ на выходе счетчика, который сбрасывает счетчик в исходное состояние с заданным входным кодом, и все начинается сначала. Частота импульсов на выходе определяется по формуле

$$F_{\text{ВЫХ}} = F_{\text{ВХ}} (K_{\text{ВХ}} + 1),$$

где $F_{\text{ВХ}}$ и $F_{\text{ВЫХ}}$ — входная и выходная частоты; $K_{\text{ВХ}}$ — входной код.

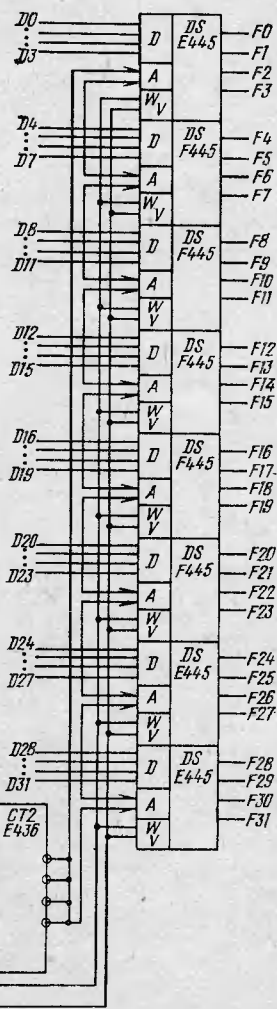


Рис. 10.15. Логическая схема регистра общего назначения емкостью 512 бит (16×32) на основе ИС 500PU145

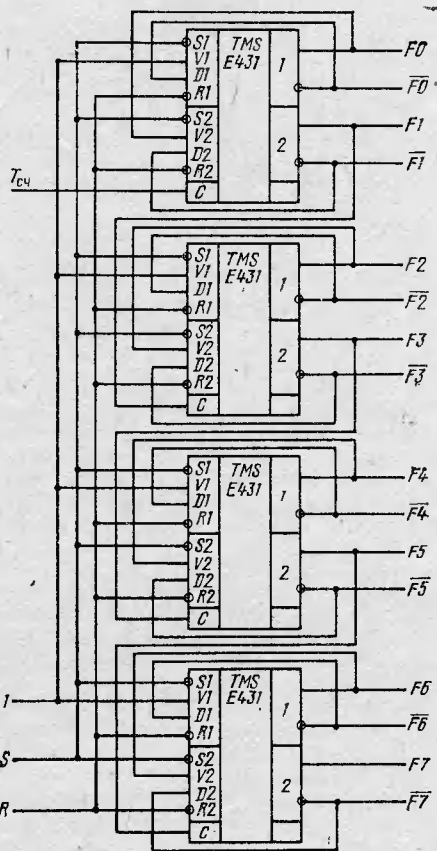


Рис. 10.16. Логическая схема 8-разрядного двоичного синхронного счетчика на основе ИС 500TM131

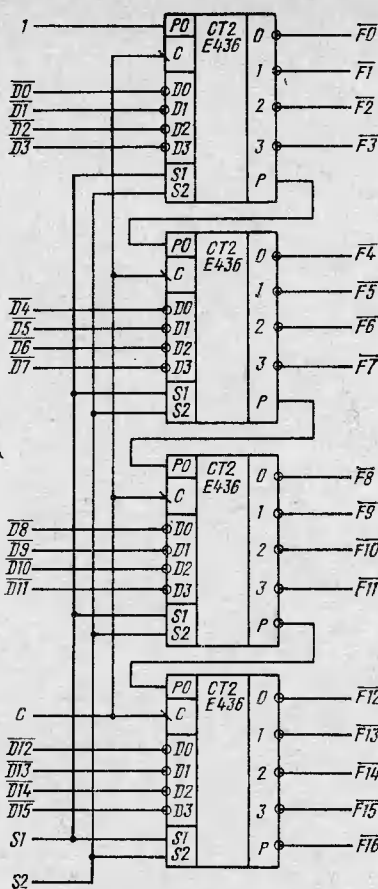


Рис. 10.17. Логическая схема 16-разрядного синхронного реверсивного двоичного счетчика на основе ИС 500IE136

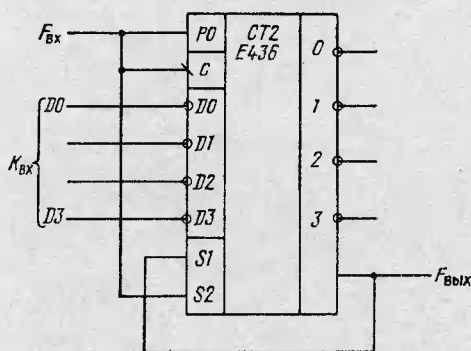


Рис. 10.18. Логическая схема программируемого счетчика-делителя частоты импульсов на основе ИС 500IE136

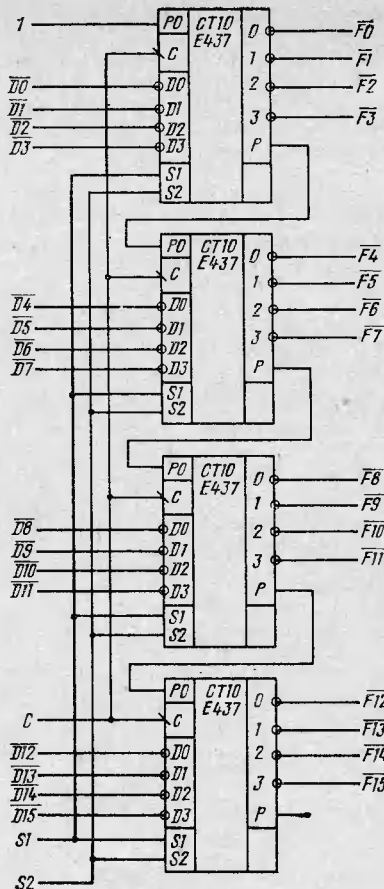


Рис. 10.19. Логическая схема 16-разрядного синхронного двоично-десятичного счетчика на основе ИС 500IE137

В серии 500 имеется 4-разрядный синхронный двоично-десятичный счетчик 500IE137, на котором целесообразно строить многоразрядные двоично-десятичные счетчики. Различают режимы работы этой ИС — предварительная установка, счет вверх (на прибавление), счет вниз (на уменьшение), хранение результата — позволяют с большой эффективностью строить разнообразные двоично-десятичные счетчики (суммирующие, вычитающие, реверсивные и др.).

На рис. 10.19 приведена логическая схема 16-разрядного синхронного двоично-десятичного параллельно-последовательного счетчика с непосредственными связями (с параллельными внутри ИС и с последовательными между ИС). Для реализации такого счетчика требуется четыре ИС 500IE137, которые потребляют 2,5 Вт мощности. Типовое время заполнения счетчика составляет 24 нс, частота счета 30 МГц.

Широкий набор логических, специальных, последовательностных, функциональных ИС и БИС памяти в серии 500 позволяет с высокой эффективностью строить разнообразные быстродействующие функциональные узлы комбинационного и последовательностного типов.

10.2. Типовые функциональные узлы на основе СИС K1500

Функциональный набор СИС серии K1500 в значительной степени подобен функциональному набору ИС серии 500. Логические свойства элементов в данных сериях ЭСЛ ИС также очень похожи. Поэтому принципы построения функциональных узлов на основе СИС серии K1500 очень близки к принципам построения аналогичных узлов на основе ИС серии 500. Некоторые особенности проектирования узлов на базе СИС серии K1500 вытекают из особенностей конкретных модификаций микросхем данной серии. Главная особенность серии K1500 заключается в том, что СИС данной серии имеют существенно более высокий

уровень интеграции. Так, из 32 модификаций полного функционального набора 25 относятся к микросхемам среднего и высокого уровня интеграции, что составляет 78 %. Для сравнения только 26 модификаций серии 500 из 48 представляют собой СИС и БИС (т. е. 54 %). Средний уровень интеграции микросхем серии K1500 (исключая БИС 3У) составляет 31 элемент в корпусе, что в 1,8 раза выше, чем для ИС серии 500 (17,5 элементов в корпусе). Поэтому для построения одинаковых функциональных узлов на СИС серии K1500 требуется в 1,5—2 раза меньше корпусов, чем на ИС серии 500.

Вторая особенность заключается в том, что функциональные узлы на основе СИС серии K1500 существенно более быстродействующие по сравнению с узлами, спроектированными на базе ИС серии 500. Это объясняется тем, что логические, специальные, последовательностные, функциональные и запоминающие микросхемы серии K1500 имеют заметно меньшее время задержки сигнала.

Третья особенность, вытекающая из второй, заключается в том, что выбранные из условия достижения надежной работоспособности СИС серии K1500 принципы электронного конструирования обеспечивают построение более быстродействующих функциональных узлов. Речь идет в первую очередь о необходимости применения более низкоомных линий связи и нагрузочных резисторов, которые позволяют обеспечить высокие быстродействие и помехозащищенность и снизить влияние неоднородностей и нагрузок.

В целом серия K1500 благодаря большому числу разнообразных по функциям модификаций микросхем представляет широкие возможности для проектирования типовых и нетиповых функциональных узлов. Рассмотрим реализацию типовых функциональных узлов на основе СИС серии K1500.

Дешифраторы. В серии СИС K1500 имеется универсальный дешифратор K1500ИД170, который внешним управляющим сигналом S может быть организован как один дешифратор 3×8 или два дешифратора 2×4 . Другими управляющими входами W выходной код может формироваться в прямом или инверсном виде. Данная микросхема является основой для проектирования разнообразных дешифраторов с большим числом входов-выходов с прямыми или инверсными выходными сигналами. На рис. 10.20 приведена логическая схема дешифратора на 5 входов и 32 выхода, построенная на основе 4 СИС K1500ИД170 и одной микросхемы K1500ЛМ101. Типовое время задержки в дешифраторе составляет 2,6 нс, мощность потребления 2,1 Вт.

Мультиплексоры. Три модификации мультиплексоров в серии K1500: K1500КП171 (три 4-входовых мультиплексора), K1500КП163 (два 8-входовых) и K1500КП164 (один 16-входовой) представ-

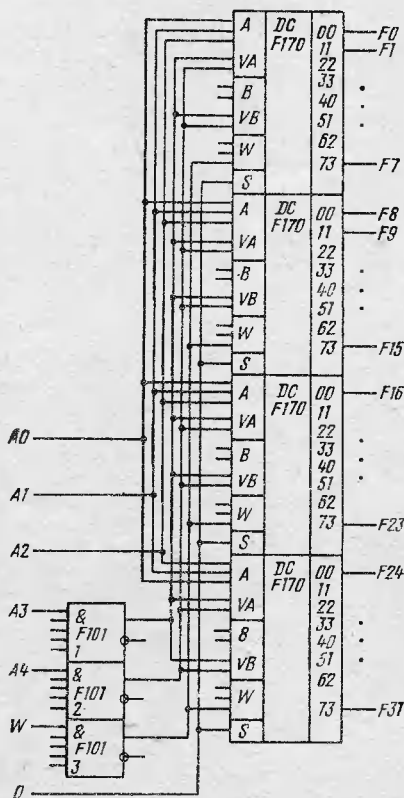


Рис. 10.20. Логическая схема дешифратора 5×32 на основе СИС K1500ИД170

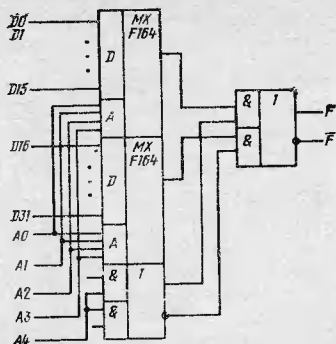


Рис. 10.21. Логическая схема 32-входового мультиплексора на основе СИС К1500КП164

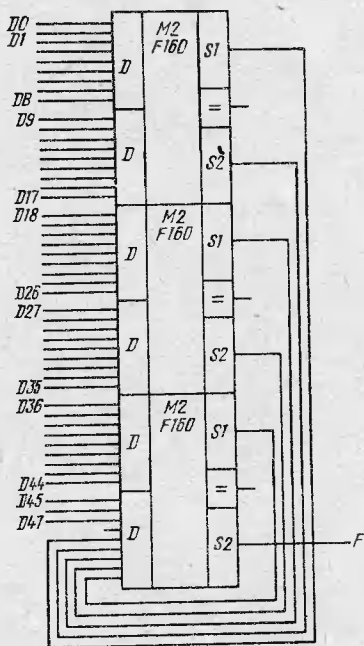


Рис. 10.22. Логическая схема контроля четности 48 разрядов на основе СИС К1500ИЕ160

ляют хороший выбор для проектирования и многоразрядных, и многоразрядных мультиплексоров. На рис. 10.21 приведена логическая схема 32-входового мультиплексора, построенная на двух СИС К1500КП164 и одной СИС К1500ЛК117. Типовое время задержки информационного сигнала составляет 1,9 нс, потребляемая мощность 0,9 Вт. Для построения 64-входового мультиплексора требуется пять СИС К1500КП164, которые потребляют 1,6 Вт. Типовое время задержки по информационным входам в таком мультиплексоре

составляет 4 нс. На основе мультиплексоров К1500КП163, К1500КП164, К1500КП171 и дешифратора К1500ИД170 серии К1500 можно эффективно строить мультиплексор-демультиплексор.

Схемы контроля четности. Основой для построения схем контроля четности на микросхемах К1500 является СИС К1500ИЕ160 — две 9-входовых схемы контроля четности, которые могут использоваться отдельно при формировании контрольной суммы одного байта слова. В ряде случаев применяется контрольная сумма на большее число разрядов. Для примера на рис. 10.22 приведена логическая схема контроля четности на 48 разрядов. Для построения схемы требуется три СИС К1500ИЕ160, которые потребляют 1,1 Вт мощности. Типовое время задержки в схеме составляет 7 нс.

Сумматоры. Сумматоры на основе СИС серии К1500 проектируют, используя следующие модификации: К1500ИМ180 — 6-разрядный сумматор и К1500ИП179 — схема ускоренного переноса. На рис. 10.23 приведена логическая схема 18-разрядного сумматора, построенного на трех СИС К1500ИМ180 и одной К1500ЛК117. В данной схеме применяется групповой перенос внутри СИС К1500ИМ180 и последовательный перенос между 6-разрядными секция-

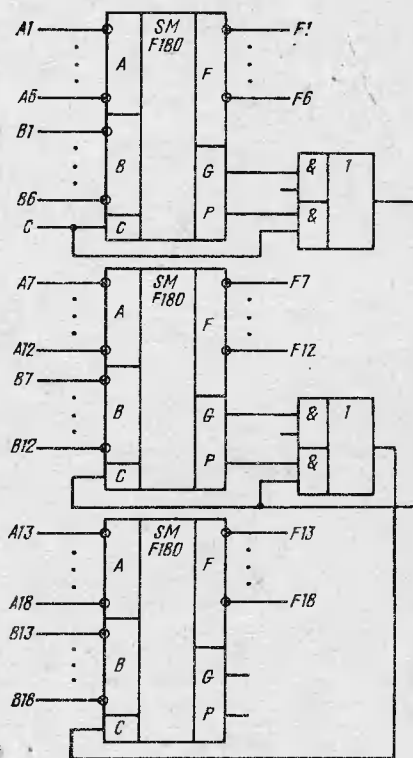


Рис. 10.23. Логическая схема 18-разрядного сумматора на основе СИС К1500ИМ180

ми. Типовое время задержки в схеме составляет 11 нс, потребляемая мощность 2,5 Вт. При построении сумматоров на большее число разрядов становится выгодно применять схему группового переноса

K1500ИП179 для ускорения переноса. На рис. 10.24 приведена логическая схема 66-разрядного сумматора, реализованная на 11 СИС K1500ИМ180, одной СИС K1500ИП179 и двух микросхемах K1500ЛК117. Здесь используется смешанный перенос между 6-разрядными секциями: последовательный и групповой. Типовое время суммирования составляет 15 нс, потребляемая мощность 9,65 Вт.

Регистры. Большой выбор триггеров и других последовательностных схем представляет широкие возможности для построения разнообразных регистров, работающих как в однофазной, так и в многофазной системах синхронизации. На рис. 10.25 приведена логическая схема 9-разрядного синхронного регистра с парафазными выходами, реализованная на СИС K1500ТМ130. Регистр предназначен для работы в двух- или многофазной системе синхронизации. Для построения регистра требуется три корпуса СИС. Время задерж-

ки информационного сигнала в регистре составляет 1,1 нс, потребляемая мощность 1,5 Вт.

По аналогичной схеме реализуется синхронный регистр на основе СИС K1500ТМ131, способный работать в однофазной системе синхронизации. Время задержки сигнала в регистре составляет 1,4 нс при той же мощности, частота переключения достигает 500 МГц. В рассматриваемых регистрах имеются возможности индивидуального управления каждым разрядом регистра: запись 1, сброс в 0, синхронный прием информации. Такие регистры удобно применять в устройствах управления ЭВМ. В тех случаях, где требуется групповое управление разрядами регистра, выгодно строить регистры на основе СИС K1500ТМ150 и K1500ТМ151, при этом достигается более высокая плотность компоновки. На рис. 10.26 приведена логическая схема 18-разрядного синхронного регистра с парафазными выходами, построенная на СИС K1500ТМ150. Для построения регистра требуется три корпуса СИС, время задержки сигнала составляет 1,4 нс, потребляемая мощность 1,5 Вт. Аналогичный регистр, способный работать в однофазной

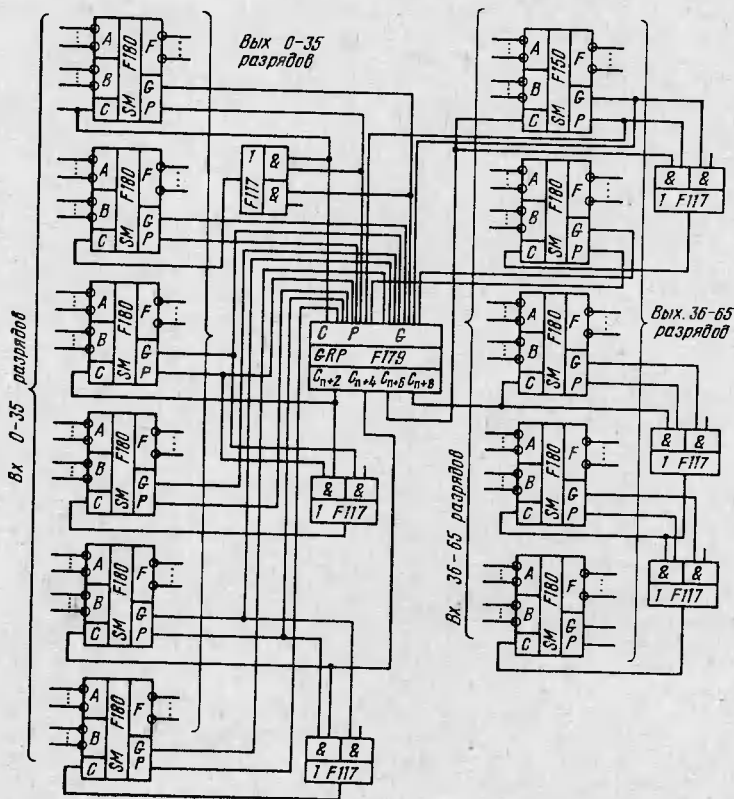


Рис. 10.24. Логическая схема 66-разрядного сумматора с ускоренным переносом на основе СИС K1500

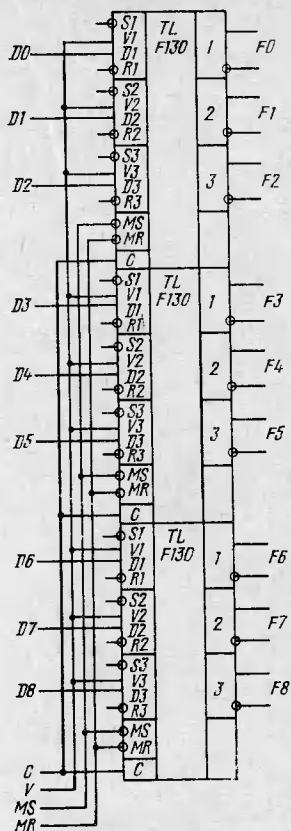


Рис. 10.25. Логическая схема 9-разрядного синхронного регистра на основе СИС K1500TM130

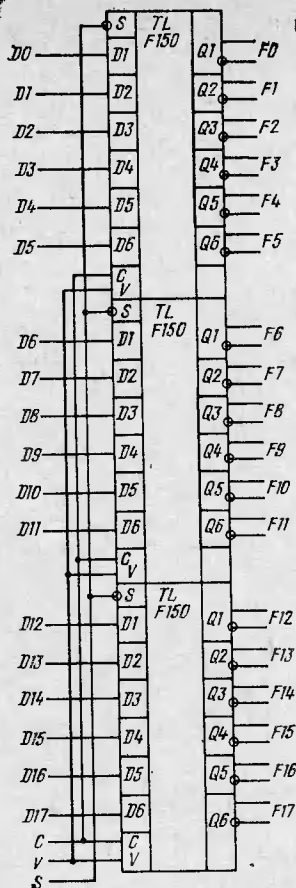


Рис. 10.26. Логическая схема 18-разрядного синхронного регистра на основе СИС K1500TM150

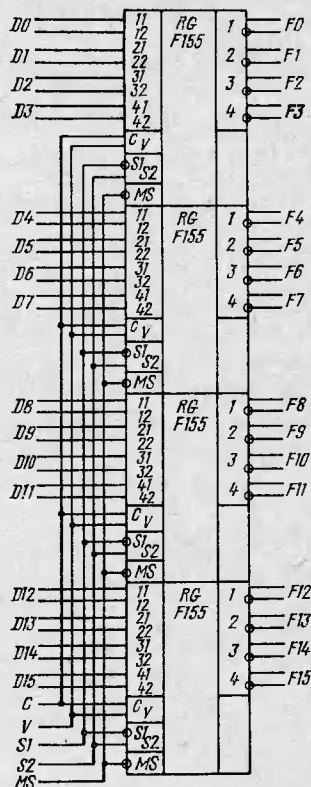


Рис. 10.27. Логическая схема 16-разрядного синхронного регистра с мультиплексорными входами на основе СИС K1500KP155

системе синхронизации строится на основе СИС K1500TM151. Время задержки в регистре составляет 1,8 нс, потребляемая мощность 1,9 Вт, частота переключения 500 МГц.

Синхронные регистры, способные принимать информацию из двух источников, целесообразно строить на основе триггеров СИС K1500TM155, которые имеют мультиплексорные входы. На рис. 10.27 приведена логическая схема 16-разрядного синхронного регистра с мультиплексорными входами и парафазными выходами. Для построения регистра требуется четыре корпуса СИС K1500TM155, время задержки сигнала составляет 1,4 нс, потребляемая мощность 1,7 Вт.

Для построения универсального регистра, способного осуществлять параллельный прием информации, сдвиг ее за один такт на один разряд в сторону младших или старших разрядов, выгодно использовать СИС K1500IP141 — 8-разрядный универсаль-

ный регистр. Логическая схема 16-разрядного синхронного универсального регистра приведена на рис. 10.28. Для построения регистра требуется два корпуса СИС K1500IP141, время задержки сигнала составляет 1,9 нс, частота переключения 500 МГц, потребляемая мощность 1,5 Вт. Регистр может осуществлять сдвиг и на большее число разрядов за несколько тактов.

Для сдвига информации сразу на несколько разрядов за один такт используют многовходовые мультиплексоры на входе регистра. На рис. 10.29 приведена логическая схема 8-разрядного сдвигового регистра, способного осуществлять сдвиг на 1—4 разряда за 1 такт, на 5—8 разрядов за 2 такта, на 9—12 разрядов за 3 такта и т. д. Для построения регистра требуются одна СИС K1500IP141 и четыре СИС K1500KP163, время сдвига в одном такте составляет 4 нс, частота сдвига до 200 МГц, потребляемая мощность 2,7 Вт.

Используя на входе регистра СИС К1500КП164 — 16-входовой мультиплексор можно построить сдвиговый регистр, способный осуществлять сдвиг на 8 разрядов за один такт. При этом время сдвига в одном такте составляет 4,5 нс, частота сдвига 200 МГц. Применение двух- или многокаскадного построения мультиплексоров позволяет строить быстродействующие сдвиговые регистры, которые способны осуществлять сдвиг на один такт на еще большее число разрядов.

Счетчики. На микросхемах серии К1500 возможна реализация счетчика любого типа. За основу целесообразно брать двухступенчатые триггеры СИС К1500ТМ131 или К1500ТМ151. На микросхемах К1500ТМ131 предпочтительнее строить счетчики с параллельно-последовательным переносом, поскольку в каждом триггере имеются дополнительные входы управления. Простейшие счетчики с последовательным переносом выгоднее строить на основе микросхем К1500ТМ141, имеющих более высокий уровень интеграции. Логическая схема асин-

хронного 9-разрядного счетчика приведена на рис. 10.30. Для реализации счетчика требуется три корпуса СИС К1500ТМ131, которые потребляют 1,4 Вт мощности. Частоту поступления счетных импульсов в таком счетчике можно доводить до 500 МГц.

Для построения синхронных универсальных (реверсивных) по заданному модулю пересчета и других счетчиков удобно применять СИС К1500ИЕ136 — 4-разрядный универсальный регистр-счетчик.

На рис. 10.31 приведена логическая схема 16-разрядного синхронного, реверсивного двоичного счетчика. Для построения счетчика требуется четыре корпуса СИС К1500ИЕ136, которые потребляют мощность 3,5 Вт. Частота пересчета в данном счетчике достигает 400 МГц. При необходимости счетчик можно преобразовать в сдвиговый регистр, используя дополнительные входы-выходы СИС К1500ИЕ136.

Таким образом, широкий набор субнаосекундных логических, специальных, последовательных, функциональных микро-

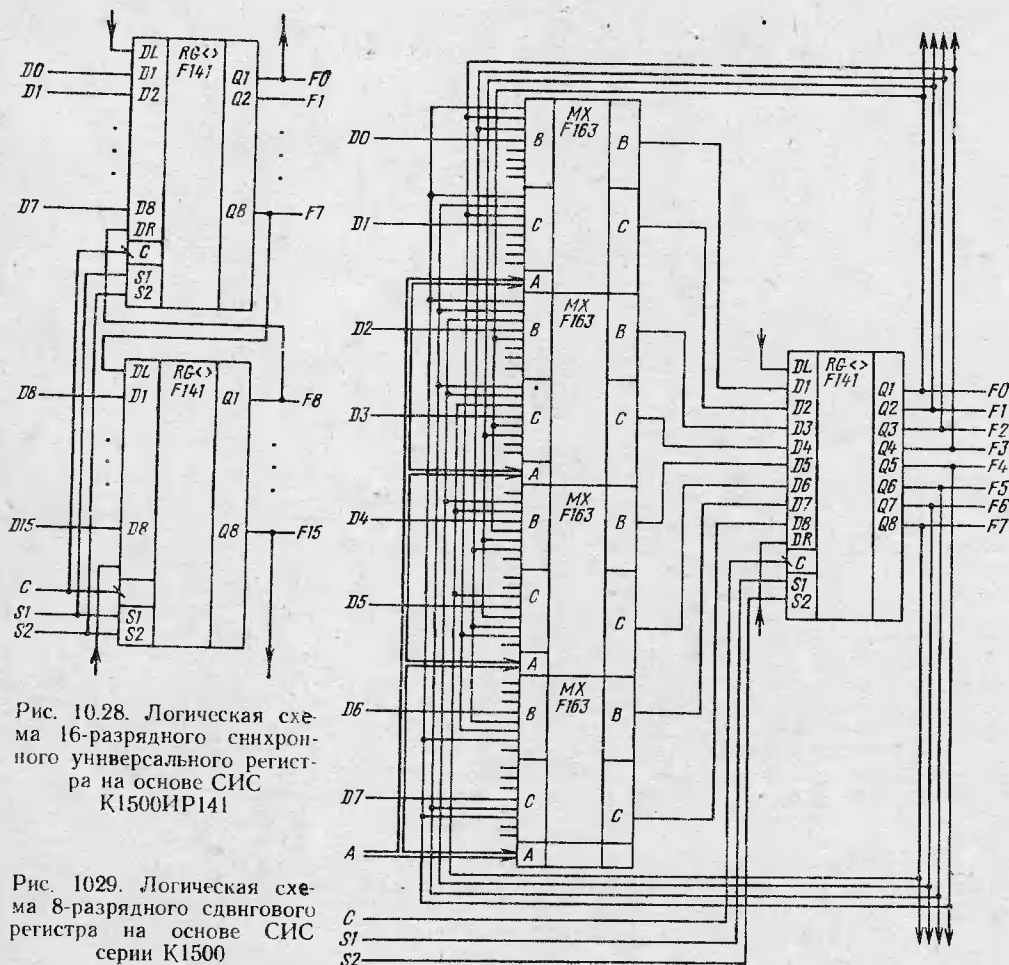


Рис. 10.28. Логическая схема 16-разрядного синхронного универсального регистра на основе СИС К1500ИР141

Рис. 10.29. Логическая схема 8-разрядного сдвигового регистра на основе СИС серии К1500

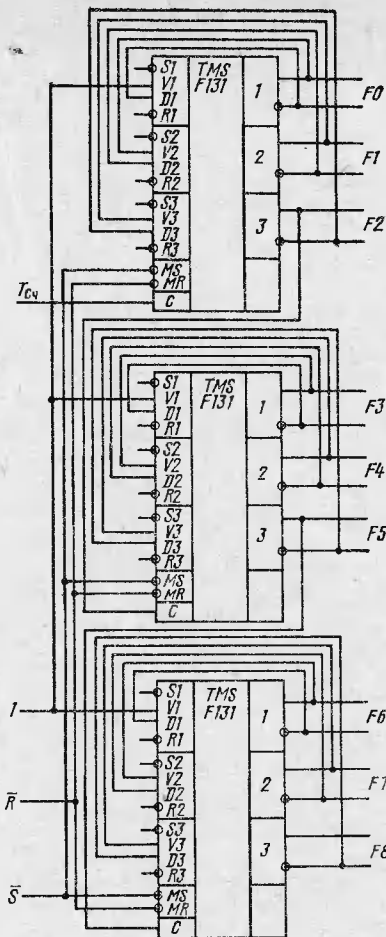


Рис. 10.30. Логическая схема 9-разрядного асинхронного счетчика на основе СИС K1500TM131

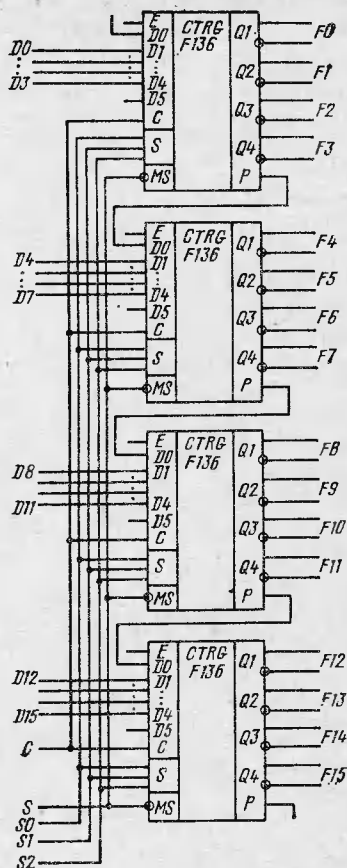


Рис. 10.31. Логическая схема 16-разрядного синхронного реверсивного двоичного счетчика на основе СИС K1500IE136

схем и БИС памяти серии K1500 позволяет с высокой эффективностью строить разнообразные быстродействующие функциональные узлы комбинационного и последовательного типа.

Поскольку в данной главе даны примеры построения аналогичных или похожих типовых функциональных узлов на основе ИС серии 500 и СИС серии K1500, то представляет определенный интерес сравнение основных характеристик узлов. В табл. 10.2 приведены основные характеристики функциональных узлов: затраты оборудования, потребляемая мощность, быстродействие. Анализ табл. 10.2 показы-

вает, что при той же или меньшей потребляемой мощности функциональные узлы реализованные на основе СИС серии K1500 имеют существенно более высокое быстродействие и экономичнее по оборудованию. Однако микросхемы серии 500 проще в использовании при решении вопросов электронного конструирования и электромонтажа. Поэтому ИС серии 500 рекомендуется применять для построения быстродействующих узлов и блоков вычислительной техники, а применение СИС серии K1500 выгоднее для построения устройств ЭВМ предельного быстродействия.

Таблица 10.2

Узлы на основе ИС серии 500				Узлы на основе СИС серии К1500			
Наименование	Число ИС, шт.	Время задержки, нс	Потребляемая мощность, Вт	Наименование	Число СИС, шт.	Время задержки, нс	Потребляемая мощность, Вт
Дешифратор 5X X32	5	6,5	2,6	Дешифратор 5X X32	5	2,6	2,1
Мультиплексор 16-входовой	3	4,0	1,0	Мультиплексор 16-входовой	1	1,8	0,3
Мультиплексор 64-входовой	10	8,0	4,9	Мультиплексор 64-входовой	5	4,0	1,6
Схема контроля четности 48-разрядная	5	12,0	1,4	Схема контроля четности 48-разрядная	3	7,0	1,1
Сумматор комбинационный 8-разрядный	4	24,0	1,4	Сумматор комбинационный 6-разрядный	1	2,9	0,8
Арифметико-логический блок 16-разрядный	5	17,0	2,8	Сумматор комбинационный 18-разрядный	4	11,0	2,5
Арифметико-логический блок 64-разрядный	21	30,0	11,1	Сумматор комбинационный 66-разрядный	14	15,0	9,7
Регистр синхронный 8-разрядный	4	3,0	0,6	Регистр синхронный 9-разрядный	3	1,1	1,5
Регистр синхронный 16-разрядный	4	4,0	1,2	Регистр синхронный 18-разрядный	3	1,4	1,5
Регистр синхронный с мультиплексорными входами 16-разрядный	4	4,5	1,1	Регистр синхронный с мультиплексорными входами 16-разрядный	4	1,4	1,7
Регистр синхронный универсальный 16-разрядный	4	2,9	1,7	Регистр синхронный универсальный 16-разрядный	2	1,9	1,5
Регистр синхронный сдвигающий 8-разрядный	10	9,0	4,9	Регистр синхронный сдвигающий 8-разрядный	5	4,0	2,7
Счетчик асинхронный двоичный 8-разрядный	4	3,0	1,1	Счетчик асинхронный двоичный 8-разрядный	3	1,4	1,4
Счетчик синхронный двоичный реверсивный 16-разрядный	4	5,0	2,6	Счетчик синхронный двоичный реверсивный 16-разрядный	4	1,5	3,5

Глава 11

Микропроцессорные БИС

11.1. Микропроцессорный комплект БИС ЭСЛ серии К1800

Серия К1800 быстродействующих микропроцессорных БИС предназначена для построения высокопроизводительных устройств вычислительной техники и автоматики. В состав серии входят восемь типов микросхем [18, 22, 23], построенных по секционному принципу, что позволяет на-

рашивать разрядность слова до необходимой длины параллельным включением БИС. Команды реализуются последовательно-стью микрокоманд, подаваемых на управляющие входы.

Микросхемы серии К1800 выпускаются в металлокерамических и керамических корпусах с числом выводов 48, 24, 16, расположенных с шагом 2,5 мм, работают при температуре окружающей среды от -10 до $+75$ °С и могут использоваться совместно с микросхемами серии К500. Состав се-

Таблица 11.1

Условное обозначение микросхемы	Наименование	Тип корпуса	Разрядность, бит	Напряжение питания, В	Потребляемая мощность, Вт
K1800BC1	Арифметическое-логическое устройство	2207.48-1	4	$-5,2 \pm 5\%$ $-2,0 \pm 5\%$	1,4
K1800BU1	Микропрограммное управление	2207.48-1	4	$-5,2 \pm 5\%$ $-2,0 \pm 5\%$	1,6
K1800BE2	Синхронизатор	2120.24-1	4	$-5,2 \pm 5\%$	0,74
K1800BT3	Управление оперативной памятью	2207.48-1	4	$-5,2 \pm 5\%$ $-2,0 \pm 5\%$	1,7
K1800BA4	Двухнаправленный транслятор ЭСЛ—ТТЛ	2103.16-3	4	$-5,2 \pm 5\%$ $-5,0 \pm 5\%$	0,7
K1800PG6	Двухадресная память	2207.48-1	9	$-5,2 \pm 5\%$	1,8
K1800BA7	Двухнаправленный магистральный транслятор	2103.16-3	5	$-5,2 \pm 5\%$	0,44
K1800BP8	Программируемый многоурядный сдвигатель	2207.18-1	16	$-5,2 \pm 5\%$	1,5

рии K1800 приведен в табл. 11.1. Работа микросхем этой серии описывается в отрицательной логике когда высокому уровню напряжения соответствует лог. 0, а низкому — лог. 1 [7].

Таблица 11.2

11.2. Арифметическо-логическое устройство

Большая интегральная схема арифметическо-логического устройства (K1800BC1) представляет собой 4-разрядную секцию, выполняющую 28 логических операций и арифметические операции: 23 над двоичными и 17 над двоично-кодированными десятичными числами, арифметический и логический сдвиги [24]. Микросхема АЛУ, структурная схема которой показана на рис. 11.1, а назначение выводов приведено в табл. 11.2, имеет три 4-разрядные информационные шины А, Ø, I, две из которых (Ø, I) являются двухнаправленными и служат для ввода и вывода информации, шина А — однонаправленная, используется только для ввода данных, 17 управляющих входов AS0—AS16 и 11 вспомогательных выводов для выдачи кодов состояния и условий перехода. АЛУ имеет два регистра: флиппер на триггерах типа «Защелка», управляемый сигналом синхронизации LC и обеспечивающий при LC = 1 запоминание информации, поступающей из Ø шины, или ее прямое прохождение через регистр при LC = 0, аккумулятор на триггерах типа Master-Slave (MS), управляемый положительным фронтом синхросигнала CLK для временного хранения информации.

Для маскирования информации, поступающей в сумматор, используется специальная схема «маска», которая связывает данные на выходной шине Ø и шине А логическими функциями И и ИЛИ.

Арифметическо-логическое устройство может выполнять различные логические и

Номер вывода	Обозначение	Назначение
29, 32, 34, 30	A0, A1, A2, A3	Шина А. Вход разрядов 0—3
23, 22, 21, 20	Ø0, Ø1, Ø2, Ø3	Шина Ø. Вход/выход разрядов 0—3
13, 14, 15, 16	10, 11, 12, 13	Шина I. Вход/выход разрядов 0—3
37, 38, 39	AS0, AS1, AS4	Управление мультиплексором Y = входов
40, 35	AS2, AS3	Управление мультиплексором X = входов
33, 31	AS5, AS6	Управление шиной Ø, мультиплексором A = входов
41	AS10	Управление режимом сложение/вычитание
42	AS11	Управление режимом двоичный/двоично-десятичный
43	AS12	Управление режимом арифметический/логический
44	C _{in}	Вход переноса
3	C _{out}	Выход переноса
5	PG	Разрешение группового переноса
4	GG	Сигнал группового переноса
6	OF	Сигнал переполнения
2	PC	Сигнал четности переноса

Номер вы- хода	Обозначение	Назначение
10	PR	Сигнал четности результата
11	ZD	Сигнал проверки на нуль
45	AS7	Управление источником сдвигателя
47, 46	AS13, AS14	Управление функциями сдвигателя
9	R4	Вход/выход старшего разряда сдвигателя
8	R1	Вход/выход младшего разряда сдвигателя
19, 18	AS9, AS15	Управление мультиплексором аккумулятора
28	AS8	Разрешение выдачи на шину
27	C1	Вход синхронизации аккумулятора
26	AS16 (C2)	Вход синхронизации фиксатора
1, 24	U _{п1}	Напряжение источника питания —5,2 В
25, 48	U _{п2}	Напряжение источника питания —2,0 В
12, 36	U _{п3}	Напряжение источника питания 0 В
7, 17	U _{п4}	Напряжение источника питания 0 В для выходных эмиттерных повторителей

арифметические операции с одним, двумя и тремя словами, которые могут поступать с шин А, $\emptyset$ и аккумулятора (ACC). В АЛУ имеются логические схемы, формирующие сигналы переполнения OF и выходного переноса C_{out}. Сигнал OF образуется при операциях двоичного сложения или вычитания, а также в сдвигателе при сдвиге влево, как результат выполнения функции. Искключающее ИЛИ над двумя старшими разрядами. Сигнал C_{out} возникает при выполнении как двоичных, так и двоично-десятичных операций. В АЛУ формируются сигналы: PG — наличие условий прохождения переноса (разрешение группового переноса) через данную БИС, GG — образование переноса (групповой перенос) внутри данной БИС и сигнал PC — контроль переноса по четности. Сигналы PG и GG используются для организации ускоренного переноса в АЛУ с увеличенным числом разрядов, составленном из нескольких 4-разрядных секций К1800BC1. Эти

сигналы формируются как при двоичных, так и при двоично-десятичных операциях.

Сдвигатель позволяет осуществлять сдвиг влево, логический и арифметический сдвиги вправо и сквозную передачу данных. Управление сдвигателем осуществляется сигналами AS7, AS13, AS14. Сигнал AS7 управляет источником информации для сдвигателя. При AS7 = 0 на входы сдвигателя поступает информация из аккумулятора, при AS7 = 1 — из сумматора. Сигналы AS13 и AS14 определяют функции сдвигателя: AS13, AS14 = 00 — сдвиг влево; 10 — отсутствие сдвига; 01 — логический сдвиг вправо; 11 — арифметический сдвиг вправо. Для выполнения сдвигов в нескольких связанных между собой БИС предусмотрены выводы R1 и R4, которые могут быть как входными, так и выходными в зависимости от направления сдвига. Вывод R1 является входом для сдвига влево и выходом как для логического, так и для арифметического сдвига вправо. Вывод R4 является входом для логического сдвига вправо и выходом для всех других операций. Такая особенность позволяет использовать R4 как выход состояния знакового разряда, который является старшим в разрядной сетке устройства.

Выходы контроля по четности переносов PC и результата PR используются для выявления ошибок при обработке информации. Один контрольный разряд позволяет обнаружить наличие ошибки в одном разряде или комбинации ошибок в нечетном числе разрядов. Сигналы PC и PR представляют собой свертку по модулю 2 сигналов переносов из отдельных разрядов внутри БИС $PC = C_{1n} \oplus CO \oplus C1 \oplus C2$ и сигналов на выходах сдвигателя $PR = R0 \oplus R1 \oplus R2 \oplus R3$.

Схема управления шиной I обеспечивает выдачу в шину информации из сдвигателя или аккумулятора, а также их отключение от шины. Это позволяет принимать с шины I информацию в аккумулятор, либо выполнять системные функции, не относящиеся к данной БИС.

Аккумулятор используется для выполнения повторяющихся операций, таких как сложение с накопленной суммой, умножение, деление и многоразрядные сдвиги.

Схема управления шиной $\emptyset$ позволяет подключать выходы аккумулятора либо ко входам мультиплексора шины А, либо к шине $\emptyset$. Выходы аккумулятора можно подключить к сумматору для маскирования и сравнения. Возможна блокировка передачи информации из аккумулятора. Во всех 4-разрядных шинах информация представляется в отрицательной логике, разряды с индексом 0 являются младшими, а с индексом 3 — старшими.

Входной перенос C_{1n} используется для объединения 4-разрядных БИС в многоразрядное устройство. Для организации последовательного переноса входной перенос C_{1n} данной БИС необходимо соединить с выходным переносом C_{out} предыдущей БИС.

а для организации группового переноса — с логической схемой ускоренного переноса. Входной перенос применяется при выполнении только арифметических операций, как в двоичном, так и в двоично-десятичном кодах. Сигнал выходного переноса $C_{out} = 1$ говорит о том, что результат, полученный в сумматоре БИС, превышает максимально возможное 4-разрядное число, а именно: 15 (1111) в двоичной и 9 (1001) в двоично-десятичной арифметике. При последовательном переносе выходной перенос данной БИС соединяется с входным следующей.

Признак переполнения OF формируется только при арифметических операциях в дополнительном коде и показывает, что превышена максимально возможная длина слова или байта. В системе используется признак переполнения только в той БИС, в которой расположен старший разряд слова. В дополнение к признаку переполнения, вырабатываемому при работе сумматора, сигнал переполнения можно получить в сдвигателе при сдвиге влево в сторону старшего разряда, когда изменится содержимое знакового разряда. Обычно признаки переполнения, формируемые в сумматоре и сдвигателе, объединяются вместе по ИЛИ, так, что наличие любого из них вызы-

вает появление общего признака переполнения. Исключение составляет случай, когда выходы сдвигателя подключены к аккумулятору. При этом признак переполнения, формируемый сумматором, отключается от выхода OF. При выполнении двоично-десятичных операций признак переполнения не формируется.

Сигналы AS_0 , AS_1 управляют работой мультиплексора Y = входов, через который данные от разных источников поступают на Y -входы сумматора (рис. 11.1). При $AS_0 = AS_1 = 0$ и $AS_0 = AS_1 = 1$ на все четыре Y -входа сумматора поступают соответственно лог. 0 и лог. 1. При $AS_0 = 0$, $AS_1 = 1$ на Y -входы сумматора поступает информация с выходов регистра-фиксатора, а при $AS_0 = 1$, $AS_1 = 0$ — с выходов мультиплексора A -входов. На Y -входы сумматора можно подавать сигналы из аккумулятора, для чего нужно установить $AS_0 = AS_1 = 0$, а сигналы AS_5 , AS_6 — в соответствии с табл. 11.3 и 11.4.

Сигнал AS_4 позволяет прибавлять и вычитать константу 2. Наличие лог. 1 на входе AS_4 не влияет на работу БИС. При $AS_4 = 0$ на Y -входы сумматора подается код 0010 (плюс 2), когда $AS_0 = AS_1 = 0$ или 1110 (минус 2), когда $AS_0 = AS_1 = 1$. В многоразрядном устройстве вход AS_4

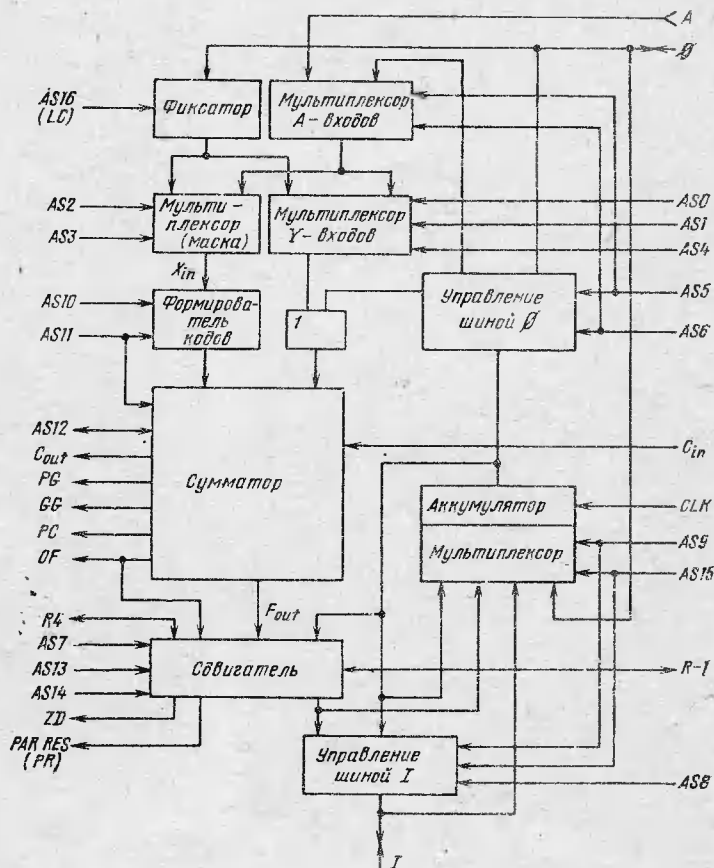


Рис. 11.1. Структурная схема БИС АЛУ K1800BC1

Таблица 11.3

AS5	AS6	Источник информации		
		шины $\emptyset$	мультиплексора А-входов	У-входов сумматора
0	0	Шина $\emptyset$	Шина А	Лог. 0
0	1	»	»	Аккумулятор
1	0	Аккумулятор и шина $\emptyset$	»	Лог. 0
1	1	Шина $\emptyset$	Аккумулятор	Лог. 0

Таблица 11.4

AS5 AS6	AS0	AS1	Источник информации У-входов сумматора
0	Смотри текст перед ссылкой на табл. 11.4		Определяется AS0 и AS1
1	0	0	Аккумулятор
1	0	1	Аккумулятор или шина $\emptyset$
1	1	0	Аккумулятор или мультиплексор А-входов
1	1	1	Лог. 1

обычно используется только в БИС, обрабатывающей младшие разряды слова или байта. В общем случае с помощью этого входа можно организовать прибавление или вычитание таких констант, как 2, 32, 34, 512, 544 и т. д.

Управление мультиплексором А-входов осуществляется с помощью сигналов AS5 и AS6, которые определяют место поступления информации с выходов аккумулятора. Возможны пять адресов. Три из них: шина $\emptyset$, А-входы мультиплексора, аккумуляторный вход АЛУ выбираются тремя комбинациями сигналов AS5 и AS6 в соответствии с табл. 11.3. Четвертая комбинация AS5 = AS6 = 0 блокирует передачу данных из аккумулятора по этим адресам. Пересылка информации из аккумулятора на шину 1 происходит под воздействием сигналов AS9 и AS15, а на входы сдвигателя — сигнала AS7, как будет показано ниже. Когда AS5 и AS6 $\neq$ 10, трансляторы блока управления шиной $\emptyset$ не передают информацию и находятся в состоянии лог 1, входы шины $\emptyset$ можно использовать для ввода данных, при этом на аккумуляторный вход АЛУ поступает лог. 0. Когда AS5 = 1, AS6 = 0 (табл. 11.3), выходы аккумулятора подключаются к шине $\emptyset$, происходит выдача данных из аккумулятора на шину $\emptyset$, маскирование ими по И

внешней информации по шине и поступление ее на входы $\emptyset$ шины БИС АЛУ. Выводы шины А микросхем служат только для ввода информации. Сигналы AS5 и AS6 коммутруют их либо на прием информации, с шины А, либо из аккумулятора. Состояние AS5 = 0, AS6 = 1 в сочетании с комбинациями сигналов AS0, AS1 управляют подачей данных на входы Y_{in} сумматора в соответствии с табл. 11.4. Выход мультиплексора У соединен по ИЛИ с аккумуляторным входом АЛУ.

Сигналы AS2 и AS3 управляют подачей информации на Х входы АЛУ с шины $\emptyset$ (AS2, AS3 = 01) или с выхода мультиплексора шины А (AS2AS3 = 10), а также обеспечивают маскирование этих данных: при AS2 = AS3 = 0 данные с шины $\emptyset$ и выхода мультиплексора объединяются по И, а при AS2 = AS3 = 1 — по ИЛИ. Маску из лог. 0 лог. 1 можно накладывать на любой разряд или группу разрядов шин А или $\emptyset$. Наложение маски до сумматора позволяет за один проход осуществить маскирование и сравнение внутри БИС.

Формирователь кодов, управляемый сигналами AS10, AS11, подготавливает данные для работы АЛУ. В режиме сложения, когда AS10 = 1, AS11 = 0 для двоично-десятичного и AS10 = AS11 = 1 для двоичного сложения, данные на вход X_{in} проходят в прямом коде, в режиме вычитания — в обратном. Модификация обратного кода осуществляется сигналом AS11. Для вычитания в двоично-десятичном коде (AS10 = AS11 = 0) обратный код данных формируется в виде дополнения до 9, а в двоичном (AS10 AS11 = 01) — данные инвертируются, образуя дополнение до 1. Если АЛУ настроено на выполнение логических операций (Исключающее ИЛИ), возможность формирования различных дополнительных кодов используется для избирательного инвертирования данных на входе X_{in} . Сигнал AS11 = 1 настраивает блок на работу в двоичном коде, а AS10 = 0 — обеспечивает инверсию данных на выходе блока.

Сигнал AS12 управляет режимом работы 4-разрядного сумматора. Когда AS12 = 1, сумматор выполняет арифметические операции, а AS12 = 0 — логические. При логических операциях блокируется распространение переноса между разрядами в сумматоре и реализуется функция Исключающее ИЛИ над сигналами с каждой пары его входов.

Сигнал AS7 управляет источником информации для сдвигателя. При AS7 = 0 информация поступает в сдвигатель из аккумулятора, а при AS7 = 1 — из АЛУ. Операция сдвига содержимого аккумулятора используется при умножении и делении последовательным выполнением сложения и сдвига.

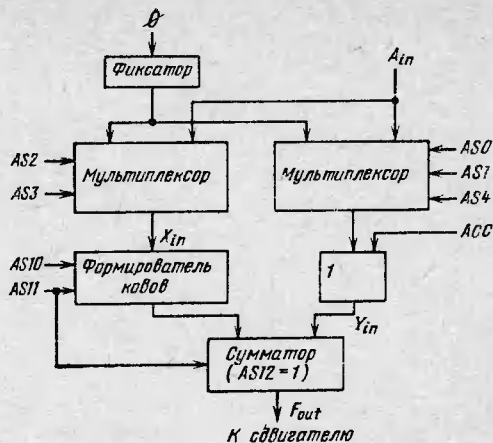
Сигналы AS13 и AS14 управляют работой сдвигателя. В зависимости от значения сигналов AS13 и AS14 возможны четыре операции: сдвиг влево (00); отсутствие сдви-

га (10); логический сдвиг вправо (01); арифметический сдвиг вправо (11). Сдвиг информации влево происходит на входах F сдвигателя на один разряд по направлению к старшему разряду. Эта операция осуществляется как логический, так и арифметический сдвиг влево. Логический сдвиг информации вправо происходит на входах F сдвигателя на один разряд по направлению к младшему разряду. Эта операция используется во всех БИС для логического сдвига вправо за исключением тех, которые оперируют со старшими разрядами слова или байта. При арифметическом сдвиге вправо знак числа, выраженного в дополнительном (дополнение до 2) или обратном (дополнение до 1) коде, должен сохраняться в знаковом разряде. Вывод R1 является входом для сдвига влево и выходом как для логического, так и для арифметического сдвига вправо. Вывод R4 служит входом для логического сдвига вправо и выходом для всех остальных операций, определяемых сигналами AS13 и AS14. Это позволяет использовать R4 как выход знакового разряда БИС, являющегося старшим в разрядной сетке устройства.

Сигналы AS9- и AS15 обеспечивают выбор источника данных для аккумулятора и информации для выдачи на шину I. В аккумулятор можно записать данные от одного из трех источников в зависимости от состояния управляющих входов AS9, AS15: сдвигателя (00), шины $\emptyset$ (01), шины I (10). Комбинация AS9 = AS15 = 1 осуществляет замыкание выходов аккумулятора на его входы, в результате чего данные хранятся в аккумуляторе независимо от действия синхросигнала CLK, поступающего в БИС. Новые данные в аккумулятор можно записать изменив управляющие сигналы AS9, AS15 и подав сигнал синхронизации CLK. При комбинации сигналов AS9, AS15 = 0 информация на входы блока управления шиной I поступает с выходов аккумулятора, при других комбинациях — с выходов сдвигателя. Когда информация передается из аккумулятора в сдвигатель, который используется как элемент обратной связи, синхронизация аккумулятора теряет свое управлющее действие.

Сигнал AS8 закрывает и открывает формирователи шины I. Когда AS8 = 1, формирователи открыты и информация из сдвигателя или аккумулятора БИС выдается на шину I. Когда AS8 = 0, формирователи закрыты и информация с шины I может приниматься в БИС.

Источником данных для АЛУ служат фиксатор шины $\emptyset$, мультиплексор A входов и аккумулятор. Арифметическо-логическое устройство реализует полный набор логических операций в соответствии с различными таблицами истинности, определяемыми действием управляющих сигналов. Структурная схема АЛУ, настроенного на логические операции, показана на рис. 11.2. При логических операциях (AS12 = 0) сумматор реализует функцию Иключаю-



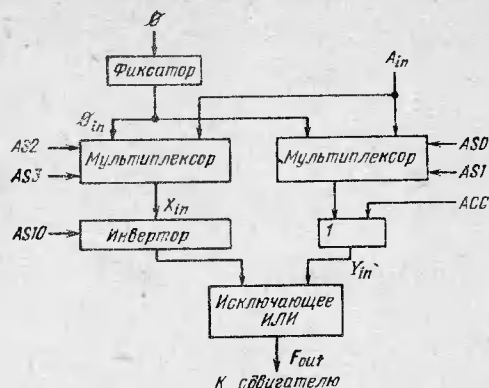


Рис. 11.3. Структурная схема АЛУ, выполняющего арифметические операции

щее ИЛИ над переменными на входах X и Y . Формирователь кодов работает как дополнительный инвертор ($AS11 = 1$), управляемый сигналом $AS10$. Источник информации для входа X выбирается сигналами $AS2$ и $AS3$, для входа Y — сигналами $AS0$ и $AS1$ ($AS4 = 1$) и объединяется по

ИЛИ с выходом аккумулятора ($AS5AS6$) Реализуемые логические функции приведены в табл. 11.5.

Схема для выполнения арифметических операций приведена на рис. 11.3. Схема формирования дополнения и сумматор настроены на арифметический режим работы. Сигнал $AS12 = 1$, $AS4$ используется для прибавления или вычитания 2, а сигнал $AS11$ задает двоичный или двоично-десятичный режим работы. Операнды, подаваемые на входы сумматора внутри БИС, определяются видом операции. Большинство двоичных функций имеет двоично-десятичный эквивалент. В табл. 11.6 приведены выполняемые арифметические операции в зависимости от управляющих сигналов.

В БИС $K1800BC1$ могут выполняться пересылки как в сдвигатель и аккумулятор, так и из них. Управление пересылками осуществляется сигналами $AS5 - AS9$ и $AS15$. Сигналы $AS5$ и $AS6$ определяют, куда попадают данные с выхода аккумулятора, $AS7$ — источник данных для сдвигателя, $AS8$ опирает и запирает формирователи шины I . Сигналы $AS9$ и $AS15$ определяют источник данных для этих формирователей. Действие сиг-

Таблица 11.6

Y-мультиплексор		X-мультиплексор		Константа 2^2 H	Формирователь кодов	Аккумулятор	Двоичные функции (плюс C_{in})	Двоично-десятичные функции (плюс C_{in})
AS0	AS1	AS2	AS3	AS4	AS10	$\overline{AS5AS6}$	$AS11 = 1$	$AS11 = 0$
1	0	0	1	1	1	0	A плюс $\emptyset$	A плюс $\emptyset$
1	0	0	1	1	0	0	A плюс $\emptyset$	A плюс Доп. 9 $\emptyset$
0	1	1	0	1	0	0	$\emptyset$ плюс $\overline{A}$	$\emptyset$ плюс Доп. 9 A
0	0	1	0	1	1	0	A	A
0	0	0	1	1	1	0	$\emptyset$	$\emptyset$
0	0	1	0	1	0	0	$\overline{A}$	Доп. 9 A
0	0	0	1	1	0	0	$\emptyset$	Доп. 9 $\emptyset$
1	1	1	0	1	1	0	-1 плюс A	*
1	1	0	1	1	1	0	-1 плюс $\emptyset$	*
1	1	1	0	0	1	0	-2 плюс A	*
1	1	0	1	0	1	0	-2 плюс $\emptyset$	*
0	0	1	0	0	1	0	+2 плюс A	+2 плюс A
0	0	0	1	0	1	0	+2 плюс $\emptyset$	+2 плюс $\emptyset$
1	0	1	0	1	1	0	A плюс A	A плюс A
0	1	0	1	1	1	0	$\emptyset$ плюс $\emptyset$	$\emptyset$ плюс $\emptyset$
0	0	1	0	1	1	1	ACC плюс A	ACC плюс A
0	0	0	1	1	1	1	ACC плюс $\emptyset$	ACC плюс $\emptyset$
0	0	1	0	1	0	1	ACC плюс $\overline{A}$	ACC плюс Доп. 9 A
0	0	0	1	1	0	1	ACC плюс $\emptyset$	ACC плюс Доп. 9 $\emptyset$
0	0	0	0	1	1	1	ACC плюс $\overline{A\emptyset}$	ACC плюс A $\emptyset$
0	0	0	0	1	0	1	ACC плюс $\overline{A\emptyset}$	ACC плюс Доп. 9A $\emptyset$
0	0	1	1	1	1	1	ACC плюс $\overline{A+\emptyset}$	*
0	0	1	1	1	0	1	ACC плюс $\overline{A+\emptyset}$	*

Примечание. * В двоично-десятичной арифметике функция не определена. Доп. 9 $\emptyset$ (Доп. 9A) — дополнение до 9 шина $\emptyset$ (A).

Таблица 11.7

A7	A8	A9	A15	Источник информации		Состояние формирователей шины I
				аккумулятора	сдвигателя	
0	0	0	0	RES	ACC	Закрыты
0	0	0	1	Шина Ø	ACC	»
0	0	1	0	Шина I	ACC	»
0	0	1	1	ACC	ACC	»
0	1	0	0	RES	ACC	Выдача ACC
0	1	0	1	Шина Ø	ACC	Выдача RES
0	1	1	0	Шина	ACC	»
0	1	1	1	ACC	ACC	»
1	0	0	0	RES	F _{out}	Закрыты
1	0	0	1	Шина Ø	F _{out}	»
1	0	1	0	Шина I	F _{out}	»
1	0	1	1	ACC	F _{out}	»
1	1	0	0	RES	F _{out}	Выдача ACC
1	1	0	1	Шина Ø	F _{out}	Выдача RES
1	1	1	0	Шина I	F _{out}	»
1	1	1	1	ACC	F _{out}	»

налов AS7, AS8, AS9 и AS15 иллюстрируется табл. 11.7. Первые четыре столбца показывают все состояния управляющих сигналов, пятый столбец описывает источник данных для аккумулятора.

Источниками данных для аккумулятора служат: сам аккумулятор, когда его выходы замкнуты на входы, шина I, шина Ø, RES, т. е. на вход аккумулятора результата, полученного в сдвигателе. Шестой столбец определяет источник данных для сдвигателя, которым могут быть аккумулятор (ACC) для операций сдвига и функциональные выходы сумматора (F_{out}). Последний столбец в таблице показывает состояние формирователей магистрали. Сигнал AS8 = 0 запирает формирователи, при этом шина I может использоваться для ввода информации или выполнения операций, не относящихся к данной БИС. Когда формирователи открыты, на шину I можно выдавать данные из аккумулятора, либо результаты; полученные в сдвигателе.

В табл. 11.8 приведены некоторые временные характеристики микросхемы K1800BC1. При оценке быстродействия устройства в целом необходимо учитывать задержки в линиях связи, влияние на временные характеристики БИС активных и реактивных нагрузок, объединений по линиям связи, отклонение питающих напряжений от номинального значения, рассчитываемые по известным правилам.

Таблица 11.8

Вход	Путь прохождения	Режим работы	Функция	Задержка распространения сигнала, ис					
				Шина I	PG, GG	C _{out}	OF, ZD, R1, R4	PC, PR	Шина Ø
Шина A	Сумматор	Арифметический	Вычитание	41,0	21	23,0	39	36	—
Шина Ø	Сдвигатель	»	Сложение	19,5	—	7,5	17	19	—
C _{in}		»	Сложение/	46,5	30	32,0	46	42	—
AS0—AS6, AS10—AS12		»	Вычитание	43,0	26	27,5	42	39	—
AS16		»	—	9,0	—	—	—	—	—
R1	Прямо	Сдвиг влево	—	—	—	—	—	—	—
R4		Сдвиг вправо	—	—	—	—	—	—	—
AS7, AS13, AS14		Сдвиг влево/вправо	—	16,0	—	—	—	—	—
AS9, AS15		Сдвиг, хранение	—	11,5	—	—	—	—	—
AS8	Шина A, сумматор	Управление	—	9,5	—	—	—	—	—
AS5, AS6		»	—	—	—	—	—	—	9,5
CLK		Арифметический	Вычитание	51,0	38	40,0	43	46	—
CLK		»	Сложение	47	—	—	—	—	—
CLK	Сдвигатель	AS7=0	Множественный сдвиг	18,5	—	—	19	21	—

Вход	Путь про- хождения	Режим работы	Функция	Задержки распространения сигнала, нс					
				Шина I	PG, GG	C _{out}	OF, ZD, R1, R4	PC, PR	Шина Σ
CLK	Прямо	—	АСС на ши- ны I	11	—	—	—	—	12
Шина Ø	Сумматор	Логический	Без допол- нения	35	—	—	—	—	—
LC	Шина А (Маска)	»	»	43	—	—	—	—	—
LC	Шина А (Маска)	»	С дополне- нием	47	—	—	—	—	—
LC	Шина А (мульти- плексор У-вхо- дов)	»	Без допол- нения	41	—	—	—	—	—

Примечание. Длительность фронтов нарастания и спада по уровням 20—80% логического перепада меньше или равна 5,5 нс по всем выходам.

11.3. Микросхема микропрограммного управления

Микросхема микропрограммного управления К1800ВУ1 управляет машинными операциями путем выработки адресов и

установления машинными операциями путем выработки адресов и установления последовательности выборки микрокоманд из управляющей памяти [18, 22, 23]. Она может использоваться с управляющей памятью с различной организацией и емко-

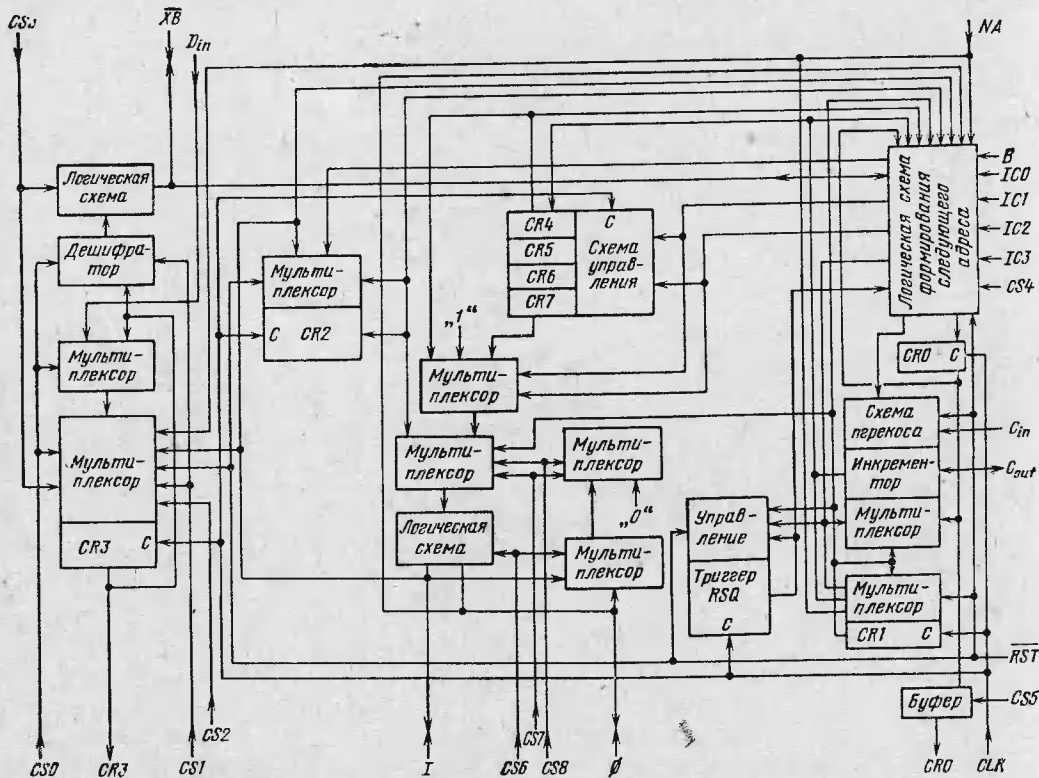


Рис. 11.4. Структурная схема БИС микропрограммного управления К1800ВУ1

стью. Каждая микросхема является 4-разрядной. Для формирования адресов большей разрядности микросхемы могут соединяться параллельно

Максимальная гибкость их использования в системе обеспечивается пятью отдельными информационными шинами. Микросхема K1800BV1 имеет 13 управляющих выводов и обладает следующими особенностями: 16 последовательных микрокоманд, 4-бит регистры CRO—CR3, расширяемые параллельным объединением схем, 4-регистровый стек загрузки и извлечения для вложения программ CR4—CR7, входы условного перехода для условных операций и многоходовый условный переход, маскирование адресов в специальных командах, логика повторения для повторяющихся подпрограмм или одиночных команд.

Структурная схема БИС K1800BV1 приведена на рис. 11.4. Ниже показаны операции, выполняемые БИС:

Приращение адреса	INC
Переход по адресу, заданному на входах NA	JMP
Переход по адресу, заданному на шине I	JIB
Переход по адресу, заданному на шине I и загрузка регистра CR2 с шины I	JIN
Переход по адресу, заданному в регистре CR2 (переход к исходной команде)	JPI
Переход по адресу, заданному на шине Ø	JEP
Переход по адресу, заданному на выходах NA и загрузка CR2 с шины I	JL2
Переход по адресу, заданному на входах NA и загрузка адреса в регистр CR1	JLA
Переход к подпрограмме	JSR
Возврат из подпрограммы	RTN
Повторение подпрограммы (загрузка регистра CR1 со входах NA)	RSR
Повторение команды	RPI
Условный переход по адресу, заданному на входах NA или приращение адреса	BRC
Условный переход к подпрограмме или приращение адреса	BSR
Возврат из подпрограммы по условию или переход по адресу, заданному на входах NA	ROC
Условный переход и модификация адреса с помощью входов условного перехода (многоходовый условный переход)	BRM

В табл. 11.9 назначение выводов. Как видно из рис. 11.4, микросхема содержит следующие блоки: адресный регистр CR0, регистр повторений CR1, регистр инструкций CR2, регистр состояний CR3, четыре регистра стека CR4—CR7, инкрементор

(схема приращения) Inc, логическая схема формирования следующего адреса NAL, триггер повторений RSQ. Для передачи информации и формирования адресов в БИС предусмотрены схемы мультиплексоров, дешифраторов, логических элементов и др. Прием и выдача адресной информации производится по пяти 4-разрядным шинам: двунаправленным шинам I и Ø, выходной шине адреса управляющей памяти CR0, входной адресной шине NA и шине состояний CR3. Управление выборкой осуществляется сигналами через выводы управления CS0—CS8, а операциями внутри БИС — сигналами кода управления IC0—IC3 и сигналами состояний B, XB, D_{in}, C_{in}, Cout, RST. Все регистры построены на триггерах типа MS и записывают информацию по положительному фронту синхросигнала. Описания отдельных узлов БИС приводятся ниже

Адресный регистр CR0 содержит текущий адрес памяти управления и выдает его на шину CR0 (CMA) через буфер, управляемый сигналом CS5. Последующий адрес, вырабатываемый блоком NAL, поступает в регистр CR0 по положительному фронту синхросигнала C_{in}.

Логическая схема формирования следующего адреса NAL вырабатывает 16 команд под воздействием управляющих сигналов IC0—IC3. Эти команды выбирают источник информации адреса, которым могут быть регистры CR1, CR2, CR4, входы NA, шины I, Ø и инкрементор. В каждом микроцикле блок NAL вырабатывает новый адрес параллельно с работой других блоков, например, с АЛУ.

Регистр повторений CR1 используется для повторений микрокоманд или подпрограмм, которые необходимы для выполнения многократных сдвигов, умножений и деления. По команде RSR повторения микропрограмм число повторений загружается в регистр CR1 в дополнительном коде со входов NA. После каждого повторения содержимое счетчика CR1 автоматически увеличивается на 1. При достижении установленного числа повторений БИС K1800BV1 продолжает работу в соответствии с заданной программой. Регистр CR1 может хранить адрес управляющей памяти при выполнении безусловного перехода. По команде JLA текущий адрес управляющей памяти из регистра CR0 передается в регистр CR1. Возможен возврат хранимого в регистре CR1 адреса по команде RT1 в регистр CR0. Работой регистра CR1 управляет схема NAL. Источниками информации при этом служат входы NA, инкрементор и регистр CR0. Выходы регистра CR1 могут подключаться к регистру CR0, инкрементору или к шине Ø.

Регистр CR2 принимает и хранит начальный адрес управляющей памяти для выполнения машинной команды. Содержимое регистра CR2 через схему NAL может быть записано в регистр CR0. Операциями с ре-

Таблица 11.9

Номер вывода	Обозначение	Назначение
42, 43, 44, 41	IC0, IC1, IC2, IC3	Управляющие входы команды
16, 15, 14, 13	I0, I1, I2, I3	Шина I. Вход/выход разрядов 0—3
11, 10, 9, 8	$\emptyset 0, \emptyset 1, \emptyset 2, \emptyset 3$	Шина $\emptyset$. Вход/выход разрядов 0—3
37, 34, 35, 33	NA0, NA1, NA2, NA3	Следующий адрес разрядов 0—3
6, 3, 4, 5	CR00, CR01, CR02, CR03	Регистр CR0. Выход разрядов 0—3
19, 20, 21, 22	CR30, CR31, CR32, CR33	Регистр CR3. Выход разрядов 0—3
29, 30, 28, 32	CS0, CS1, CS2, CS3	Управляющие входы регистра CR3
38	CS4	Управление переходом
47	CS5	Разрешение выдачи данных регистра CR0
18, 26, 27	CS6, CS7, CS8	Управление шинами A и $\emptyset$
46	C_{in}	Входной перенос
2	C_{out}	Выходной перенос
31	D_{in}	Вход данных в CR3
39	B	Вход условного перехода
23	$\overline{XB}$	Вход/выход шины-расширителя
40	$\overline{RST}$	Сброс
45	CLK	Вход синхронизации
1, 24	$U_{п1}$	Напряжение источника питания —5,2 В
25, 48	$U_{п2}$	Напряжение источника питания —2,0 В
12, 36	$U_{п3}$	Напряжение источника питания 0 В
7, 17	$U_{п4}$	Напряжение источника питания 0 В для выходных эмиттерных повторителей

гистром CR2 управляют сигналы IC0—IC3 через схему NAL. Загрузка регистра CR2 производится с магистралей I по командам JIN или JL2. Регистр CR2 может запоминать адреса ячейки памяти управления при выполнении последующих операций. Например, CR2 может хранить вектор прерывания, который, при необходимости, можно вновь переписать в регистр CR0.

Регистр состояния CR3 обычно используется для хранения флажковых состояний. Этот 4-разрядный регистр может загружаться информацией с шин NA или I, причем любой разряд регистра можно установить в состояние лог. 1 или лог. 0 с помощью входа D_{in} . Информация с выходов регистра CR3 постоянно подается на шину состояний CR3 и в сочетании с внешней информацией может использоваться для выработки условий ветвления. Любой разряд регистра можно выбрать, направить в шину $\overline{XB}$ и далее на схему NAL для формирования условий перехода. При использовании нескольких БИС K1800BY1, работающих параллельно, шина $\overline{XB}$ является общей для всех БИС, из нее и выбирается нужный разряд для организации перехода. Работой

регистра CR3 управляют сигналы CS0—CS3. Регистр CR3 применяется для расширения адреса управляющей памяти. Это удобно при страничной организации управляющей памяти. Тогда адрес страницы содержится в регистре CR3, а адрес слова микрокоманды — в регистре CR0. При двух БИС K1800BY1 каждая страница может содержать 256 слов (8 разрядов CRO) при числе страниц 16 (4 разряда CR3) или 256 (8 разрядов CR3). Регистр CR3 можно использовать и для запоминания кода операции машиной команды, выдавая при необходимости отдельные разряды кода в шину $\overline{XB}$.

Регистры CR4—CR7 соединены в стек, работающий по принципу последним вошел — первым вышел (LIFO). Он служит для вложения подпрограмм внутрь микропрограммы. Адрес возврата загружается в регистр CR4 и передается к регистру CR7, при выходе из подпрограммы содержимое регистра CR4 поступает в регистр CR0. Внутри БИС 4-регистровый стек можно дополнить регистром CR1. В общем случае глубину стека можно увеличить до требуемой с помощью подключения внешних регистров

с CR7 через двунаправленные шины I или Ø. Контроль за выполнением стека осуществляется чтением содержимого регистра CR7 через шину I или Ø. Наличие отличной от нуля информации говорит о заполнении стека. При выдаче информации освободившиеся регистры стека заполняются нулями. Работой стека управляют сигналы IC0—IC3, поступающие на схему NAL. Сигналы CS6—CS8 управляют связью стека с шинами I и Ø.

Инкрементор I_{nc} содержит четыре разряда. Он применяется в команде INC для выработки приращения адреса при последовательной выборке команд из управляющей памяти. Когда регистр CR1 используется в качестве индексного счетчика, I_{nc} формирует приращение для счета микрокоманд. Инкрементор используется при выполнении команд ISR, BSR и ILA для выработки адреса возврата. Работой I_{nc} управляют сигналы IC0—IC3 и C_{in} . Для увеличения разрядности инкременторы нескольких БИС K1800BV1 соединяются между собой через выходы входного C_{in} и выходного C_{out} переносов, причем вывод C_{out} БИС младших разрядов соединяется непосредственно с выводом C_{in} БИС, формирующей следующие старшие разряды. Для работы на вход C_{in} самого младшего разряда нужно подать лог. 1. Выход C_{out} самого старшего разряда при операции счета может быть использован как указатель превышения максимального числа счета, записанного в регистре CR1.

Триггер RSQ повторения с логической схемой служит для организации режима повторений. По команде RSR в регистр CR1 вводится число повторений, а в триггер RSQ записывается лог. 1. При достижении максимального числа счета повторений в регистре CR1 триггер RSQ устанавливается в нуль. По состоянию триггера RSQ в БИС K1800BV1 определяется время повторения микрокоманды.

Общими управляющими сигналами для триггеров в регистрах БИС K1800BV1 являются сигналы синхронизации CLK и общего сброса $\overline{RST}$, который воздействует на триггеры только при наличии сигнала синхронизации. Для сброса регистров сигнал, $\overline{RST} = 0$. При этом первым импульсом синхросигнала устанавливаются в нуль триггеры в регистрах CR0—CR3. Для установлики в нулевое состояние регистров стека необходимы еще 4 импульса синхронизации, так как лог. 0 передается в следующий регистр с каждым импульсом синхросигнала.

Управление работой БИС K1800BV1 осуществляется сигналами IC0—IC3, под воздействием которых вырабатываются 16 команд для формирования следующего адреса управляющей памяти и сигналами CS0—CS8, определяющими источники и направления передачи данных внутри БИС. Выполнение некоторых команд зависит от состояния входа В (условие перехода),

шины расширения $\overline{XB}$, триггера RSQ и входа CS4. В табл. 11.10 приведен полный набор команд, выполняемых в БИС, их обозначение, код и соответствующие им передачи между регистрами.

По команде INC текущий адрес из регистра CR0 передается в инкрементор, где суммируется с входным переносом C_{in} и пересылается обратно в регистр CR0. Эта команда используется для последовательного перехода от данной микрокоманды к другой.

Команда JMP обеспечивает безусловный переход на другой адрес управляющей памяти. Конкретный адрес перехода принимается непосредственно со входов NA, на которые он обычно поступает из поля текущей микрокоманды. По положительному фронту синхросигнала адрес со входов NA поступает в адресный регистр CR0. По команде JIB происходит переход по адресу на шине I. Обычно шина I является внутренней шиной данных процессора и может быть использована для ввода начального адреса микропрограммы. Перед поступлением в адресный регистр CR0 информация на шине I может модифицироваться или маскироваться по И информацией со входов NA и поля микрокоманды. По команде JIN происходит переход по адресу на шине I, маскированному по И информацией на входах NA так же, как по команде JIB. Кроме того, информация с шины I загружается в регистр CR2 и может быть использована в последующих микрокомандах.

При выполнении команды JPI происходит переход по адресу, записанному в регистре CR2 и маскированному по И данными со входов NA. Код адреса, предварительно записанный по командам JIN или JL2 в регистр CR2, используется для начала новой последовательности микрокоманд или для модификации существующей последовательности микрокоманд.

Команда JEP осуществляет переход к информации на шине Ø. Перед загрузкой в регистр CR0 эта информация маскируется по И информацией с входов NA. Команда JEP дает дополнительную возможность выработать начальный адрес или модифицировать существующую последовательность микрокоманд. По команде JL2 происходит одновременная загрузка регистра CR0 информацией со входов NA и регистра CR2 информацией с шины I. Информация в регистре CR2 сохраняется при дальнейшем выполнении программы, что можно использовать для хранения вектора прерывания или адреса новой операции. По команде JLA происходит переход к информации на входах NA и загружается регистр CR1 содержимым адресного регистра CR0, сложенного в инкременторе с входным переносом ($CR0 + C_{in}$). Эта команда используется при обработке прерываний или при повторении с сохранением адреса возврата.

Команда JSP является безусловным переходом к подпрограмме. Адрес перехода подается на входы NA и загружается в регистр CR0. Текущий адрес из регистра CR0 проходит через инкрементор и поступает в стек, в регистр CR4. В зависимости от состояния триггера RSQ команда JRS выполняется одним из двух способов.

1. Без повторения. Триггер RSQ находится в состоянии лог. 0. Текущий адрес из CR0 через инкрементор передается в стек. Стек проталкивается на один уровень. При возврате из подпрограммы в адресный регистр пересылается из стека записанный ранее адрес и происходит возврат к основной программе.

2. С повторением. Используется для многократного повторения одной и той же подпрограммы. Перед выполнением этой команды триггер RSQ должен быть установлен в состояние лог. 1 по команде RSR. Инкрементор блокируется и содержимое адресного регистра без приращения передается в стек, в регистр CR4. Информация в стеке продвигается на один уровень. При возврате из подпрограммы из стека выбирается ранее записанный адрес и происходит возврат на ту же команду JSR. Повторение подпрограммы производится требуемое число раз, которое определяется состояниями триггера RSQ, регистра CR1 и сигналом $\overline{XB}$. При выполнении команды JSR внутренний входной перенос C_{in}^* инкрементора описывается уравнением

$$C_{in}^* = C_{in} [\overline{RSQ} + (CR1 - 3CR1 - -2CR1 - 1CR1 - 0) \overline{XB}]$$

Команда RTN является командой безусловного возврата из подпрограммы. Содержимое регистра CR4 стека передается в адресный регистр CR0. Команда RTN используется после команды JSR для однократного и многократного повторений, что определяется состоянием триггера RSQ: если RSQ = 0, происходит обычно возврат, выдача информации из стека и содержимое регистра CR4 переписывается в CR0; если RSQ = 1, кроме выдачи из стека и загрузки регистра CR0 осуществляется приращение числа повторений, хранящегося в CR1. В режиме повторения команда RTN будет работать до тех пор, пока CR1 не достигнет конечного значения счета (заполнится 1). При этом сбрасывается триггер RSQ. Как и в команде JSR, управление окончанием счета осуществляется сигналом $\overline{XB}$, который является общим для всех БИС K1800BY1, работающих параллельно.

Команда RSR устанавливает режим повторения. По этой команде триггер RSQ устанавливается в 1, в регистр CR1 со входов NA загружается число повторений в дополнительном коде. При выполнении команды RSR содержимое адресного регистра CR0 изменяется инкрементором: $CR0 + C_{in} \rightarrow CR0$, что обеспечивает переход к

Таблица 11.10

Операция	Код операции				Содержание операции
	IC3	IC2	IC1	IC0	
×	×	×	×	×	Способ
INC	1	1	0	0	Приращение адреса
JMP	0	0	1	0	Переход по адресу NA
JIB	1	0	0	0	Переход по адресу I
JIN	1	0	0	1	Переход по адресу I, загрузка CR2
JPI	1	0	1	0	Переход к исходной команде
JEP	1	1	1	0	Переход по адресу $\emptyset$
JL2	0	0	0	1	Переход к NA и загрузка CR2
JLA	0	0	1	1	Переход к NA и загрузка CR1
JSR	0	0	0	0	Переход к подпрограмме
RTN	1	1	1	1	Возврат из подпрограммы
RSR	1	1	0	1	Повторение подпрограммы
RPI	1	0	1	1	Повторение команды
BRC	0	1	0	1	Условный переход к NA, приращение адреса
BSR	0	1	0	0	Условный переход к подпрограмме, приращение адреса
ROC	0	1	1	1	Возврат из подпрограммы по условию, переход по адресу NA
BRM	0	1	1	0	Условный переход и модификация адреса

Примечание. Здесь и далее «×» — безраз-

$\overline{RST}$	Условие перехода или повторения	Информация на выходах регистров и триггера				
		CR0	CR1	CR2	Стек CR4—CR7	RSQ
0	×	0	0	0	CR0 → CR4	0
1	×	CR0 + C _{in}	—	—	—	—
1	×	NA	—	—	—	—
1	×	INA	—	—	—	—
1	×	INA	—	I	—	—
1	×	CR2NA	—	—	—	—
1	×	∅NA	—	—	—	—
1	×	NA	—	I	—	—
1	×	NA	CR0 + C _{in}	—	—	—
1	$\overline{RSQ} + RIN\overline{XB} = 0$	NA	—	—	CR0 → CR4	—
1	$\overline{RSQ} + RIN\overline{XB} = 1$	NA	—	—	CR0 + C _{in} → CR4	—
1	$\overline{RSQ} + RIN\overline{XB} = 0$	CR4	CR1 + C _{in}	—	CR4 → CR0	—
1	$\overline{RSQ} + RIN\overline{XB} = 1$	CR4	—	—	CR4 → CR0	0
1	×	CR0 + C _{in}	NA	—	—	1
1	$\overline{RSQ} + RIN\overline{XB} = 0$	—	CR1 + C _{in}	—	—	—
1	$\overline{RSQ} + RIN\overline{XB} = 1$	CR1NA	—	—	—	0
1	$\overline{XB} (CS4 + \overline{B}) = 0$	NA	—	—	—	—
1	$\overline{XB} (CS4 + \overline{B}) = 1$	CR0 + C _{in}	—	—	—	—
1	$\overline{XB} (CS4 + \overline{B}) = 0$	NA	—	—	CR0 + C _{in} → CR4	—
1	$\overline{XB} (CS4 + \overline{B}) = 1$	CR1 + C _{in}	—	—	—	—
1	$\overline{XB} (CS4 + \overline{B}) = 0$	CR4	—	—	CR4 → CR0	—
1	$\overline{XB} (CS4 + \overline{B}) = 1$	NA	—	—	—	—
1	CS4 = 1	NA	—	—	—	—
1	CS4 = 0	CR01 = NA0B CR01 = NA1XB CR02 = NA2 CR03 = NA3	—	—	—	—

личное состояние, «—» — состояние не изменяется.

Таблица 11.11

RST	Управляющие входы				Выходы регистра CR3				XB
	CS3	CS2	CS1	CS0	CR3-3	CR3-2	CR3-1	CR3-0	
0	×	×	×	×	0	0	0	0	—
1	0	0	0	0	—	—	—	Din	CR3-0
1	0	0	0	1	—	—	Din	—	CR3-1
1	0	0	1	0	—	Din	—	—	CR3-2
1	0	0	1	1	Din	—	—	—	CR3-3
1	0	1	0	0	—	—	—	—	CR3-0
1	0	1	0	1	—	—	—	—	CR3-1
1	0	1	1	0	—	—	—	—	CR3-2
1	0	1	1	1	—	—	—	—	CR3-3
1	1	0	0	0	—	—	—	Din	1
1	1	0	0	1	—	—	Din	—	1
1	1	0	1	0	—	Din	—	—	1
1	1	0	1	1	Din	—	—	—	1
1	1	1	0	0	0	0	0	0	1
1	1	1	0	1	13	12	11	10	1
1	1	1	1	0	NA3	NA2	NA1	NA0	1
1	1	1	1	1	—	—	—	—	1

следующей за RSR команде. Регистр CR1, определяющий число повторений, работает в счетном режиме. Счет заканчивается при достижении максимального числа счета, когда во всех разрядах устанавливаются лог. 1. Установка триггера RSQ в состояние лог. 1 для команд JSR и RTN означает режим повторения подпрограммы, а для команды RPI — одной и той же микрокоманды.

Команда RPI используется для повторения микрокоманды. Предварительно по команде RSR триггер RSQ устанавливается в состояние лог. 1. По команде RPI адресный регистр CR0 сохраняет адрес повторяемой команды. Содержимое регистра CR1 с помощью инкремента увеличивается на 1 при каждом повторении микрокоманды, пока не достигнет максимального значения — лог. 1 во всех разрядах. Затем триггер RSQ устанавливается в состояние лог. 1, а содержимое регистра CR1, предварительно маскированное по И информацией со входов NA (CR1 NA), загружается в регистр CR0. Поскольку после окончания режима повторения регистр CR1 содержит все лог. 1, это означает, что в адресный регистр CR0 загружается информация со входов NA. Сигнал на общей шине XB определяет, во всех ли БИС K1800BV1, работающих параллельно, регистры CR1 достигли максимального значения счета (все лог. 1). Когда режим повторения не требуется (предварительно не выполняется команда RSR и триггер RSQ находится в лог 0), по команде RPI осуществляется непосредственный переход по адресу, содержащемуся в регистре CR1 в сочетании с информацией на входах NA (CR1 NA → CR0). В этом случае команда RPI обычно используется после команды

JLA, по которой в регистр CR1 загружается адрес возврата, а по команде RPI он возвращается в регистр CR0 после маскирования по И информацией со входов NA.

Команда BRC является условным переходом по адресу, указанному на входах NA. Условие перехода определяется выражением $\overline{XB} (CS4 + \overline{B})$, где XB — информация на внешней шине, общей для нескольких БИС; $\overline{B}$ — сигнал перехода. Когда условие перехода равно 0, команда BRC выполняет непосредственный переход по адресу, содержащемуся на входах NA. Когда $\overline{XB} (CS4 + \overline{B}) = 1$, текущий адрес в регистре CR0 через инкрементор увеличивается на единицу и вновь загружается в CR0. Микропрограмма переходит к выполнению микрокоманды, расположенной в следующей ячейке управляющей памяти $(CR0 + C_{in}) \rightarrow CR0$. В устройстве, содержащем несколько БИС K1800BV1, сигнал управления CS4, выбирает БИС, у которой вход B служит для принятия решения о переходе. Для условного перехода можно использовать также один из разрядов регистра CR3, как это показано в табл. 11.11.

Команда BSR условного перехода к подпрограмме так же, как и команда BRC, определяется сигналами XB и B. Переход к подпрограмме осуществляется при $\overline{XB} (CS4 + B) = 0$. Адрес со входов NA загружается в регистр CR0, текущий адрес из регистра CR0 через инкрементор пересылается в стек $(CR0 + C_{in} \rightarrow CR4)$. Когда выражение перехода равно лог. 1, текущий адрес проходит через инкрементор и вновь загружается в адресный регистр CR0 $(CR0 + C_{in} \rightarrow CR0)$. Команда BCR, в отличие от команды JSR, не зависит от

Состояния триггера RSQ. Поэтому подпрограмма, к которой происходит обращение по команде BSR, может быть вложена в последовательность микрокоманд и повторяться с помощью команд JSR/RTN без увеличения содержимого счетчика циклов. Возврат из подпрограммы, переход к которой произошел по команде BSR, происходит по команде ROC.

Команда ROC возврата по условию используется совместно с командой BSR для размещения подпрограммы внутри повторяющейся последовательности. При $\overline{XB}$ ($CS4 + \overline{B}$) = 0 выполняется возврат по адресу из стека $CR4 \rightarrow CR0$. При $\overline{XB}$ ($CS4 + \overline{B}$) = 1 выполняется прямой переход по адресу на входах NA. Выполнение этой команды не зависит от состояния триггера RSQ.

Команда BRM осуществляет переход по адресу, содержащемуся на входах NA, с модификацией младших разрядов адреса с помощью сигналов на входах В и $\overline{XB}$. В адресный регистр при $CS4 = 0$ загружается следующая информация: $CR0-3 = NA3$, $CR0-3 = NA2$, $CR0-1 = NA1XB$, $CR0-0 = NAOB$. Такая модификация адреса позволяет осуществлять ветвление на несколько направлений. Сигнал $CS4$ управляет режимом работы команды (см. табл. 11.10). При $CS4 = 1$ режим модификации блокируется и происходит переход к микрокоманде по адресу NA. При параллельном включении нескольких БИС K1800BV1 сигналами $CS4$ можно блокировать входы В и $\overline{XB}$ и управлять ими лишь в тех БИС, где необходимо модифицировать два младших разряда адреса.

Сигналы В, $\overline{XB}$ и $CS4$ используются в режимах повторения, перехода и совместно с определенными командами влияют на выполнение того или иного действия. При параллельном включении нескольких БИС выбор нужного входа В определяется управляющим сигналом $CS4$. Сигналы со входа В и шины $\overline{XB}$, общей для всех БИС, подготавливают БИС к работе. Условие перехода определяется выражением: $\overline{XB}$ ($CS4 + \overline{B}$). Сигнал на входе В действует на БИС, при $CS4 = 0$. Переход происходит, когда $\overline{B} = 1$ и шина $\overline{XB}$ распространяет это условие на все БИС, формирующие адрес.

Команда BRM является особой командой перехода, сигналы В и $\overline{XB}$ определяют отдельные разряды адресного регистра, а именно: $CR0-3 = NA3$, $CR0-2 = NA2$, $CR0-1 = NA1XB$, $CR0-0 = NAOB$. Управляющий сигнал $CS4$ может блокировать действие сигналов перехода. При $CS4 = 0$ информация на входах $CR0$ удерживается, при $CS4 = 1$ информация со входов NA поступает в $CR0$. Это свойство используется при построении схемы формирования адреса из нескольких БИС K1800BV1. Когда для формирования адреса используются две БИС K1800BV1 с $CS4 = 0$, можно

осуществить переход по следующему адресу с модификацией четырех разрядов адреса (8 направлений перехода): $NA7$, $NA6$, $NA5XB$, $NA4B2$, $NA3$, $NA2$, $NA1XB$, $NA0B1$, здесь $B1$ и $B2$ — сигналы перехода для младшего и старшего БИС; $\overline{XB}$ — сигнал, общий для обеих БИС.

Команды повторения JSR, RTN, и RPI связаны с сигналом $\overline{XB}$, а не В. Повторение зависит от значения выражения $\overline{RSQ} + R_{in}\overline{XB}$ и определяется комбинацией состояний триггера RSQ, счетчика повторений CR1 (причем $R_{in} = CR1-3$, $CR1-2$, $CR1-1$, $CR1-0$) и сигнала $\overline{XB}$, общего для нескольких БИС. В общем случае линия $\overline{XB}$ обеспечивает расширение адреса. Сигналы в линии вырабатывают БИС K1800BV1. Линией $\overline{XB}$ управляет вход В, обеспечивающий распространение разрешения перехода на объединенные БИС. В соответствии с состоянием сигналов $CS0-CS3$, управляющих выборкой, в линию $\overline{XB}$ можно выдать определенный разряд регистра состояний CR3. Чтобы принять решение о переходе, выбранный разряд регистра CR3 поступает по линии $\overline{XB}$ во все параллельно работающие БИС K1800BV1. Сигналы управления $CS0-CS3$ действуют независимо от сигналов на входах IC0-IC3 и для организации переходов должны программироваться.

Регистр повторения CR1 и триггер RSQ управляют линией $\overline{XB}$ при выполнении команд JSR, RTN или RPI. Если $RSQ = 1$ (БИС K1800BV1 в режиме повторения) и регистр CR1 содержит число повторений, на линии $\overline{XB}$ устанавливается лог. 0. Являясь общей для всех параллельно работающих БИС K1800BV1, она управляет последовательностью счета циклов в регистрах CR1. Во время повторений передача сигналов с разрядов регистра состояний CR3 в линию $\overline{XB}$ блокируется. В отсутствии режима повторения $RSQ = 0$, линия $\overline{XB}$ не влияет на выполнение команд JSR, RTN, RPI. На линию $\overline{XB}$ можно воздействовать внешними сигналами, путем задания через эмиттерный повторитель (по схеме Проводное И) лог. 0. В табл. 11.11 приведены состояния линии $\overline{XB}$ и управляющих сигналов $CS0-CS4$ при выполнении различных команд.

Сигналы $CS0-CS3$ управляют состоянием регистра CR3. Этот регистр обычно используется как память состояний микропрограммы. Содержимое регистра постоянно держится на внешних контактах $CR3 = 0$ — $CR3-3$. Информация в регистр загружается с шин I, NA или со входа D_{in} . Всеми операциями загрузки CR3 управляют комбинации сигналов $CS0-CS3$ и сигнал сброса RST. Сигналы $CS0$, $CS1$ и $CS3$ управляют также выборкой соответствующего разряда регистра CR3 в линию $\overline{XB}$. С помощью

сигналов CS0 и CS1 выбираются один из четырех разрядов регистра CR3 для записи в него информации со входа D_{in} , когда $CS2 = 0$, а также источник информации — шина I или входы NA при параллельной загрузке регистра CR3. В табл. 11.11 показаны все варианты загрузки регистра CR3. Сигнал CS5 управляет выдачей содержимого адресного регистра CR0 на внешние контакты. Выдача происходит при $CS5 = 1$. Когда $CS5 = 0$, передача информации блокируется и на внешних контактах адресной шины CR0 устанавливаются лог. 1. Эта единица позволяет подключать к адресной шине другие источники адреса управляющей памяти. При отключении БИС от адресной шины данные регистра CR0 используются для выполнения внутренних операций.

Шины I и $\emptyset$ служат для ввода-вывода информации регистров БИС. Вводом и выводом управляют сигналы CS6—CS8, которые обеспечивают и выбор нужного регистра. Когда выдача данных не производится, на выходах I, $\emptyset$ БИС K1800BY1 принудительно устанавливается лог. 1, которая не мешает работе шин I, $\emptyset$ от других внешних устройств и позволяет использовать шины для ввода информации в БИС. Сигналы CS6—CS8 управляют выбором данных из регистров CR1, CR2 или одного из регистров стека CR4 или CR7. Сигналом CS6 выбирается одна из шин I или $\emptyset$, а сигналы CS7, и CS8 управляют источником данных для выдачи. Выборка данных в шины из регистров CR1 и CR2 зависит только от сигналов CS6—CS8, а выборка из CR4 и CR7

зависит еще от кода IC0—IC3 управляющей команды. Считывание регистра CR7 происходит при выполнении команд JSR или BSR, когда переход состоялся и стек заполняется. Воздействие сигнала $\overline{RST} = 0$ на стек также позволяет выдавать данные из CR7 на выходную шину.

Команды RTN, ROC, работающие с выборкой из стека, при выполнении перехода устанавливают лог. 1 на выходах I и $\emptyset$ БИС. Все управляющие команды, которые не используют стек, разрешают считывание в шины I и $\emptyset$ данных из регистра CR4. В табл. 11.12 показаны все передачи данных, управляемые сигналами CS6—CS8. Эти сигналы используются также для управления шинами I и $\emptyset$ в режиме приема данных для загрузки информации в регистр CR7 стека. В табл. 11.13 приведены операции со стеком, выборка шин и действие управляющих сигналов CS6—CS8. При выполнении команд JIB, JIN и JL2 регистры CR0 и CR2 принимают информацию при любых управляющих сигналах CS6—CS8. Когда выполняются эти команды, внутренние формирователи шины I вырабатывают на выходах сигналы лог. 1, которая предотвращает состязания между данными внутреннего регистра и входной информации с шины I.

Сигнал выходного переноса C_{out} связан с входным переносом C_{in} и содержимым регистра CR1 или CR0, как показано в табл. 11.14. В табл. 11.15 приведены максимальные значения динамических параметров БИС K1800BY1 при температуре $+25^\circ\text{C}$.

Таблица 11.12

Код управления IC0—IC3	$\overline{RST}$	CS7	CS8	CS6=0		CS6=1	
				Шина $\emptyset$	Шина I	Шина $\emptyset$	Шина I
×	×	0	0	1	CR1	CR1	1
JSR+BSR XB	×	0	1	1	CR7	CR7	1
×	0	0	1	1	CR7	CR7	1
RTN+ROCB	1	0	1	1	1	1	1
JSR+RTN+(BSR+ROS) XB	1	0	1	1	CR4	CR4	1
×	×	1	0	1	CR2	CR2	1
×	×	1	1	1	1	1	1

Таблица 11.13

IC0—IC3	$\overline{RST}$	$\overline{XB}$	RSQ	CS6	CS7	CS8	Последующее состояние регистров стека			
							CR4	CR5	CR6	CR7
RTN+RPI	0	×	1	×	×	×	CR1	CR4	CR5	CR6
RTN+RPI	0	×	0	×	×	×	CR0	CR4	CR5	CR6
RTN+RPI	0	×	×	×	×	×	CR0	CR4	CR5	CR6
JSR	1	×	0	×	×	×	CR0+C _{in}	CR4	CR5	CR6
JSR	1	1	1	×	×	×	CR0+C _{in}	CR4	CR5	CR6
JSR	1	0	1	×	×	×	CR0	CR4	CR5	CR6
BSR	1	1	×	×	×	×	—	—	—	—
BSR	1	0	×	×	×	×	CR0+C _{in}	CR4	CR5	CR6
RTN	1	×	×	×	0	×	CR5	CR6	CR7	0
RTN	1	×	×	×	1	×	CR5	CR6	CR7	0
RTN	1	×	×	0	0	1	CR5	CR6	CR7	1
RTN	1	×	×	1	0	1	CR5	CR6	CR7	0
ROC	1	1	×	×	×	×	—	—	—	—
ROC	1	0	×	×	0	0	CR5	CR6	CR7	0
ROC	1	0	×	×	1	×	CR5	CR6	CR7	0
ROC	1	0	×	0	0	1	CR5	CR6	CR7	1
ROC	1	0	×	1	0	1	CR5	CR6	CR7	0
JSR+BSR+RTN+ROS	1	×	×	×	×	×	—	—	—	—

Таблица 11.14

Управляющая команда IC0—IC3	RSQ	C _{out}
RPI+RTN	0	$C_{in}(CR0-3) \times (CR0-2)(CR0-1) \times (CP0-0)$
RPI+RTN	1	$C_{in}(CR1-3) \times (CR1-2)(CR1-1) \times (CR1-0)$
$\overline{RPI+RTN}$	×	$C_{in}(CR0-3) \times (CR0-2)(CR0-1) \times (CR0-0)$

Таблица 11.15

Вход	Выход	Максимальное значение задержки при t = 25°С, нс
CLK	CR0, CR3	16
CLK	I, Ø	30
CLK	$\overline{XB}$	21
CLK	C _{out}	23
C _{in}	C _{out}	7
IC0—IC3	Ø	33
IC0—IC3	$\overline{XB}$	21
IC0—IC3	C _{out}	26
CS7, CS8	I, Ø	24
CS0—CS4, B	$\overline{XB}$	18
CS6	I, Ø	11
CS5	CR0	10
$\overline{XB}$	I, Ø	31
RST	I, Ø	28

11.4. Синхронизатор

Синхронизатор K1800BE2 предназначен для выработки синхросигналов, необходимых для работы микросхем серии K1800 [25]. Число фаз выходных сигналов программируется от 1 до 4, длительность синхросигналов каждой фазы составляет один или два периода следования импульсов тактовой частоты. Для получения более четырех синхросигналов используется параллельное включение синхронизаторов.

Структура синхронизатора K1800BE2 показана на рис. 11.5, а назначение его выводов приведено в табл. 11.16. Синхросигналы вырабатываются из непрерывной последовательности тактовых импульсов, подаваемых на вход С. Синхросигналы на выходах Ø1—Ø4 синхронизатора вырабатываются в зависимости от кода управляющих сигналов S4, S5, как показано в табл. 11.17. При отсутствии выработки синхросигналов — импульсов отрицатель-

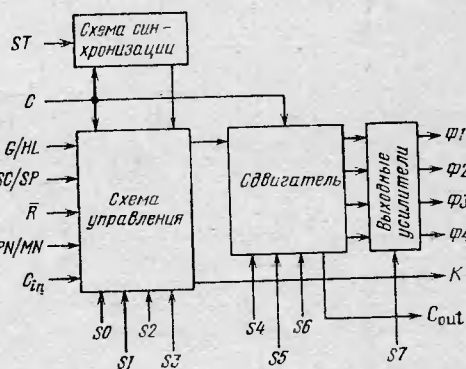


Рис. 11.5. Структурная схема синхронизатора K1800BE2

Таблица 11.16

Номер вы- хода	Обозна- чение	Назначение
2, 23, 22, 21	Ø1, Ø2, Ø3, Ø4	Выход синхросигнала фаз 1, 2, 3, 4
11, 8, 9, 10	S0, S1, S2, S3	Управление длительно- стью синхросигналов
20, 19	S4, S5	Управление выбором числа фаз
18	S6	Управление наращива- нием
16	S7	Управление длительно- стью широкого синхро- сигнала
5	C _{in}	Разрешение выработки синхросигналов
3	C _{out}	Признак последней фа- зы синхросигнала
13	G/HL	Управление запуском и остановкой
14	RN/MN	Управление рабочим и профилактическим ре- жимами
15	SC/SP	Управление импульсным и тактовым режимами
4	K	Выход контроля состоя- ния схемы
6	C	Тактовый вход
7	ST	Пуск
17	$\bar{R}$	Сигнал сброса
12	U _ш	Напряжение источника питания —5,2 В
24, 1	U _{пз} , U _{па}	Напряжение источника питания 0 В для логиче- ских элементов, выход- ных эмиттерных повтори- телей

ной полярности, на выходах Ø1—Ø4 под-
держивается высокий уровень Н сигнала.
Длительность импульсов синхросигна-
лов можно изменять заданием на входы
S0—S3, каждый из которых управляет

Таблица 11.17

Состояние входов		Рабочие выходы (фазы синхросигналов)
S4	S5	
Н	Н	Ø1
Л	Н	Ø1, Ø2
Н	Л	Ø1—Ø3
Л	Л	Ø1—Ø4

синхросигналом на выходах Ø1—Ø4 со-
ответственно, уровней Н или Л. При зада-
нии уровня Н длительность импульса син-
хросигнала равна периоду следования так-
товых импульсов, а при задании уровня
Л длительность увеличивается вдвое.

Поступление уровня Н на вход сброса
 $\bar{R}$ переводит синхронизатор в начальное
состояние, при этом на его выходах уста-
навливается уровень Н.

Сигнал пуска ST представляет собой
скачок из уровня Л в Н, он запускает
синхронизатор в режиме профилактики и
позволяет вырабатывать одиночные им-
пульсы в рабочем режиме. Пуск является
внешним асинхронным сигналом и внутри
синхронизатора с помощью двух MS-триг-
геров преобразуется в синхронный по от-
ношению к тактовой последовательности
сигнал ST*. Назначение входов G/HL,
SC/SP, RN/MN поясняется табл. 11.18.

В режиме профилактики, когда RN/MN =
= Н, непрерывная выработка синхросиг-
налов осуществляется при подаче сигнала
запуска — уровня Л на вход 3/0 и поступ-
лении исполнительного сигнала ST. По-
явление сигнала останов — уровня Н на
входе G/HL прекращает выработку синхро-
сигналов либо по окончании цикла, когда
на входе SC/SP уровень Л, либо по окон-
чании синхроимпульса (останов на фазе),
когда SC/SP = Н. Импульс или цикл син-
хросигналов вырабатывается от поступ-
ления каждого сигнала ST в зависимости
от состояния входа SC/SP, когда на вход
G/HL подан уровень Н. В режиме работы
RN/MN = Л выработка последователь-
ности синхросигналов происходит по си-
гналу запуска и прекращается по сигналу
останова в зависимости от состояния входа
SC/SP либо после окончания выработки
цикла синхросигналов (SC/SP = Л), либо
после окончания синхроимпульса (SC/SP =
= Н). Отдельный импульс или однократ-
ный цикл синхросигналов вырабатывается
от каждого сигнала ST так же, как в режи-
ме профилактики.

Вход S7 управляет длительностью широ-
кого синхроимпульса. При S7 = Л после
формирования последнего или одиночного
синхроимпульса на выходе фазы устанавли-
вается уровень Н, при этом синхроим-
пульс имеет нормальную длительность.
При S7 = Н выход фаз сохраняет свое
состояние. Если на выходе фазы был уровень
Л, то переход S7 из Н в Л приводит к вос-
становлению уровня Н на выходе и форми-
рованию синхроимпульса для триггеров в
микросхемах серии K1800.

Выход К служит для контроля состоя-
ния микросхемы. Его уровень К = Н со-
ответствует начальному состоянию схемы,
а К = Л — рабочему режиму.

Число фаз синхронизации можно уве-
личить путем использования нескольких
микросхем K1800BE2. При двух синхро-
низаторах (рис. 11.6) на входы S6 первой и
второй микросхем нужно подать уровни

Таблица 11.18

$\bar{R}$	RN/MN	G/HL	SC/SP	Режим работы		Сигнал управления
H	X	X	X	Сброс	X	X
L	H	H	H	Останов-ка	Единиичная фаза	Пуск $\bar{J}$
		H	L		Единиичный цикл	Пуск $\bar{J}$
		L	H	Запуск	Остановка на фазе	Запуск Пуск $\bar{J}$ Конец 3/0 $\bar{J}$
		L	L		Остановка в кон-це цикла	Запуск Пуск $\bar{J}$ Конец 3/0 $\bar{J}$
L	L	H	H	Останов-ка	Единиичная фаза	Пуск $\bar{J}$
		H	L		Единиичный цикл	Пуск $\bar{J}$
		L	H	Запуск	Остановка на фазе	Начало 3/0 $\bar{J}$ Конец 3/0 $\bar{J}$
		L	L		Остановка в кон-це цикла	Начало 3/0 $\bar{J}$ Конец 3/0 $\bar{J}$

L и H соответственно, выход C_{out} первой соединить со входом C_{in} второй, а выход C_{out} второй — со входом C_{in} первой микросхемы. Для одной микросхемы выход C_{out} соединяется с ее входом C_{in} . Сигнал на выходе C_{out} при непрерывной выработке синхросигналов совпадает с сигналом последней фазы. Если последняя фаза синхросигнала имеет двойную длительность, на выходе C_{out} импульс формируется только во время второй половины синхросигнала. При работе в импульсном режиме сигнал на выходе C_{out} совпадает с выбранным синхросигналом.

На рис. 11.7 и 11.8 приведены временные диаграммы работы синхронизатора в режимах профилактики и работы соответственно. В режиме профилактики, после поступления сигналов $\bar{R}$ и ST синхронизатор выдает синхросигналы на всех фазах. После появления сигнала Останов ($G/HL = H$) синхронизатор формирует последний цикл ($SC/SP = L$) синхросигналов и прекращает работу, при этом на всех выходах устанавливается уровень H. Поступление второго сигнала ST при $G/HL = H$ вызывает формирование лишь одного

цикла синхросигналов. В режиме работы, после поступления сигналов Сброс и Запуск происходит формирование синхросигналов на трех фазах, причем импульсы третьей фазы имеют удвоенную длительность. Появление сигнала останова ($G/HL =$

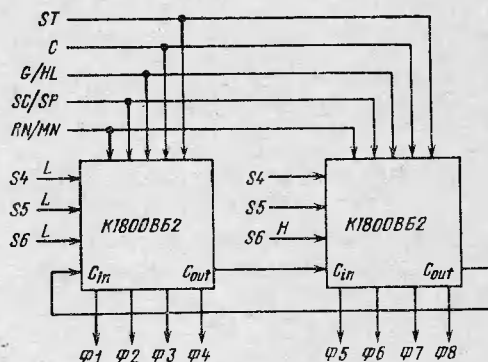


Рис. 11.6. Схема совместного использования двух синхронизаторов

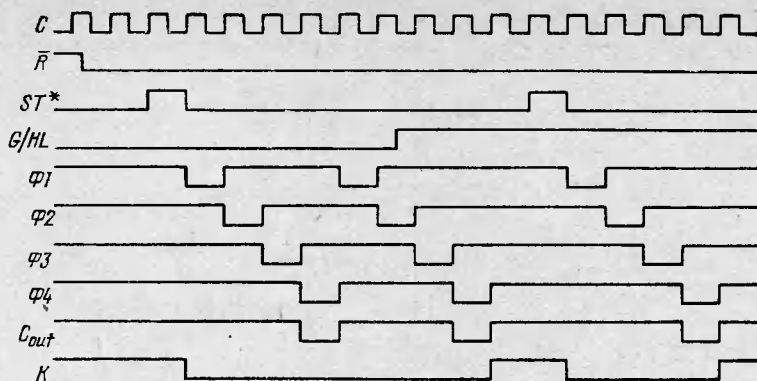


Рис. 11.7. Временные диаграммы работы синхронизатора в режиме профилактики

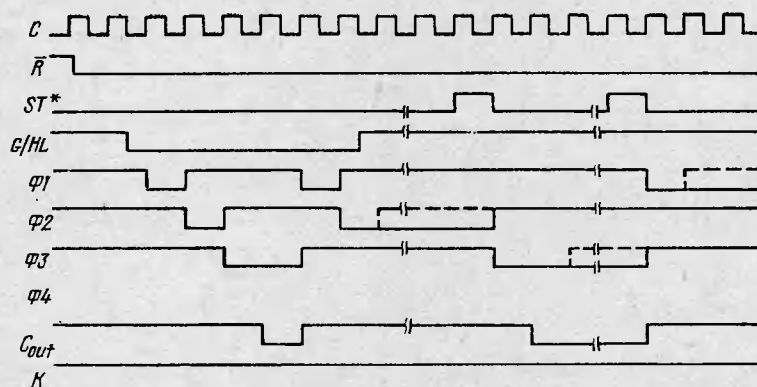


Рис. 11.8. Временные диаграммы работы синхронизатора в рабочем режиме при $RN/MN=L$, $SC/SP=H$, $S4=L$, $S5=H$, $S7=H$ ($S7=L$ — штриховая линия)

$= H$) при $SC/SP = H$ приводит к прекращению выработки синхросигналов, причем вторая фаза сохраняет уровень L , если $S7 = H$ или уровень H (см. штриховую линию на рис. 11.8), если $S7 = L$. В режиме Единичная фаза (табл. 11.18)

по сигналу Пуск формируется всего один импульс. Типовые значения основных динамических характеристик синхронизатора К1800ВБ2 при температуре $+25^\circ C$ приведены в табл. 11.19 и 11.20.

Таблица 11.19

Путь прохождения сигнала	Задержка, нс
Вход $C \rightarrow$ выходы $\phi 1-\phi 4$	7,5
Вход $C \rightarrow$ выход C_{out}	9,0
Вход $C \rightarrow$ выход K	6,4
$\bar{R} \rightarrow$ выходы $\phi 1-\phi 4$	6,8
$\bar{R} \rightarrow$ выход C_{out}	7,5

Таблица 11.20

Сигналы на входах/выходах	Время пред-установка, нс	Время удержания, нс
$S4 \rightarrow C$	8,0	-6,0
$S5 \rightarrow C_{out}$	8,0	-6,0
$G/HL \rightarrow C$	-1,5	0,5
$ST \rightarrow C$	-5,0	5,8
$C_{in} \rightarrow C$	3,0	10

11.5. Микросхема управления оперативной памятью

Таблица 11.21

Микросхема К1800ВТЗ вырабатывает адреса памяти, дополняет их для передачи данных главному процессору и выполняет арифметические, логические и сдвиговые операции над данными и адресами, проходящими через нее [18, 23]. Имея собственные АЛУ и массив из четырех 4-разрядных регистров, БИС выполняет 13 базовых функций АЛУ над семью возможными операндами и производит 17 операций передачи данных. Используется прямая, относительная и косвенная адресация памяти.

В процессоре информация от БИС К1800ВТЗ передается к главной памяти или периферийному устройству. В периферийных устройствах контроля, которые выполняют операции передачи данных с большой скоростью и не нуждаются в полном АЛУ, БИС К1800ВТЗ может использоваться как усеченное АЛУ и как средство сопряжения.

Структурная схема БИС управления оперативной памятью показана на рис. 11.9, а назначение выводов — в табл. 11.21. БИС К1800ВТЗ содержит шесть 4-разрядных регистров: MAP — регистр адреса памяти (адресный регистр), MDR — регистр данных, MP0 (PC) — счетчик программ, MP1 — MP3. Регистровый массив MP1—MP3 может использоваться в качестве индексного регистра, указателя стека, для записи адреса страниц. Оптимальное использование этого массива определяется разработчиком и может быть различным для различных устройств. Для ввода и вывода информации применяются пять 4-разрядных шин, три из которых (I, Ø, D) двунаправленные и две (входная A и выходная P) однонаправленные. Сигналы на четырех контактах PG/ZD, GG/OF, C_{in}/R — 1, C_{out}/R4, определяющие переполнение, признаки группового переноса, нуль, перенос и сдвиги, позволяют судить о состоянии АЛУ. В состав БИС К1800ВТЗ входят также схемы управления передачами информации между различными шинами и регистрами, дешифратор операций, мультиплексоры.

Возможны 17 следующих видов передачи данных: F Ø B — подключение регистрового массива к шине Ø; R Ø B — регистра данных к шине Ø, AIB — выходов АЛУ к шине I; BIB — шины D к шине I; FDB — массива регистров к шине D; ØDB — шины Ø к шине D; RDB — регистра данных к шине D; ADR — выходов АЛУ к регистру данных; BDR — шины D к регистру данных; ØDR — шины Ø к регистру данных; BRP — шины D к регистровому массиву; BAR — шины D к адресному регистру; PI Ø — поточная передача данных от шины I к шине Ø через регистр данных; PB Ø — поточная передача данных от шины D к шине Ø через регистр данных; PIB — поточная передача

Номер вывода	Обозначение	Назначение
14, 13, 15, 16	D0, D1, D2, D3	Шина D. Вход/выход разрядов 0—3
18, 20, 21, 19	A0, A1, A2, A3	Шина A. Выход/разрядов 0—3
6, 5, 4, 3	Ø0, Ø1, Ø2, Ø3	Шина Ø. Вход/выход разрядов 0—3
8, 9, 10, 11	I0, I1, I2, I3	Шина I. Вход/выход разрядов 0—3
38, 37, 33, 34	P0, P1, P2, P3	Шина P. Вход разрядов 0—3
23	PG/ZD	Разрешение группового переноса/выход сигнала проверки на нуль
2	GG/OF	Сигнал группового переноса/выход сигнала переполнения
35	C _{in} /R—1	Входной перенос/вход (выход) младшего разряда при сдвиге
22	C _{out} /R4	Выходной перенос/вход (выход) старшего разряда при сдвиге
43	CLK	Вход сигнала синхронизации
39, 40, 41, 42	MS0, MS1, MS2, MS3	Управляющие входы передачи данных
26	MS4	Разрешение выхода адреса
28	MS5	Управляющий вход
29, 31, 32, 30, 47, 46	MS6, MS7, MS8, MS9, MS10, MS11	Функциональные управляющие входы
44, 45	MS12, MS13	Управляющие входы адреса регистрового массива
27	MS14	Управляющий вход инвертора
1, 24	U _{п1}	Напряжение источника питания —5,2 В
25, 48	U _{п2}	Напряжение источника питания —2 В
12, 36	U _{п3}	Напряжение источника питания 0 В
7, 17	U _{п4}	Напряжение источника питания 0 В для выходных эмиттерных повторителей

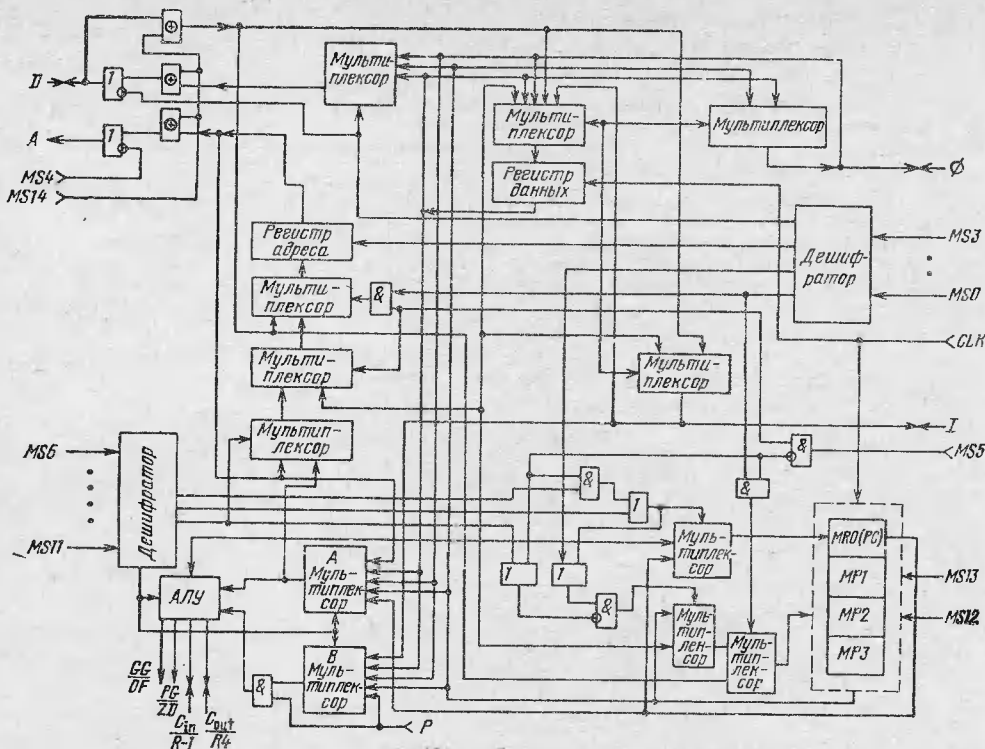


Рис. 11.9. Структурная схема БИС управления оперативной памятью К1800ВТ3

данных от шины I к шине D через регистр данных; NOR — нет передачи.

Четырехразрядные регистры MR0—MR3 образуют регистровый массив, который можно расширить до требуемого размера слова параллельным включением БИС К1800ВТ3. Все регистры в массиве построены на триггерах со структурой MS и запоминают информацию по положительному фронту синхросигнала. Регистр MPO используется в качестве счетчика программ. Для модификации адреса памяти в счетчике программ используется специальный вход от мультиплексора АЛУ. Регистровый массив загружается от шины данных D или с выходов АЛУ. Информация с регистров может передаваться шинам $\emptyset$ или D, АЛУ, адресному регистру.

Регистр данных MDP является элементом предварительного запоминания информации, поступающей в процессор или из него на шину данных. Этот регистр загружается информацией шины $\emptyset$, АЛУ, шин D или I. Информация из регистра MDR может быть направлена в шины D или $\emptyset$, адресный регистр или АЛУ. Регистр данных может использоваться в качестве аккумулятора, когда БИС К1800ВТ3 выполняет функции основного АЛУ, или при параллельной работе с БИС К1800ВС1 для достижения удвоенной точности вычислений.

Адресный регистр MAP содержит данные о текущем адресе памяти. В зависимости от типа адреса он может загружаться информацией шины данных, выходов АЛУ, шины $\emptyset$, регистра данных, регистрового массива или счетчика программ. Информация с адресного регистра поступает на выходную адресную шину и может подаваться в АЛУ для модификации адреса. Арифметическо-логическое устройство выполняет 7 основных операций: двоичное сложение и вычитание, ИЛИ, И, Исключающее ИЛИ, логические и арифметические сдвиги влево и вправо. С помощью этих операций реализуются различные преобразования, связанные с памятью, в том числе маскирование, поразрядные операции, расширение адресации, операции со счетчиком программ, загрузка и выгрузка стека, изменение выработанного адреса. Операндами для АЛУ являются данные с шины $\emptyset$, регистрового массива, шины I, регистра данных, адресного регистра, счетчика программы или выходов P. Выбор операций, выполняемых АЛУ, и источники операндов определяются дешифратором микрокоманд, управляемым сигналами MS6—MS11.

Вывод $C_{in}/R-1$ служит входом переноса C_{in} в младший разряд для арифметических операций и выходом R — 1 младшего разряда при сдвиге вправо. Вывод

Таблица 11.22

Управляющие сигналы						Функция передачи	Источник	Приемник	Информация на шинах			Следующее состояние DR
MS3	MS2	MS1	MS0	MS5	MS14				D	I	Ø	
0	0	0	0	X	X	NOP	Нет передачи		1	1	1	—
0	0	0	1	X	X	AIB	АЛУ	I	1	АЛУ	1	—
0	0	1	0	X	X	ØDR	Ø	DR	1	1	1	Ø
0	0	1	1	X	X	ADR	АЛУ	DR	1	1	1	АЛУ
0	1	0	0	0	0	BRF	$\overline{D}$	RF	1	1	1	—
				0	1		D	RF	1	1	1	—
				1	0	BAR	$\overline{D}$	AR	1	1	1	—
				1	1		D	AR	1	1	1	—
0	1	0	1	X	0	BIB	$\overline{D}$	I	1	$\overline{D}$	1	—
				X	1		D	I	1	D	1	—
0	1	1	0	X	0	BDR	$\overline{D}$	DR	1	1	1	$\overline{D}$
				X	1		D	DR	1	1	1	D
0	1	1	1	X	X	IDR	I	DR	1	1	1	I
1	0	0	0	X	0	FDB	$\overline{RF}$	D	$\overline{RF}$	1	1	—
				X	1		RF	D	RF	1	1	—
1	0	0	1	X	0	RDB	$\overline{DR}$	D	$\overline{DR}$	1	1	—
				X	1		DR	D	DR	1	1	—
1	0	1	0	X	0	ØRDB	$\overline{Ø}$	D	$\overline{Ø}$	1	1	—
				X	1		Ø	D	Ø	1	1	—
1	0	1	1	X	0	PIB	I	DR	$\overline{DR}$	1	1	I
				X	1		$\overline{DR}$	D				
				X	1		I	DR	DR	1	1	1
				X	1		DR	D				
1	1	0	0	X	X	FØB	RF	Ø	1	1	RF	—
1	1	0	1	X	X	RØB	DR	Ø	1	1	DR	—
1	1	1	0	X	0	PBØ	$\overline{D}$	DR	1	1	DR	$\overline{D}$
							DR	Ø				
							D	DR	1	1	DR	D
							DR	Ø				
1	1	1	1	X	X	PIØ	I	DR	1	1	DR	I
							DR	Ø				

Примечание. При выполнении операций BPF и BAR производится пересылка информации из АЛУ в регистровый массив.

Cout/R4 служит выходом для переноса из старшего разряда для арифметических операций. При операциях сдвига он соединяется со старшим сдвигаемым разрядом. Соединение вывода Cout/R4 со старшим разрядом позволяет контролировать знак числа при логических операциях в АЛУ. Вывод RG/ZD служит для выдачи сигнала группового переноса PG при арифметических операциях с ускорением переносом и выдает сигнал признака нуля ZD при логических

Таблица 11.23

Состояние входов		Выбираемый регистр	Состояние входов		Выбираемый регистр
MS13	MS12		MS13	MS12	
0	0	MR0 (PC)	1	0	MR2
0	1	MR1	1	1	MR3

Выполняемые операции и информация на выходах для сигналов MS6, MS7, MS8

Выполняемые операции и информация на выходах для сигналов MS6, MS7, MS8								
Значение сигналов MS9, MS10, MS11	000	001	010	011	100	101	110	111
000	Вычитание GG=0F PG=ZD Ø минус IP	Сложение GG=0F PG=ZD Ø плюс IP	Арифметический сдвиг влево GG=0F PG=ZD Ø	Указатель GG=GG PG=PG Ø плюс P	Логическое И C _{out} =R3 PG=ZD Ø (IP)	Логическое ИЛИ C _{out} =R3 PG=ZD Ø+(IP)	Арифметический сдвиг вправо C _{out} =R3, PG ZD, GG=I Ø	Исключающее ИЛИ C _{out} =R3 PG=ZD Ø ⊕ (IP)
	001	Ø минус DRP	DP	DP плюс P	Ø (DRP)	Ø+(DRP)	DR	Ø ⊕ (DRP)
	010	RF минус ØP	RF	RF плюс P	RF (ØP)	RF+(ØP)	RF	RF ⊕ (ØP)
	011	RF минус DRP	RF плюс DRP	AR	PC плюс P	RF (DRP)	RF+(DRP)	RF ⊕ (DRP)
100	GG=GG PG=PG	GG=GG PG=PG	Логический сдвиг влево GG=GG PG=GG	Индексация GG=GG PG=PG	C _{out} =R3 PG=ZD	Исключающее ИЛИ P C _{out} =R3 PG=ZD	Логический сдвиг вправо GG=I PG=ZD	Модификация GG=GG PG=PG
	Ø минус IP	Ø плюс IP	Ø	PC плюс IP	ØP	Ø ⊕ P	Ø	AR плюс P
	Ø минус DRP	Ø плюс DRP	DR	PC плюс DRP	DRP	DR ⊕ P	DR	AR плюс DRP
	RF минус ØP	RF плюс ØP	RF	PC плюс ØP	RFP	RF ⊕ P	RF	AR плюс ØP
111	RF минус DRP	RF плюс DRP	AR	PC плюс RFP	ARP	AR ⊕ P	AR	AR плюс RFP

Примечания. 1. Операнды, записанные слева, передаются в АЛУ через мультиплексор А; справа — через мультиплексор В.
 2. В операциях с одним операндом используется мультиплексор А.
 3. R3 — вход старшего разряда АЛУ.

Таблица 11.25

Операции АЛУ	Управляющие сигналы MS	Операции передачи данных (табл. 11.22)	MS5	Приемник информации		
	6 7 8 9 10 11			AR	RF	PC
Ø плюс P	0 1 1 0 0 0	BRF BAR	0 1	A D	D АЛУ	— —
DR плюс P	0 1 1 0 0 1	ADR или AIB	0 1	A АЛУ	— —	— —
RF плюс P	0 1 1 0 1 0	Все другие	0 1	A АЛУ	АЛУ АЛУ	— —
PC плюс F	0 1 1 0 1 1	BRF BAR Все другие	0 1 0 1	PC D PC АЛУ	D — — —	АЛУ* АЛУ АЛУ АЛУ
PC плюс IP	0 1 1 1 0 0	BRF BAR	0 1	— D	D —	АЛУ* —
PC плюс DRP	0 1 1 1 0 1	ADR или AIB	0 1	— АЛУ	— —	АЛУ —
PC плюс ØP	0 1 1 1 1 0					
PC плюс RFP	0 1 1 1 1 1	Все другие	0 1	— АЛУ	— —	АЛУ —
Вычитание	0 0 0 — — —	BRF	0	—	D	—
Сложение	0 0 1 — — —	BAR	1	D	—	—
Сдвиг влево	0 1 0 — — —	ADR или AIB	0	—	—	—
Логическое И	1 0 0 — — —		1	АЛУ	—	—
Логическое ИЛИ/ Исключающее ИЛИ Р	1 0 1 — — —	Все остальные	0	—	АЛУ	—
Сдвиг вправо	1 1 0 — — —		1	АЛУ	—	—
Исключающее ИЛИ/Модифика- ция	1 1 1 — — —					

и некоторых арифметических операциях. Выбор режима PG или ZD осуществляется сигналом MS9, управляющим функциями АЛУ.

Для всех арифметических операций вывод GG/OF является выходом группового переноса. Этот вывод используется также для выдачи сигнала переполнения при арифметических операциях над числами в дополнителном коде и при сдвиге влево. Состязания между сигналами GG и OF исключаются программным способом. Сигнал переполнения OF выдается только из старшего разряда слова. При выполнении логических операций в АЛУ на вывод GG/OF выдается лог. 1.

Шина данных D представляет собой 4-разрядную двунаправленную шину и служит для связи с памятью и периферийными устройствами. Управление передачей информации по этой шине осуществляется специальной схемой. Когда шина D не используется для выдачи данных, выходные формирователи устанавливаются в состояние лог. 1 (низкий уровень L сигнала).

Четырехразрядная односторонняя адресная шина предназначена для вывода информации из адресного регистра при адресации памяти или периферийных устройств. Она может применяться также для вывода результатов из АЛУ, предварительно записанных в адресный регистр. Передача информации по этой шине управляется сигналом MS4. При MS4 = 0 на адресной шине устанавливается лог. 1, которая не мешает другим блокам использовать адресную шину. Входная и выходная информация, передаваемая по шинам данных и адреса, проходит через схему инвертора, управляемого сигналом MS14. При MS14 = 0 эта информация инвертируется, при MS14 = 1 происходит прямая передача информации. Это позволяет передавать сигналы между процессором и входными/выходными шинами как в положительной, так и в отрицательной логике. Четыре Р входа, присоединенные непосредственно к АЛУ позволяют модифицировать адрес или применять константы при адресации памяти. Эти входы используются для организации операций со сте-

Таблица 11.26

Вход	Выход	Задержка сигнала, нс
C_{in}	I	22
C_{in}	OF, ZD	19
C_{in}	C_{out}	8
C_{out}	I	19
MS0, 1, 2, 3	D, $\emptyset$, I	21
MS4, MS14	A	13
MS6, 7, 8, 9, 10, 11	PG, GG	29
MS6, 7, 8, 9, 10, 11	R—I	28
MS12, MS13	D, $\emptyset$	25
MS12, MS13	I	43
MS14	I	20
D	I	16
$\emptyset$	I	32
$\emptyset$	D	14
$\emptyset$, I	OF, ZD	27
$\emptyset$, I	PG, GG	28
$\emptyset$, I	R—I	23
$\emptyset$, I	C_{out}	22
CLK	A	15
CLK	D, $\emptyset$	19
CLK	PG, GG	33
CLK	I	39
P	PG, GG	17
P	OF, ZD	18
P	C_{out}	17
P	I	23

ком и приращения содержимого счетчика программ для побайтно адресуемой памяти. Входы P могут служить и для других целей, например, для ввода/вывода информации в регистровый массив.

Четырехразрядные, двунаправленные шины I и $\emptyset$ связывают БИС K1800BT3 с другими частями процессора. Направление передач по этим шинам определяется управляющими сигналами MS0—MS3. Вид выполняемой функции и операнды для АЛУ выбираются с помощью управляющих сигналов MS6—MS11. Сигнал MS5 определяет место поступления результата операции, направляемого с выходов АЛУ. Выбор

функций АЛУ происходит параллельно с работой схемы управления передачей данных, что увеличивает производительность устройства. В БИС K1800BT3 синхронизация всех регистров, построенных на MS-триггерах осуществляется положительным фронтом синхросигнала.

Ниже приводятся описание воздействия управляющих сигналов и таблицы истинности состояний БИС. Сигналы MS0—MS14 управляют потоками информации внутри БИС. В табл. 11.22 приведены 17 функций передачи и их обозначение. Сигнал MS4 управляет работой буферов выдачи на адресную шину. При MS4 = 0 на шину A выдается лог. 1. При MS4 = 1 на шину A выдается содержимое регистра MAR в прямом (MS14 = 1) или инверсном (MS14 = 0) виде. Такая организация адресной шины используется при выполнении операции DMA прямого доступа к памяти и работе многопроцессорной системы на общую память. Сигналы MS12 и MS13 позволяют выбрать один из четырех регистров (табл. 11.23) регистрового массива для загрузки и считывания. Когда требуется использовать регистр MR0 в качестве счетчика программ (PC), его выбор производится автоматически, независимо от сигналов MS12 и MS13. Операциями АЛУ и выборкой операндов управляют сигналы MS6—MS11. Действие сигналов MS6—MS11 поясняется табл. 11.24.

Результаты операций из АЛУ могут управляться в различные точки БИС K1800BT3. Передача информации из АЛУ на шину I и в регистр данных определяется сигналами MS0—MS3, MS5, MS14 (табл. 11.22). Информацию из АЛУ можно переслать в адресный регистр, регистровый массив или счетчик программ. Эти передачи определяются схемой управления, сигналом MS5 и видом выполняемой в АЛУ операции, как показано в табл. 11.25. В колонке AR буквой A обозначены операнды, приходящие в АЛУ через мультиплексор A. Если в качестве приемника выбран счетчик PC (MS12 = 0, MS13 = 0), то в него пересылается сумма данных D + АЛУ. Такие операции в табл. 11.25 обозначены звездочкой (*). Черточка в таблице означает, что состояние регистра не изменяется. Если сигнал MS14 = 0, то в табл. 11.25 значение D заменяется на инверсное $\bar{D}$.

Максимальное значение задержек распространения сигналов в БИС K1800BT3 при температуре +25 °C приведены в табл. 11.26, а минимальные значения времени предатаонова и удержания сигналов — в табл. 11.27.

11.6. Двунаправленный транслятор уровней сигналов

Микросхема двунаправленного транслятора уровней сигналов (K1800BA4) является 4-разрядной и согласует логические уровни сигналов ЭСЛ и ТТЛ [23]. Данные

Таблица 11.27

Вх1	Вх2	Путь прохождения сигнала	Время предатаонова, нс	Время удержания, нс
I, $\emptyset$, D	CLK	Прямо	9	4
I, $\emptyset$	CLK	АЛУ	38	—7
C_{in}	CLK	АЛУ	26	0
P	CLK	АЛУ	30	—2
MS0, 1, 2, 3	CLK	Прямо	16	3
MS5	CLK	»	11	4
MS6, 7, 8	CLK	АЛУ	20	0
MS9, 10	CLK	АЛУ	38	—6
MS12, 13	CLK	Прямо	11	2

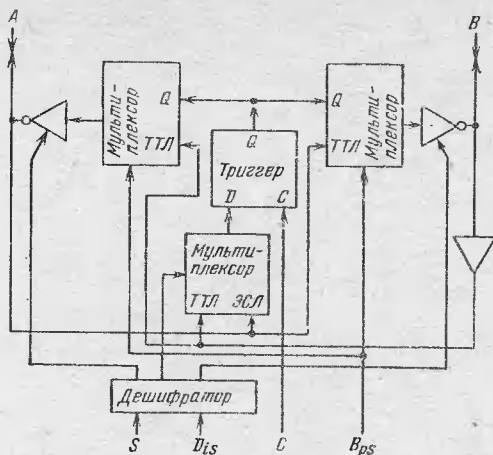


Рис. 11.10. Структурная схема двунаправленного транслятора ТТЛ—ЭСЛ К1800ВА4

могут передаваться в любом направлении, как от ЭСЛ к ТТЛ, так и от ТТЛ к ЭСЛ, логические уровни преобразуются при передаче. Двунаправленный транслятор содержит триггеры типа «защелка» для хранения передаваемой информации. Микросхема К1800ВА4 позволяет также со-

Таблица 11.28

Номер вывода	Обозначение	Назначение
2, 3, 4, 5	A1, A2, A3, A4	Шина ЭСЛ сигналов. Вход/выход разрядов 1—4
6	V_{ps}	Управление мультиплексорами
7	D_{1s}	Запрещение выдачи
10	S	Выбор направления передачи сигналов ЭСЛ ↔ ТТЛ
11	C	Тактовый вход
15, 14, 13, 12	B1, B2, B3, B4	Шина ТТЛ сигналов. Вход/выход разрядов 1—4
8	$U_{п1}$	Напряжение источника питания —5,2 В
9	$U_{п5}$	Напряжение источника питания 5,0 В
1	$U_{п3}$	Напряжение источника питания 0 В
16	$U_{п4}$	Напряжение источника питания 0 В для выходных эмиттерных повторителей

Таблица 11.29

Выводы (вход/выход)	Путь прохождения сигнала	Задержка сигнала, нс
A → B	Минус триггер	5,0
B → A	»	5,5
A → B	Через триггер	7,5
B → A	»	8,0
$B_{ps} \rightarrow B$	»	7,5
$B_{ps} \rightarrow A$	»	7,0
$D_{1s} \rightarrow B$	»	8,0
$D_{1s} \rightarrow A$	»	7,5
$S \rightarrow B$	»	7,5
$S \rightarrow A$	»	7,0
$C \rightarrow B$	»	8,0
$C \rightarrow A$	»	7,5

гласовывать комплект серии К1800 с МОП и ТТЛ запоминающими и внешними устройствами.

Схема двунаправленного транслятора уровней приведена на рис. 11.10, назначение выводов в табл. 11.28. Как видно из рис. 11.10, транслятор состоит из дешифратора, управляемых буферов и четырех идентичных каналов, передающих ЭСЛ (A) и ТТЛ (B) сигналы. Каждый канал содержит триггер и обеспечивает передачу в обоих направлениях ЭСЛ и ТТЛ сигналов. Управление работой транслятора осуществляется тремя входами D_{1s} , B_{ps} , S, на которые также, как и на тактовый вход C, подаются сигналы ЭСЛ.

Работа транслятора происходит следующим образом. Когда на входе D_{1s} поддерживается низкий уровень L, закрываются все буферы. Когда на D_{1s} высокий уровень H транслятор осуществляет преобразование данных в зависимости от уровня сигнала на входе S. Когда $S = L$ данные со входов ТТЛ передаются на выходные ЭСЛ буферы. Когда $S = H$ происходит передача данных со входов ЭСЛ к ТТЛ буферам. Вход B_{ps} позволяет передавать данные к выходным буферам либо через триггеры, когда $B_{ps} = H$, либо в обход триггеров при $B_{ps} = L$, что повышает быстродействие транслятора. Тактовый вход C является общим для всех триггеров и управляет хранением данных. При $C = L$ триггеры открыты и данные со входов D передаются на выходы Q триггеров. Данные запоминаются в триггерах при поступлении на вход C уровня H. Значения задержки распространения сигналов при температуре +25 °C приведены в табл. 11.29.

11.7. Двухадресная память

Микросхема двухадресной памяти (К1800РП6) предназначена для работы в качестве буфера данных между действующим процессором и более медленными периферийными устройствами [18]. Она состоит из двух частей, каждая из ко-

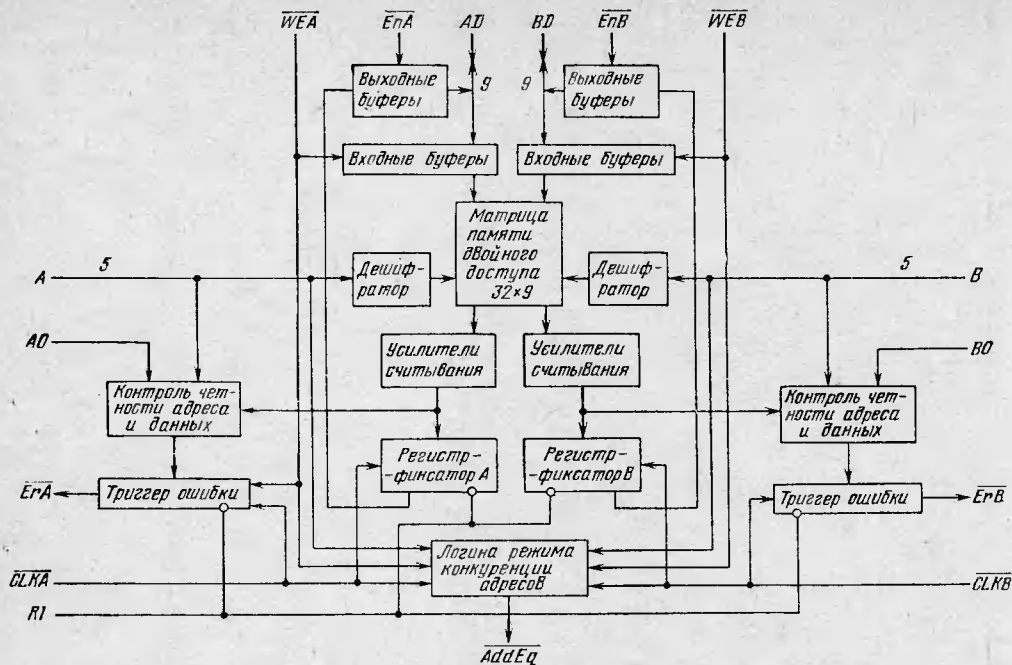


Рис. 11.11. Структурная схема двухадресной памяти К1800РР6

Таблица 11.30

Номер выхода	Обозначение	Назначение
20, 22, 21, 13, 14, 15, 16, 19, 18	AD0, AD1, AD2, AD3, AD4, AD5, AD6, AD7, AD8	Шина AD. Вход/выход разрядов 0—8
4, 2, 3, 11, 10, 9, 8, 5, 6	BD0, BD1, BD2, BD3, BD4, BD5, BD6, BD7, BD8	Шина BD. Вход/выход разрядов 0—8
29, 30, 31, 32, 33, 34	A0, A1, A2, A3, A4, A5	Адрес А. Вход разрядов 0 (четность), 1—5 (старший)
41, 40, 39, 38, 37, 35	B0, B1, B2, B3, B4, B5	Адрес В. Вход разрядов 0 (четность), 1—5 (старший)
27	$\overline{EpA}$	Разрешение выдачи данных в шину AD
43	$\overline{EpB}$	Разрешение выдачи данных в шину BD
28	$\overline{WEA}$	Разрешение записи из шины AD в память
42	$\overline{WEB}$	Разрешение записи из шины BD в память

Продолжение табл. 11.30

Номер выхода	Обозначение	Назначение
23	$\overline{ErA}$	Выход ошибки четности данных или адреса А
47	$\overline{ErB}$	Выход ошибки четности данных или адреса В
26	$\overline{CLKA}$	Синхросигнал регистра-фиксатора А
44	$\overline{CLKB}$	Синхросигнал регистра-фиксатора В
45	$\overline{R1}$	Гашение триггеров ошибки и регистров-фиксаторов
48	$\overline{R2}$	Гашение выбранного входа
46	$\overline{AddEq}$	Адреса А и В равны и ошибка может существовать
1, 24	$U_{п1}$	Напряжение источника питания —5,2 В
7, 17	$U_{п3}$	Напряжение источника питания 0 В
12, 36	$U_{п4}$	Напряжение источника питания 0 В для выходных эмиттерных повторителей

Таблица 11.31

WEA	Ошибки четности адреса (табл. 11.32)	WEB	Ошибки четности адреса (табл. 11.32)	Содержимое памяти		Выход усилителя считывания, А	Выход усилителя считывания, В	Операции
				Адрес А	Адрес В			
1	X	1	X	—	—	MA00—MA08	MB00—MB08	Считывание А, считывание В
0	0	1	X	AD00—AD08	—	AD00—AD08	MB00—MB08	Запись А, считывание В
0	0	1	X	AD00—AD08	AD00—AD08	AD00—AD08	Все 1	Запись А, считывание В=1
0	1	1	X	—	—	MA00—MA08	MB00—MB08	Ошибка четности, считывание В, нет записи А
1	X	0	0	—	BD00—BD08	MA00—MA08	BD00—BD08	Считывание А, запись В
1	X	0	0	BD00—BD08	BD00—BD08	Все 1	BD00—BD08	Запись В, считывание А=1
1	X	0	1	—	—	MA00—MA08	MB00—MB08	Считывание А, ошибка четности, нет записи В
0	0	0	0	AD00—AD08	BD00—BD08	AD00—AD08	BD00—BD08	Запись А, запись В
0	1	0	0	—	BD00—BD08	MA00—MA08	BD00—BD08	Ошибка четности, запись В, нет записи А
0	0	0	1	AD00—AD08	—	AD00—AD08	MB00—MB08	Запись А, ошибка четности, нет записи В
0	1	0	1	—	—	MA00—MA08	MB00—MB08	Ошибка четности, нет записи А. Ошибка четности, нет записи В
0	0	0	1	—	—	Все 1	Все 1	Запись блокируется
0	1	0	1	BD00—BD08	BD00—BD08	Все 1	BD00—BD08	Ошибка четности, нет записи А, запись В
0	0	0	1	AD00—AD08	AD00—AD08	AD00—AD08	Все 1	Запись А, ошибка четности, нет записи В

Примечание. MA00—MA08 (MB00—MB08) информация, записанная в памяти по адресам A01—A05 (B01—B05).

Таблица 11.32

Разряд A00 (B00)	Адрес A(B) A01 A05 (B01—B05)	Ошибка четности адреса A (B)
U_{12}	X	0
0	Четное число 1	0
1	То же	1
0	Нечетное число 1	1
1	То же	0

торых содержит 32 слова по 9 бит и адресуется независимо от другой. Такая память может использоваться как 32 9-разрядных регистра, в которых чтение и запись могут выполняться с двух независимых шин адресов и данных. Обе шины могут производить считывание и запись одновременно в разные ячейки. Микросхема К1800РП6 может также выполнять функции стека магазинного типа, стек обратного магазина или регистрового блока.

Структурная схема БИС двухадресной памяти К1800РП6 показана на рис. 11.11, назначение выводов приведено в табл. 11.30. Микросхема памяти содержит матрицу запоминающих элементов, дешифраторы, выходные регистры, триггеры ошибок, два независимых набора входов, в том числе входы управления записью/чтением, адресные и двунаправленные информационные шины, выходы сигналов ошибки четности равенства адресов.

Матрица запоминающих элементов организована в два стека, каждый из которых содержит 32 слова по 9 разрядов. Каждый стек имеет свою адресацию. Когда информация записывается в один из двух стеков, она автоматически записывается и в другой стек. Это позволяет использовать па-

мять как 32 девятиразрядных регистра, в которых запись и считывание может осуществляться одновременно по двум независимым адресам и шинам данных. В один стек производится запись, в то время, как из другого происходит считывание информации. Нельзя записать по одному и тому же адресу два слова одновременно.

Для считываемого слова каждого из стеков имеется свой выходной регистр на триггерах типа «защелка», которые используются для временного хранения информации и выдачи ее на шину данных в любой момент времени. Информация из памяти может считываться по указанному адресу при подаче лог. 0 на синхровходы $\overline{CLKA}$ или $\overline{CLKB}$ соответствующих регистров. Информация хранится в регистре при наличии на синхровходах лог. 1.

На выходе $\overline{AddEq}$ устанавливается лог. 0 всякий раз, когда из памяти считываются ошибочные данные или производится запись двух слов по одному и тому же адресу. Ошибочные данные могут считываться из памяти при равенстве адресов A и B, когда в один из стеков происходит запись, а на синхровход выходного регистра другого стека подан лог. 0.

Для выдачи сигнала ошибки четности данных или адреса используется $\overline{MS}$ -триггер. Сигнал ошибки на выходе $\overline{EgA} = 0$ или $\overline{EgB} = 0$ возникает, когда на информационный вход триггера поступает сигнал ошибки четности, а синхросигнал изменяется из состояния лог. 0 в лог. 1. При отсутствии ошибок и поступлении синхросигнала на выходе устанавливается лог. 1. При подключении адресных входов A00, B00 к напряжению источника питания $U_{п2}$ проверка адресов на четность не производится. Данные, которые считываются или записываются в память, проверяются на четность — в 9-разрядном слове должно содержаться четное число единиц.

Таблица 11.33

$\overline{RT}$	$\overline{CLKA}$ ($\overline{CLKB}$)	$\overline{WEA}$ ($\overline{WEB}$)	Ошибка четности адреса A (адреса B) (табл. 11.32)	Выход усилителя считывания A (B) (табл. 11.31)	$\overline{EgA}$ ($\overline{EgB}$)
0	X	X	X	X	1
1	0	X	X	X	—
1	X	0	X	X	—
1	1 или 1→0	1 или 1→0	X	X	—
1	0→1	1	0	Нечетное число 1	1
1	0→1	1	1	X	0
1	0→1	1	X	Четное число 1	0
1	1	0→1	0	Нечетное число 1	1
1	1	0→1	1	X	0
1	1	0→1	X	Четное число	0

Примечание. $\overline{EgA}$ ($\overline{EgB}$) — состояние выхода изменяется при переходе из 0B1 входы $\overline{CLKA}$ ($\overline{CLKB}$) или $\overline{WEA}$ ($\overline{WEB}$).

Таблица 11.34

$\overline{R2}^*$	$\overline{R1}$	$\overline{CLKA}$ ($\overline{CLKB}$)	Регистр-фиксатор А (А $\emptyset$) Регистр-фиксатор В (В $\emptyset$)								
			А $\emptyset$ 00 (В $\emptyset$ 00)	А $\emptyset$ 01 (В $\emptyset$ 01)	А $\emptyset$ 02 (В $\emptyset$ 02)	А $\emptyset$ 03 (В $\emptyset$ 03)	А $\emptyset$ 04 (В $\emptyset$ 04)	А $\emptyset$ 05 (В $\emptyset$ 05)	А $\emptyset$ 06 (В $\emptyset$ 06)	А $\emptyset$ 07 (В $\emptyset$ 07)	А $\emptyset$ 08 (В $\emptyset$ 08)
Свободен	0	X	0	1	1	1	1	1	1	1	
—2В	0	X	0	0	0	0	0	0	0	0	
X	1	1**	—	—	—	—	—	—	—	—	
X	1	0***	Выходы усилителей считывания А(В) (табл. 11.31)								

* R2 (вывод 48) может быть свободным или подключаться к источнику —2 В.

** Информация хранится при $\overline{CLKA}$ ($\overline{CLKB}$)=1.

*** Информация с выходов усилителей считывания передается на выходы регистров-фиксаторов при $\overline{CLKA}$ ($\overline{CLKB}$)=0.

Синхросигналы со входа $\overline{CLKA}$ ($\overline{CLKB}$) объединяются по ИЛИ с сигналами разрешения записи $\overline{WEA}$ ($\overline{WEB}$) и поступают на синхровход триггера ошибки. Рабочим является переход из лог. 0 в лог. 1 (из высокого уровня Н в нижний L). Выходной регистр А (В) состоит из триггеров типа «защелка», тактируемых сигналом $\overline{CLKA}$ ($\overline{CLKB}$). При $\overline{CLKA}$ = 0 ($\overline{CLKB}$ = 0) данные из памяти поступают на выходы регистра. При $\overline{CLKA}$ = 1 ($\overline{CLKB}$ = 1) данные запоминаются в регистре и не меняются.

Вход сброса используется для асинхронной установки триггеров ошибки и выходных регистров. Поступление лог. 0 на вход сброса устанавливает выходы $\overline{ErA}$ и $\overline{ErB}$ в лог. 1, при этом на выходных регистрах будет комбинация 01111111, где 0 соответствует разряду 0 в слове. Если на вход сброса (вывод 48) подается напряжение —2 В, выходы регистров устанавливаются в состояние лог. 0.

Работа двухадресной памяти описывается таблицами истинности (табл. 11.31—11.36). Запись в память невозможна, если на входы разрешения записи подана лог. 1 ($\overline{WEA}$ = 1, $\overline{WEB}$ = 1). Не происходит считывание информации из памяти в выходной регистр содержимое которого не меняется, если на синхровходе находится лог. 1 ($\overline{CLKA}$ = 1, $\overline{CLKB}$ = 1). Выдача данных на шину данных не производится, когда на вход разрешения выдачи подана лог. 1 ($\overline{EnA}$ = 1, $\overline{EnB}$ = 1). Внутренние усилители независимо от состояния разрешающих входов считывают данные из памяти в соответствии с адресами А01—А05, В01—В05.

Информация на шину данных может считываться тремя способами в зависимости от сигналов $\overline{EnA}$ ($\overline{EnB}$), $\overline{CLKA}$ ($\overline{CLKB}$) и выбираемого адреса (см. рис. 11.11). При поступлении лог. 0 на вход разрешения выдачи ($\overline{EnA}$ = 0, $\overline{EnB}$ = 0)

данные с 9-разрядного регистра-фиксатора передаются на шину данных. Обычно регистр-фиксатор заранее загружается информацией из памяти, поэтому считывание данных на шину происходит очень быстро. Если на вход синхронизации $\overline{CLKA}$ ($\overline{CLKB}$) и вход разрешения выдачи данных $\overline{EnA}$ ($\overline{EnB}$) подан лог. 0, то при выборке адреса обеспечивается доступ к нужным ячейкам памяти и информация появляется на шине данных с некоторой задержкой. Когда на вход $\overline{EnA}$ ($\overline{EnB}$) подан лог. 0, поступление сигнала $\overline{CLKA}$ = 0 ($\overline{CLKB}$ = 0) вызывает появление считанной информации на шине данных. Переход синхросигнала в состояние лог. 1 приводит к запоминанию данных в регистре-фиксаторе (см. табл. 11.34) и переводу в режим приема триггера ошибки четности ($\overline{ErA}$ = 0, $\overline{ErB}$ = 0), если имеется ошибка четности данных или адреса (табл. 11.32—11.34).

Запись информации в память происходит следующим образом. Если записываемые данные происходят от внешних источников, на вход разрешения записи должна быть подана лог. 1, если источник данных является внутренним (выходы регистра-фиксатора) — то лог. 0. Адрес должен быть установлен до перевода входа разрешения записи в состояние лог. 0 для того, чтобы равенство адресов можно было проверить на наличие сигнала ошибки, при этом за-

Таблица 11.35

$\overline{EnA}$ ($\overline{EnB}$)	Шина данных AD00—AD08 (Шина данных в BD00—BD08)
1	1 во всех разрядах (блокировка)
0	А $\emptyset$ 00—А $\emptyset$ 08 (В $\emptyset$ 00—В $\emptyset$ 08) выдача

Таблица 11.36

$\overline{WEA}$	$\overline{WEB}$	$\overline{CLKA}$	$\overline{CLKB}$	Равные адреса A01-05— B01-05	Add Eq
X	X	X	X	0	1
1	1	X	X	X	1
1	0	1	X	1	1
X	0	0	X	1	0
0	1	X	1	1	1
0	X	X	0	1	0
0	0	X	X	1	0

пись может быть заблокирована, если имеется ошибка (табл. 11.31). Информация с шины данных записывается в память, когда на вход разрешения записи $\overline{WEA}$ ($\overline{WEB}$) поступает лог. 0. Информация должна подаваться с учетом времени предустановки и удержания по отношению к сигналу $\overline{WEA}$ ($\overline{WEB}$). Снятие сигнала разрешения записи делает активным триггер ошибки четности (табл. 11.32—11.34). Возможно считывание записанных данных в регистр-фиксатор, если на синхровход подан разрешающий сигнал $\overline{CLKA} = 0$ ($\overline{CLKB} = 0$).

Контроль по четности осуществляется с помощью триггеров ошибки, возможные состояния которых показаны в табл. 11.32. При наличии ошибки на выходах триггеров устанавливается лог. 0. поэтому выводы $\overline{EgA}$ и $\overline{EgB}$ можно соединять вместе по функции Проводное ИЛИ. Начальная установка триггеров ошибок и регистров-фиксаторов осуществляется асинхронно при поступлении лог. 0 на вход сброса 1 (см. табл. 11.33—11.36).

При записи возможны конфликтные ситуации. При двойной записи, когда оба слова записываются одновременно по одному и тому же адресу, в силу взаимной блокировки сигналами управления запись

не происходит. Практически один из сигналов управления может поступить раньше другого, поэтому нельзя гарантировать, какое из слов будет записано. Конфликт возможен, когда происходит запись одного слова и подан синхросигнал, разрешающий запись в регистр-фиксатор другого слова. За счет внутренней логики во все разряды регистра-фиксатора записывается лог. 1. Однако, если синхросигнал, сохраняется достаточное время после действия сигнала разрешения записи, содержимое регистра-фиксатора может корректироваться информацией, записанной в памяти и сигнал ошибки четности не вырабатывается. Сигнал ошибки четности вырабатывается, если синхросигнал не действует в то время, когда во всех разрядах регистра-фиксатора устанавливаются лог. 1, число которых нечетно. На выходе Add Eq формируется сигнал лог. 0 при наличии двух возможных конфликтных условий (табл. 11.36). В табл. 11.37 приведены значения задержек t_d распространения сигналов в микросхеме K1800РП6 при температуре 25 °C.

11.8. Двухнаправленный магистральный транслятор

Двухнаправленный магистральный транслятор K1800BA7 предназначен для двухнаправленного обмена сигналами ЭСЛ уровней в микропроцессорных устройствах и мультиплексировании шин отдельного процессором. Транслятор является 5-разрядным преобразователем. Данные могут передаваться в обоих направлениях от шины А к шине В и наоборот.

Структурная схема транслятора K1800BA7 приведена на рис. 11.12, назначение выводов — в табл. 11.38. Трансля-

Таблица 11.37

Вход	Задержка сигнала, нс		
	AD, BD	$\overline{EgA}$, $\overline{EgB}$	Add Eq
A, B	19	—	—
$\overline{EnA}$, $\overline{EnB}$	6	—	—
$\overline{CLKA}$, $\overline{CLKB}$	7	5,5	7,5
$\overline{WEA}$, $\overline{WEB}$	—	—	8
$\overline{R1}$	12	—	—

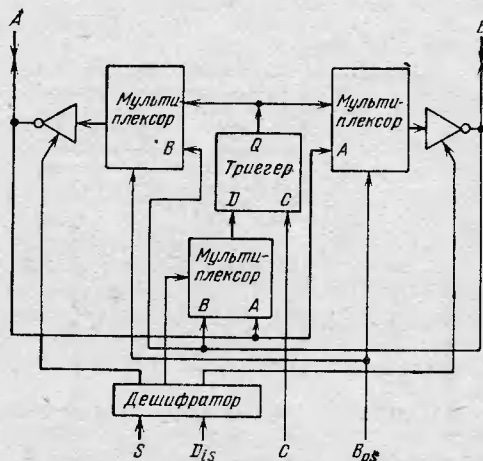


Рис. 11.12. Структурная схема двухнаправленного магистрального транслятора K1800BA7

Таблица 11.38

Номер вывода	Обозначение	Назначение
1—5	A1—A5	Шина А. Вход/выход разрядов 1—5
6	B_{ps}	Обход «защелки»
7	D_{is}	Запрещение выдачи
9	S	Выбор направления передачи сигналов
10	C	Тактовый вход
11—15	B5—B1	Шина В. Вход/выход разрядов 1—5
8	$U_{п1}$	Напряжение источника питания —5,2 В
16	$U_{п2}$	Напряжение источника питания 0 В

тор состоит из дешифратора, управляемых буферов и пяти идентичных каналов. Каждый канал состоит из трех мультиплексоров 2×1 и триггера типа «защелка». Управление работой транслятора осуществляется тремя логическими S, D_{is} , B_{ps} и одним тактовым C сигналами, имеющими стандартные ЭСЛ уровни. Работа транслятора происходит следующим образом.

Когда на входе D_{is} низкий уровень L, выходные буферы шин А и В закрыты и не передают информацию. Когда на входе D_{is} высокий уровень Н, каналы находятся в рабочем состоянии и направление передачи данных осуществляется сигналом S. Независимо от состояния входа D_{is} данные с шин А или В могут запоминаться в триггерах под воздействием сигнала С. Когда $S = L$, данные передаются от шины В к шине А. В каждом канале на вход триггера-защелки поступают данные с соответствующего разряда шины В, выход-

ные буферы шины В при этом закрыты. При $S = H$ данные передаются от шины А к шине В. Вход B_{ps} позволяет передавать данные к выходным буферам либо через триггеры при $B_{ps} = H$, либо в обход триггеров при $B_{ps} = L$, что повышает быстродействие транслятора. Тактовый вход С является общим для всех триггеров и управляет хранением данных. При $C = L$ триггеры открыты и данные со входов D_{ps} передаются на выходы Q триггеров. Данные запоминаются в триггерах при подаче на ход С уровня Н. В табл. 11.39 приведены типовые значения задержки распространения сигналов при температуре $+25^{\circ}C$.

11.9. Программируемый сдвигатель

Микросхема K1800BP8 предназначена для сдвига данных в микропроцессорных системах и представляет собой комбинационный 16-разрядный многофункциональный сдвигатель, с возможностью расширения на любое число разрядов [23]. Сдвигатель выполняет 8 видов сдвига, имеет 16 входных, 16 выходных шин и 8 входов для управляющих сигналов.

Схема программируемого сдвигателя K1800BP8 показана на рис. 11.13. Назначение выводов и выполняемые операции приведены в табл. 11.40 и табл. 11.41 соответственно. БИС сдвигателя содержит два дешифратора, входной и выходной мультиплексоры данных. Дешифратор вида сдвига, управляемый сигналами ST0—ST2, позволяет выбрать нужную операцию сдвига. Дешифратор сдвига и установли знака, в зависимости от кода на управляющих входах SF0—SF3 определяет число разрядов, на которое необходимо произвести сдвиг, и разряды, в которые нужно поместить знак. Мультиплексор входных данных образует первую ступень сдвигателя и осуществляет передачу вход-

Таблица 11.39

Выводы (вход/выход)	Путь прохождения сигнала	Задержка сигнала, нс
A→B	Минус триггер	3,9
B→A	»	3,9
A→B	Через триггер	6,4
B→A	»	6,4
B_{ps} →Выходы А или В	—	6,4
D_{is} →Выходы А или В	—	4,9
S→Выходы А или В	Минус триггер	7,4
S→Выходы А или В	Через триггер	8,9
C→Выходы А или В	—	7,0

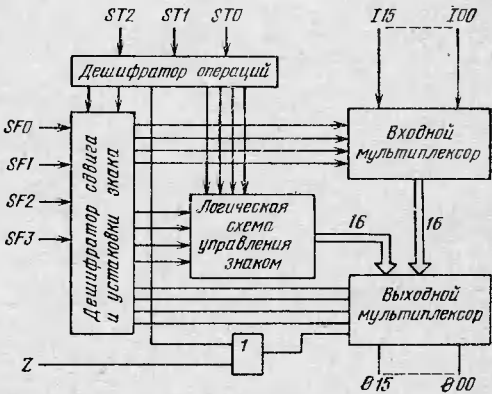


Рис. 11.13. Структурная схема программируемого сдвигателя K1800BP8

Таблица 11.40

Номер вывода	Обозначение	Назначение
44, 43— —29, 28	100, 101— —114, 115	Шина I. Вход разрядов 0—15
6, 8, 13, 21, 5, 9, 14, 20, 4, 10, 15, 19, 3, 11, 16, 18 47, 46, 45	Ø 00, Ø 01, ..., Ø 14, Ø 15	Шина Ø. Выход разрядов 0—15
22, 23, 26, 27	ST0, ST1, ST2 SF0, SF1, SF2, SF3	Управление видом сдвига Управление сдвигом
2	Z	Знаковый разряд
1, 24	U _{п1}	Напряжение источника питания —5,2 В
12, 36	U _{п3}	Напряжение источника питания 0 В
7, 17	U _{п4}	Напряжение источника питания 0 В для выходных эмиттерных повторителей

ной информации со входов 100—115 без сдвига или с циклическим сдвигом вправо на 1, 2 или 3 разряда. Выходной мультиплексор образует вторую ступень сдвигателя и передает информацию без сдвига или с циклическим сдвигом вправо на 4, 8 или 12 разрядов на выходы Ø00—Ø15 и устанавливает знак на выходах. Знаковый разряд Z используется для определения знака при операциях арифметического сдвига

и распространения знакового разряда. Обычно знаковый разряд связан с самым старшим разрядом информационного слова.

Рассмотрим подробнее работу БИС при выполнении различных видов сдвига (табл. 11.41). Арифметический сдвиг влево ALS иллюстрируется табл. 11.42. Входные данные сдвигаются влево, а освобождающиеся разряды заполняются информацией знакового разряда, который подключается к верхнему H или нижнему L уровню напряжения, в зависимости от использования отрицательной или положительной логики. Арифметический сдвиг вправо ARS иллюстрируется табл. 11.43. Входные данные сдвигаются вправо, освобождающиеся разряды заполняются информацией знакового разряда. Для логического сдвига знаковый разряд подключается к уровню L или H, когда применяется положительная или отрицательная логика. При циклическом сдвиге влево RLT, как видно из табл. 11.44, информация выдвигаемых разрядов устанавливается во вдвигаемых разрядах.

Циклический сдвиг вправо RRT очень полезен для построения сдвигателей на 16, 32, 64, 128 и 256 разрядов. Как видно из табл. 11.45, входные данные сдвигаются вправо на число разрядов, определяемое кодом SF3—SF0, а освободившиеся разряды заполняются сдвинутыми младшими разрядами.

Сдвиг вправо в дополнительном коде SRC означает сдвиг вправо на число разрядов, равное дополнительному коду от числа сдвигов, определяемого SF3—SF0. Этот вид операции показан в табл. 11.46. Освободившиеся разряды заполняются лог. 1. Сдвиг вправо в дополнительном коде

Таблица 11.41

ST2	ST1	ST0	Обозначение операций	Операция
0	0	0	SBO	Распространение знакового разряда по всем выходам
0	0	1	ODA	Блокировка выходов. Выходы Ø15—Ø00 устанавливаются в лог. 1
0	1	0	SLC	Сдвиг влево в дополнительном коде. Данные со входов 115—100 передаются на выходы Ø15—Ø00 со сдвигом в соответствии с дополнительным кодом слова на управляющих входах SF3—SF0. Освобождающиеся разряды заполняются лог. 1
0	1	1	SRC	Сдвиг вправо в дополнительном коде. Данные со входов 115—100 передаются на выходы Ø15—Ø00 со сдвигом в соответствии с дополнительным кодом слова на входах SF3—SF0. Освобождающиеся разряды заполняются лог. 1
1	0	0	RRT	Циклический сдвиг вправо
1	0	1	RLT	Циклический сдвиг влево
1	1	0	ARS	Арифметический сдвиг вправо. Освобождающиеся разряды заполняются информацией знакового разряда
1	1	1	ALS	Арифметический сдвиг влево. Освобождающиеся разряды заполняются информацией знакового разряда

Таблица 11.42

Входы управления				Выходы															
SF3	SF2	SF1	SF0	015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000
0	0	0	0	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00
0	0	0	1	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	Z
0	0	1	0	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	Z	Z
0	0	1	1	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	Z	Z	Z
0	1	0	0	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	Z	Z	Z	Z
0	1	0	1	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	Z	Z	Z	Z	Z
0	1	1	0	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	Z	Z	Z	Z	Z	Z
0	1	1	1	I08	I07	I06	I05	I04	I03	I02	I01	I00	Z	Z	Z	Z	Z	Z	Z
1	0	0	0	I07	I06	I05	I04	I03	I02	I01	I00	Z	Z	Z	Z	Z	Z	Z	Z
1	0	0	1	I06	I05	I04	I03	I02	I01	I00	Z	Z	Z	Z	Z	Z	Z	Z	Z
1	0	1	0	I05	I04	I03	I02	I01	I00	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
1	0	1	1	I04	I03	I02	I01	I00	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
1	1	0	0	I03	I02	I01	I00	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
1	1	0	1	I02	I01	I00	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
1	1	1	0	I01	I00	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z
1	1	1	1	I00	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z

Таблица 11.43

Входы управления				Выходы															
SF3	SF2	SF1	SF0	015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000
0				I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00
0	0	0	1	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01
0	0	1	0	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02
0	0	1	1	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03
0	1	0	0	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04
0	1	0	1	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05
0	1	1	0	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06
0	1	1	1	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07
1	0	0	0	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08	I07
1	0	0	1	Z	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09	I08
1	0	1	0	Z	Z	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10	I09
1	0	1	1	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11	I10
1	1	0	0	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12	I11
1	1	0	1	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13	I12
1	1	1	0	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	I15	I14	I13
1	1	1	1	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	Z	I15	I14

Таблица 11.44

Входы управления				Выходы															
SF3	SF2	SF1	SF0	015	014	013	012	011	010	009	008	007	006	005	004	003	002	001	000
0	0	0	0	I15	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00
0	0	0	1	I14	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	I15
0	0	1	0	I13	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	I15	I14
0	0	1	1	I12	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	I15	I14	I13
0	1	0	0	I11	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	I15	I14	I13	I12
0	1	0	1	I10	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	I15	I14	I13	I12	I11
0	1	1	0	I09	I08	I07	I06	I05	I04	I03	I02	I01	I00	I15	I14	I13	I12	I11	I10
0	1	1	1	I08	I07	I06	I05	I04	I03	I02	I01	I00	I15	I14	I13	I12	I11	I10	I09

Входы управления				Выходы															
SF3	SF2	SF1	SF0	◊15	◊14	◊13	◊12	◊11	◊10	◊09	◊08	◊07	◊06	◊05	◊04	◊03	◊02	◊01	◊00
1	0	0	0	107	106	105	104	103	102	101	100	115	114	113	112	111	110	109	10
1	0	0	1	106	105	104	103	102	101	100	115	114	113	112	111	110	109	108	10
1	0	1	0	105	104	103	102	101	100	115	114	113	112	111	110	109	108	107	10
1	0	1	1	104	103	102	101	100	115	114	113	112	111	110	109	108	107	106	10
1	1	0	0	103	102	101	100	115	114	113	112	111	110	109	108	107	106	105	10
1	1	0	1	102	101	100	115	114	113	112	111	110	109	108	107	106	115	104	10
1	1	1	0	101	100	115	114	113	112	111	110	109	108	107	106	105	104	103	10
1	1	1	1	100	115	114	113	112	111	110	109	108	107	106	105	104	103	102	10

Таблица 11.45

Входы управления				Выходы															
SF3	SF2	SF1	SF0	◊15	◊14	◊13	◊12	◊11	◊10	◊09	◊08	◊07	◊06	◊05	◊04	◊03	◊02	◊01	◊00
0	0	0	0	115	114	113	112	111	110	109	108	107	106	105	104	103	102	101	100
0	0	0	1	100	115	114	113	112	111	110	109	108	107	106	105	104	103	102	101
0	0	1	0	101	100	115	114	113	112	111	110	109	108	107	106	105	104	103	102
0	0	1	1	102	101	100	115	114	113	112	111	110	109	108	107	106	105	104	103
0	1	0	0	103	102	101	100	115	114	113	112	111	110	109	108	107	106	105	104
0	1	0	1	104	103	102	101	100	115	114	113	112	111	110	109	108	107	106	105
0	1	1	0	105	104	103	102	101	100	115	114	113	112	111	110	109	108	107	106
0	1	1	1	106	105	104	103	102	101	100	115	114	113	112	111	110	109	108	107
1	0	0	0	107	106	105	104	103	102	101	100	115	114	113	112	111	110	109	108
1	0	0	1	108	107	106	105	104	103	102	101	100	115	114	113	112	111	110	109
1	0	1	0	109	108	107	106	105	104	103	102	101	100	115	114	113	112	111	110
1	0	1	1	110	109	108	107	106	105	104	103	102	101	100	115	114	113	112	111
1	1	0	0	111	110	109	108	107	106	105	104	103	102	101	100	115	114	113	112
1	1	0	1	112	111	110	109	108	107	106	105	104	103	102	101	100	115	114	113
1	1	1	0	113	112	111	110	109	108	107	106	105	104	103	102	101	100	115	114
1	1	1	1	114	113	112	111	110	109	108	107	106	105	104	103	102	101	100	115

Таблица 11.46

Входы управления				Выходы															
SF3	SF2	SF1	SF0	◊15	◊14	◊13	◊12	◊11	◊10	◊09	◊08	◊07	◊06	◊05	◊04	◊03	◊02	◊01	◊00
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	115
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	114
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	113
0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	115	114	113	112
0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	114	113	112	111
0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	113	112	111	110
0	1	1	1	1	1	1	1	1	1	1	1	1	115	114	113	112	111	110	109
1	0	0	0	1	1	1	1	1	1	1	1	115	114	113	112	111	110	109	108
1	0	0	1	1	1	1	1	1	1	1	115	114	113	112	111	110	109	108	107
1	0	1	0	1	1	1	1	1	1	1	115	114	113	112	111	110	109	108	106
1	1	0	0	1	1	1	1	1	1	115	114	113	112	111	110	109	108	107	105
1	1	0	1	1	1	1	1	1	115	114	113	112	111	110	109	108	107	106	104
1	1	1	0	1	1	1	1	1	115	114	113	112	111	110	109	108	107	106	103
1	1	1	1	1	1	115	114	113	112	111	110	109	108	107	106	105	104	103	102
1	1	1	1	1	115	114	113	112	111	110	109	108	107	106	105	104	103	102	101

Таблица 11.47

Входы управления				Выходы																
SF3	SF2	SF1	SF0	Q15	Q14	Q13	Q12	Q11	Q10	Q09	Q08	Q07	Q06	Q05	Q04	Q03	Q02	Q01	Q00	
0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	0	1	100	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	1	0	101	100	1	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	0	1	1	102	101	100	1	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	0	0	103	102	101	100	1	1	1	1	1	1	1	1	1	1	1	1	
0	1	0	1	104	103	102	101	100	1	1	1	1	1	1	1	1	1	1	1	
0	1	1	0	105	104	103	102	101	100	1	1	1	1	1	1	1	1	1	1	
0	1	1	1	106	105	104	103	102	101	100	1	1	1	1	1	1	1	1	1	
1	0	0	0	107	106	105	104	103	102	101	100	1	1	1	1	1	1	1	1	
1	0	0	1	108	107	106	105	104	103	102	101	100	1	1	1	1	1	1	1	
1	0	1	0	109	108	107	106	105	104	103	102	101	100	1	1	1	1	1	1	
1	0	1	1	110	109	108	107	106	105	104	103	102	101	100	1	1	1	1	1	
1	1	0	0	111	110	109	108	107	106	105	104	103	102	101	100	1	1	1	1	
1	1	0	1	112	111	110	109	108	107	106	105	104	103	102	101	100	1	1	1	
1	1	1	1	113	112	111	110	109	108	107	106	105	104	103	102	101	100	1	1	
1	1	1	0	114	113	112	111	110	109	108	107	106	105	104	103	102	101	100	1	

используется для построения многоразрядных сдвигателей, имеющих задержку такую же, как одна БИС, осуществляющих сдвиг влево.

Сдвиг влево SLC производится на число разрядов, равное дополнительному коду от числа сдвигов, определяемого SF3—SF0, как показано в табл. 11.47. Освободившиеся разряды заполняются лог. 1. Этот вид сдвига применяется в сдвигателях для выполнения сдвига вправо. Операция блокировки выходов ODA служит для записи лог. 1 по всем выходам вне зависимости от кода числа сдвигов. При выполнении операции SBO распространения знакового разряда по всем выходам происходит заполнение всех выводов информацией со знакового разряда вне зависимости от кода числа сдвигов. Это используется для распростра-

Таблица 11.48

Входы	Выходы	Задержка сигнала, нс
115—10	Q15—Q00	6
Z	Q15—Q00	6
SF0—SF3	Q15—Q00	12
ST0—ST2	Q15—Q00	12

нения знака в многоразрядном сдвигатель при арифметическом сдвиге вправо. В табл. 11.48 приведены типовые значения задержек распространения сигналов в сдвигателье K1800BP8 в диапазоне температур 0—70°C.

Глава 12

Быстродействующие матричные БИС

12.1. Общие сведения

Новым высокоэффективным направлением развития больших интегральных схем является разработка матричных БИС (МаБИС). Матричные БИС относятся к классу полужаказных микросхем высокой степени интеграции, которые проектируются на основе базового матричного кристалла (БМК). Базовый матричный кристалл представляет собой полупроводниковый кристалл, на котором в определенном порядке размещаются на постоянных местах несоммутированные активные и пассивные компоненты (транзисторы, диоды,

резисторы и т. п.). Обычно определенное число активных и пассивных компонентов группируются в так называемую топологическую ячейку (ТЯ), которые размещаются на БМК регулярно, образуя матрицу одинаковых повторяющихся ячеек [27].

В одной топологической ячейке БМК последующим объединением компонентов металлизированными соединениями можно создать несколько логических или запоминающих элементов. Компоненты в ТЯ подбираются таким образом, чтобы из них можно было построить разнообразные элементы, перечень которых образует некото-

рый функциональный набор — библиотеку элементов. Чем разнообразнее элементы в библиотеке, тем эффективнее построение функциональных схем МаБИС. Для существенного расширения библиотеки элементов предусматривается некоторая избыточность компонентов и используется гибкая в логическом отношении схемотехника. Для удобства проектирования ТЯ подразделяется на фрагменты, в которых размещается часть компонентов ячейки, позволяющая реализовать единичные логические или запоминающие элементы.

Топологические ячейки отделяются на кристалле друг от друга определенным пространством — каналами, предназначенными для размещения металлизированных проводников, объединяющих логические и запоминающие элементы различных топологических ячеек в функциональную схему в первом слое металлизации. В зависимости от уровня технологии и технико-экономических требований для проектирования МаБИС используются один, два или три слоя металлизации. В последних двух случаях слои металлизации изолируются друг от друга слоем диэлектрика, при необходимости между ними организуются межслойные переходы через окна в диэлектрике. Особенностью матричных БИС является то, что БМК представляет собой единую основу для создания широкого набора функциональных схем, все разнообразие, которые определяются межсоединениями, которые формируются на последних этапах технологического процесса. Другими словами, комплект фотошаблонов для изготовления БМК является постоянным, а фотошаблоны для формирования металлизированных проводников — переменными, характерными для каждой конкретной МаБИС.

Первые быстродействующие МаБИС были разработаны на основе субнаносекундных ЭСЛ элементов для высокопроизводительной ЭВМ 470V/6 фирмы Amdahl (США) [28]. В качестве БМК использовался кристалл, содержащий 25 ТЯ в виде матрицы 5×5 . Каждая ТЯ разделялась на 4 фрагмента, в котором можно реализовать один логический элемент 2И/2И—НЕ. Максимальное число элементов в БМК равно 100, время задержки элемента 0,7 нс, максимальная мощность МаБИС 4 Вт. Применение ЭСЛ МаБИС в указанной ЭВМ обеспечило значительный технико-экономический эффект в повышении быстродействия и плотности компоновки, уменьшении общего числа микросхем, конструктивных модулей и компонентов, сокращения времени задержки в межсоединениях, увеличения надежности. Для разработки быстродействующих ЭСЛ МаБИС требуется 13—15 фотошаблонов, из которых при двухслойной металлизации, 10—12 постоянных, предназначенных для формирования активных и пассивных компонентов. С помощью трех оставшихся фотошаблонов, которые применяются на последних этапах

технологического процесса изготовления ЭСЛ МаБИС, производится формирование рисунка межсоединений в двух слоях металлизации и переходов между ними. Межсоединениями определяется конкретная функциональная схема, которая проектируется на основе выбранного БМК. На основе одного типа БМК сменой фотошаблонов металлизации можно разработать большое число модификаций МаБИС, отличающихся функциональными схемами. В производственных условиях можно заранее изготовить большое число БМК, пригодных для выпуска различных модификаций МаБИС, и на последних этапах технологического процесса использовать их согласно заданной функциональной схеме.

Матричные БИС, в силу особенностей конструкции кристалла и процесса проектирования, имеют ряд достоинств, которые обеспечили им определенные преимущества перед другими логическими БИС, например, заказными или микропроцессорными, в определенных сферах применения, в частности, в быстродействующих ЭВМ. К основным достоинствам относятся:

регулярная структура БМК с выделенными трассами для межсоединений, что позволяет эффективно применять автоматизированные средства проектирования, которые при разработке большого числа типов обеспечивают значительное сокращение времени проектирования и бездефектность;

относительно короткий цикл проектирования новой модификации МаБИС (6—8 недель) за счет разработки только трех фотошаблонов для металлизации межсоединений на освоенном БМК и применении автоматизации проектирования;

относительно невысокая стоимость разработки новой модификации МаБИС за счет изготовления ограниченного числа фотошаблонов (три), использования ранее (один раз) разработанного БМК и короткого цикла проектирования;

возможность разработки и изготовления большого числа модификаций МаБИС на основе данного БМК в относительно сжатые сроки за невысокую стоимость;

хорошие условия теплоотвода от компонентов за счет распределенного и удаленного друг от друга размещения топологических ячеек на БМК;

упрощенные условия автоматизированной разработки программ тестирования и диагностики МаБИС за счет регулярности структуры и наличия библиотеки элементов БМК.

С одной стороны, матричные БИС экономически выгоднее заказных БИС. С другой, за счет более высокого быстродействия и большей номенклатуры МаБИС превосходят микропроцессорные (секционные) БИС при применении в быстродействующих и сверхбыстродействующих ЭВМ. Следует отметить, что МаБИС является логическим продолжением элементной базы

III поколения ЭВМ — интегральных микросхем, малой и средней степени интеграции, которые на одной базовой конструкции многослойной печатной платы позволяют разработать все многообразие типовых элементов замены, (ТЭЗ), необходимых для высокопроизводительной ЭВМ [29]. Методы и средства проектирования ТЭЗ ЭВМ в значительной степени могут быть использованы при разработке матричных БИС. Матричные ЭСЛ БИС получили наибольшее применение в качестве элементной базы ЭВМ IV поколения [30, 31].

Отечественной промышленностью освоены БМК типа И-200 и И-300, на основе которых разработаны серии субаносекундных ЭСЛ матричных БИС.

12.2. Матричные БИС серии К1520ХМ1

Матричные БИС серии К1520ХМ1 проектируются на основе БМК И-200. Набор компонентов БМК И-200 позволяет создавать субаносекундные эмиттерно-связанные логические и запоминающие элементы. Базовый матричный кристалл И-200 предназначен для создания функционально различных ЭСЛ матричных БИС изменением металлизации межсоединений в двух слоях. Конструкция БМК И-200, имеющего размеры $4,4 \times 3,3$ мм схематично представлена на рис. 12.1.

Кристалл содержит внутреннюю и периферийную части. Внутренняя часть представляет собой матрицу из 36 (6×6) однотипных ТЯ, каждая из которых состоит

из четырех одинаковых фрагментов — набора нескоммутированных транзисторов и резисторов (рис. 12.2), достаточного для построения двухходового малосигнального ЭСЛ элемента $2И/2И-НЕ$ с двойными выходами. В центре ячейки содержится набор компонентов для построения источника опорного напряжения (ИОН) U_{11} , обслуживающего логические элементы ячейки.

Периферийная часть кристалла содержит 14 ячеек, симметрично расположенных с двух противоположных сторон кристалла, предназначенных для построения 24 выходных усилителей и 36 мощных транзисторов для образования выходных эмиттерных повторителей. Каждые 6 выходных усилителей обслуживаются своим источником опорного напряжения. На периферийном кристалле расположены 56 контактных площадок, 48 из которых являются сигнальными, а 8 служат для подведения напряжения питания. Проводники шин питания и «земли» выполнены в двух слоях и образуют сетку, покрывающую кристалл, в прямоугольниках которой расположены ячейки внутренней части кристалла. Шины земли для снижения омического сопротивления, сделаны во втором слое металла более толстыми, а шины электропитания изготовлены в двух слоях: 7 вертикальных шин первого слоя и 2 горизонтальные шины второго слоя. Источники опорного напряжения расположены под шинами «земли», так как выход с них во второй слой металлизации не требуется.

Разводка проводников БИС осуществляется в двух слоях металлизации. На каж-

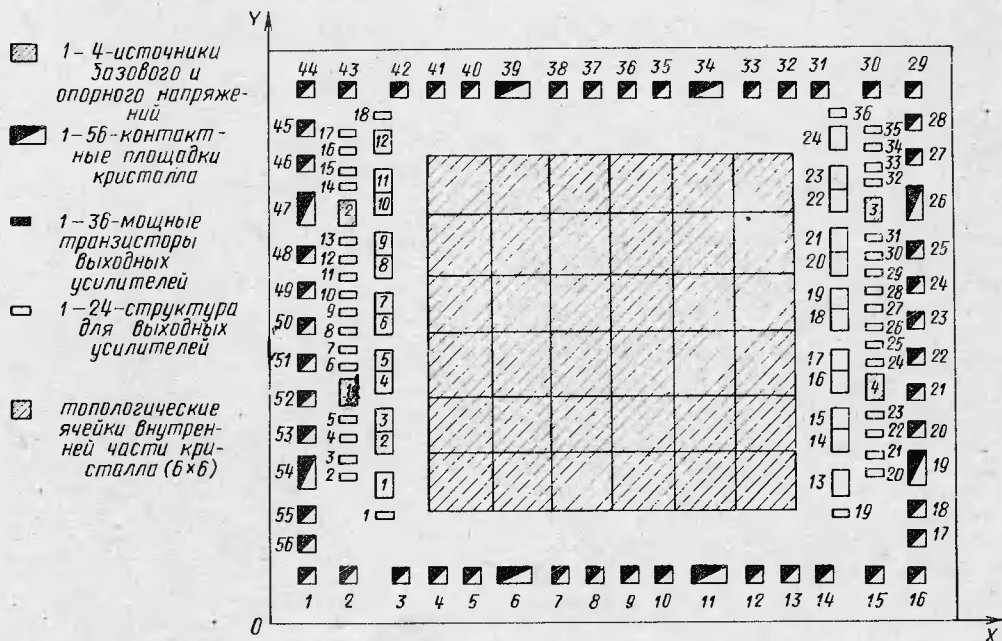


Рис. 12.1. Структура базового матричного кристалла И-200

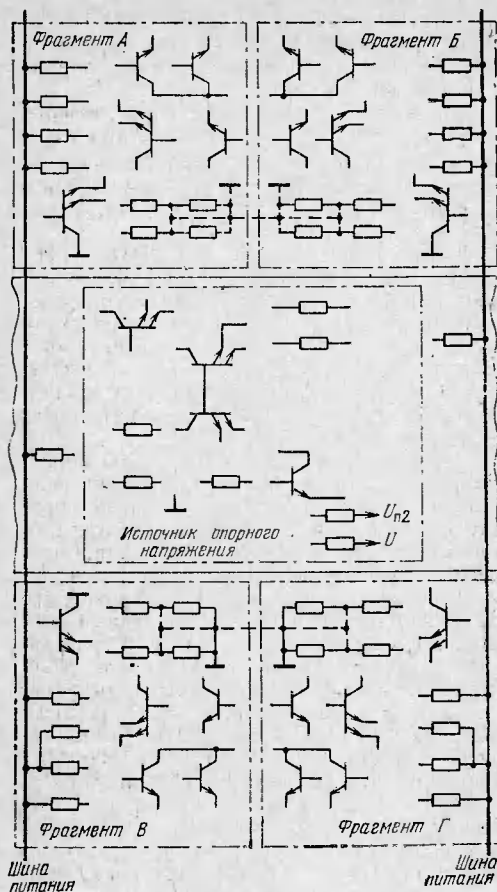


Рис. 12.2. Набор компонентов в базовой ячейке

Для пояснения используемых в БМК И-200 схемотехнических решений на рис. 12.4 и 12.5 приведены электрические схемы ФЯ F5 и выходного элемента У1. Из рис. 12.4 видно, что расширение логических возможностей ЭСЛ элемента в ФЯ F5 достигается коллекторным объединением транзисторов VT3 и VT4 двух переключателей тока, что позволяет реализовать логическую функцию Проводное ИЛИ. Для ограничения логического перепада и исключения насыщения транзисторов VT3, VT4 при их одновременном вклю-

дую внутреннюю ячейку приходится 8 вертикальных трасс по четыре с каждой стороны ячейки, расположенных в первом слое, и 13 горизонтальных трасс, проходящих над ячейкой во втором слое. Всего на БМК И-200 имеется 48 вертикальных трасс и 78 горизонтальных. Минимальная ширина сигнального проводника первого слоя составляет 8 мкм, второго слоя 11 мкм; размер шага по горизонтали равен 16 мкм, по вертикали 22 мкм. Проектирование логической структуры БИС осуществляется с помощью библиотеки функциональных ячеек (ФЯ), состав которой приведен на рис. 12.3. В табл. 12.1 даны значения времени задержки распространения сигналов при работе на внутреннее сопротивление нагрузки без подключения входов других ФЯ и потребляемая мощность ФЯ без учета эмиттерных повторителей. Средняя мощность, потребляемая эмиттерным повторителем при работе на один резистор, для внутренней ФЯ составляет 10,1 мВт и для выходного ЛЭ — 18,2 мВт.

Для пояснения используемых в БМК И-200 схемотехнических решений на рис. 12.4 и 12.5 приведены электрические схемы ФЯ F5 и выходного элемента У1. Из рис. 12.4 видно, что расширение логических возможностей ЭСЛ элемента в ФЯ F5 достигается коллекторным объединением транзисторов VT3 и VT4 двух переключателей тока, что позволяет реализовать логическую функцию Проводное ИЛИ. Для ограничения логического перепада и исключения насыщения транзисторов VT3, VT4 при их одновременном вклю-

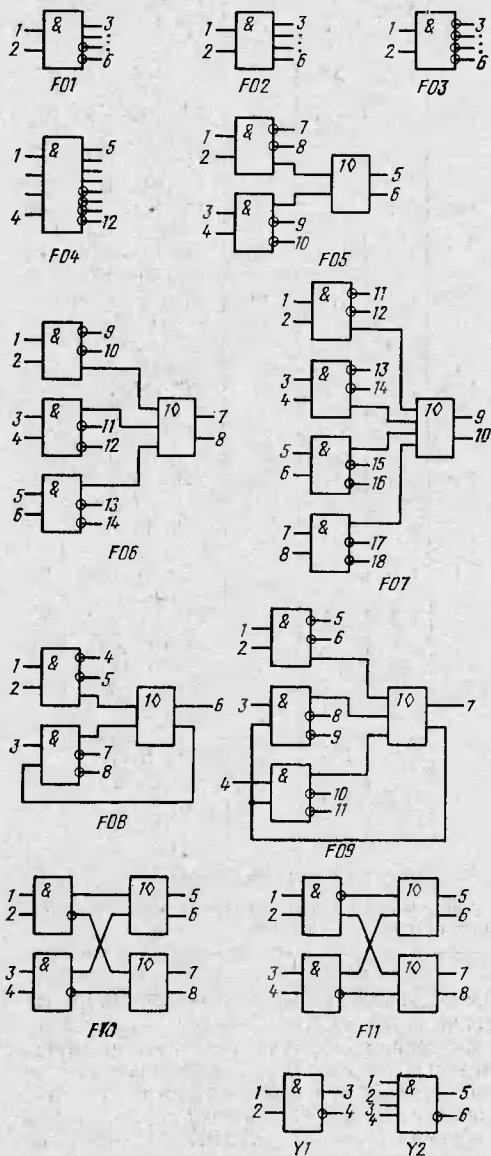


Рис. 12.3. Состав библиотеки функциональных элементов БМК И-200

Таблица 12.1

Вид ФЭ	Задержка распространения, нс		Потребляемая мощность, мВт	Выводы (выход/вход)
	$t_{1,0}^z$	$t_{0,1}^z$		
F01	0,75	0,9	9	По Вых. 3
	1,0	0,75		По Вых. 3
F02	1,2	0,9	9	По Вых. 3
F03	0,9	1,1	9	По Вых. 3
F04	1,0	1,2	9	По Вых. 9—12
	1,3	1,0		По Вых. 5—8
F05	0,75	0,9	18	По Вых. 7—8
				отн. Вх. 1
	1,1	0,8		По Вых. 5—6
				отн. Вх. 1
F06	0,75	0,9	27	По Вых. 9—10
				отн. Вх. 1
	1,2	0,9		По Вых. 7—8
				отн. Вх. 1
F07	0,75	0,9	36	По Вых. 11—12
				отн. Вх. 1
	1,3	1,9		По Вых. 9—10
				отн. Вх. 1
F08	1,1	0,8	18	По Вых. 6
				отн. Вх. 1
	1,0	0,75		По Вых. 4—5
				отн. Вх. 1
F09	1,3	1,0	27	По Вых. 7
				отн. Вх. 1
	1,0	0,75		По Вых. 5—6
				отн. Вх. 1
F10	1,1	0,8	36	По Вых. 5—6
				отн. Вх. 1
	1,0	1,3		По Вых. 7—8
				отн. Вх. 1
F11	1,0	1,3	36	По Вых. 5—6
				отн. Вх. 1
	1,1	0,8		По Вых. 7—8
				отн. Вх. 1
Y1	0,8	1,0	32	По Вых. 3
				отн. Вх. 1
	1,2	0,8		По Вых. 4
				отн. Вх. 1
Y2	1,0	1,2	32	По Вых. 5
				отн. Вх. 1
	1,3	0,9		По Вых. 6
				отн. Вх. 1

Примечание. Разброс значений $t_{0,1}^z$, $t_{1,0}^z$ в пределах кристалла не более $\pm 30\%$ относительно типового значения.

чении используется транзистор VT10. Падение напряжения на резисторах R1 и R2, включенных параллельно, создает дополнительный сдвиг уровней логических сигналов, что позволяет, несмотря на пониженный до 0,6 В логический перепад во внутренней структуре БИС, обеспечить совместимость порогов переключения элементов с микросхемами серии K1500. Выходной элемент Y1 (рис. 12.5), содержащий термостабилизирующую цепочку из рези-

стора R3 и транзисторов VT5, VT6 в диодном включении, полностью соответствует базовому логическому элементу микросхем серии K1500.

Приращение задержки распространения $\Delta t_{0,1}^z$ и $\Delta t_{1,0}^z$ сигналов, времени нарастания $\Delta t_{1,0}^z$ и спада $\Delta t_{0,1}^z$ при одном нагрузочном резисторе в зависимости от коэффициента разветвления по выходу для внутренних ФЭ приведены на рис. 12.6.

Проектирование БИС на БМК И-200 осуществляется в несколько этапов в соответствии со структурной схемой, показанной на рис. 12.7. В зависимости от имеющихся средств автоматизации проектирования длительность этапов может изменяться. Пунктиром показаны циклы итераций, которые могут возникнуть при разработке конкретной МаБИС.

Уровень интеграции БМК И-200 оценивается в 250 эквивалентных логических элементов 2И—НЕ. На его основе могут быть разработаны достаточно сложные субнаносекундные ЭСЛ МаБИС. Например, 2-разрядное регистровое арифметическо-логическое устройство (АЛУ), 4-разрядное комбинационное АЛУ, 16-разрядный комбинационный сдвигатель, 24- и 32-разрядные схемы контроля, 36-разрядное регистровое поле и т. п. В среднем в вычислительной аппаратуре одна ЭСЛ МаБИС, разработанная на основе БМК И-200, заменяет от 8 до 12 СИС серии K1500. При массовом применении подобных МаБИС, с учетом более крупных их корпусов по сравнению с корпусами СИС серии K1500 возможно повышение плотности компоновки на плате в пять раз. При этом достигается более высокое быстродействие, значительно экономится мощность, облегчается трассировка связей на платах, повышается надежность. Ниже приведены усредненные данные ЭСЛ МаБИС серии K1520XM1, разработанные с помощью автоматизированных средств проектирования.

Степень интеграции (в логических элементах 2И—НЕ)	200
Время задержки на каскад, нс	1,2
Число каскадов в логических цепях	4—6
Время задержки в логической цепи, нс	5—8
Ток МаБИС, А	0,52
Мощность, потребляемая МаБИС, Вт	2,4
Ток элемента 2И—НЕ, мА	2,6
Мощность потребляемая элементом 2И—НЕ, мВт	12,0
Число используемых физических элементов на кристалле	136
Число сигнальных контактов МаБИС	47
Число контактов:	
входных	35
выходных	12

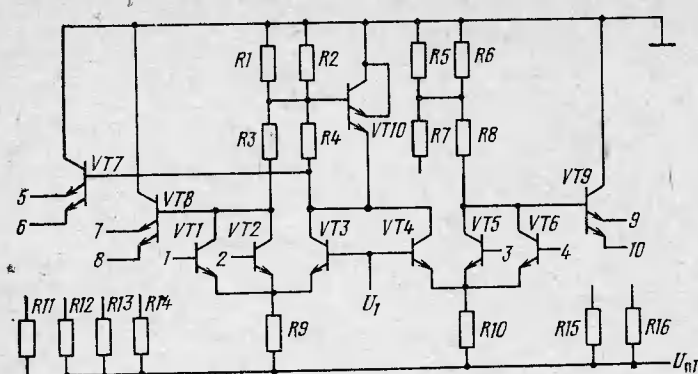


Рис. 12.4. Электрическая схема функционального элемента F05

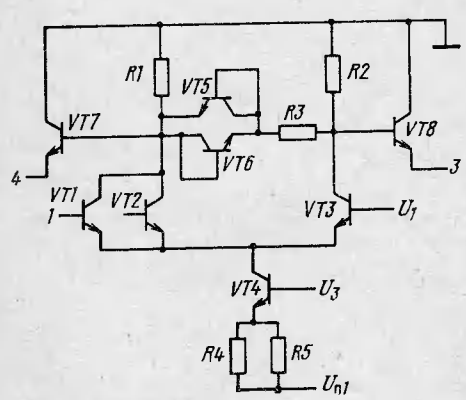


Рис. 12.5. Схема электрическая выходного элемента Y1

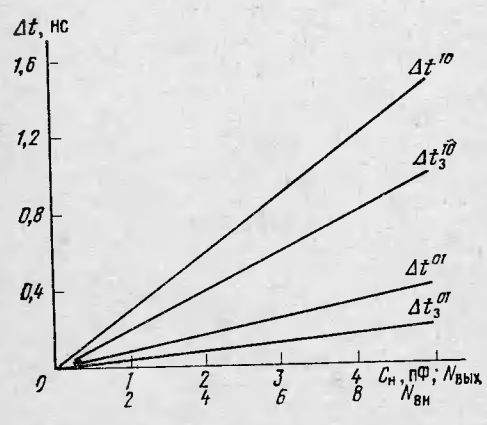


Рис. 12.6. Зависимости приращивания задержки распространения $\Delta t_{3,0}^{0,1}$, $\Delta t_{3,0}^{1,0}$, времени нарастания $\Delta t_{3,0}^{1,0}$ и спада $\Delta t_{3,0}^{0,1}$ сигналов от емкости нагрузки C_n , числа нагрузок внутренних $N_{вн}$ и выходных $N_{вых}$ ячеек

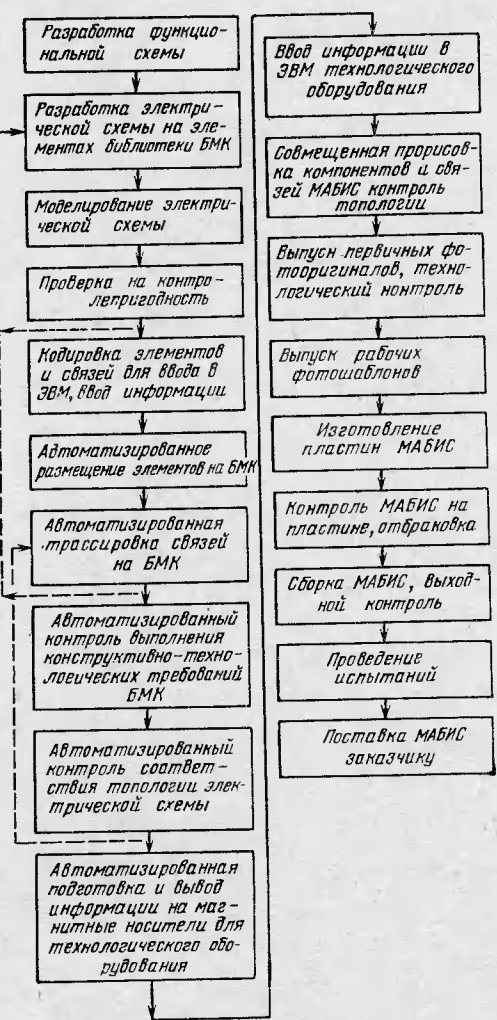


Рис. 12.7. Последовательность проектирования БИС на основе базового матричного кристалла И-200

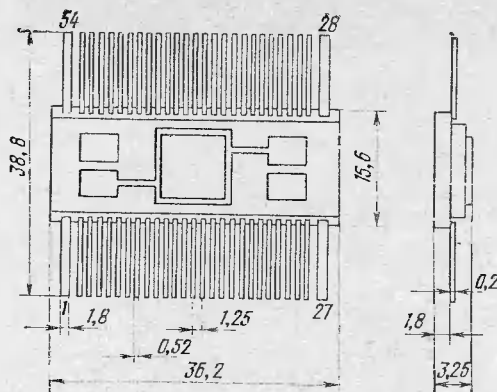


Рис. 12.8. Корпус матричных БИС серии K1520XM1

Конструктивно ЭСЛ МаБИС серии K1520XM1 оформлены в 54-выводной корпус 4135-54-1 с планарным расположе-

нием выводов. На рис. 12.8 приведен общий вид корпуса с габаритными и установочными размерами. Тепловое сопротивление корпуса составляет 5 C/Вт. Для отвода тепла корпус необходимо устанавливать на теплоотводящую шину.

Матричные БИС K1520XM1 предназначены для работы в температурном диапазоне от 1 до 75 °C на основании корпуса. Электропитание МаБИС обеспечивается напряжением $U_{ш} = -4,5 \text{ В} \pm 5\%$. Выходы ЭСЛ МаБИС серии K1520XM1 работают на низкоомные линии связи и согласуемые сопротивлением 50 Ом, подключаемым к напряжению вспомогательного питания $U_{п2} = -2,0 \text{ В} \pm 5\%$.

12.3. Матричные БИС серии K1520XM2

Матричные ЭСЛ БИС серии K1520XM2 проектируются на основе БМК И-300. Набор компонентов БМК И-300 позволяет

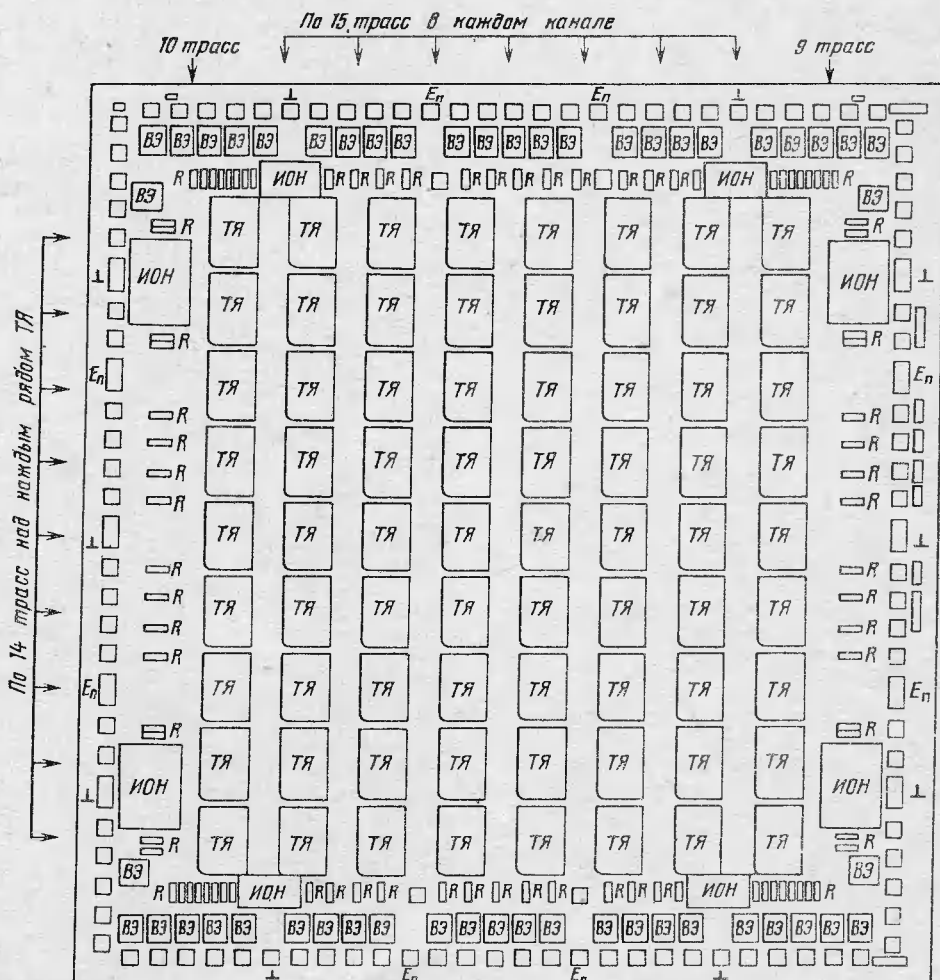


Рис. 12.9. Структура базового матричного кристалла И-300

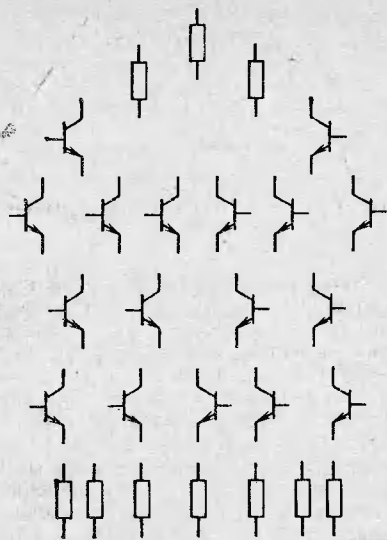


Рис. 12.10. Набор компонентов фрагмента базовой ячейки

создавать одно- и двухуровневые логические и запоминающие элементы наносекундного диапазона. БМК И-300 имеет размеры $5,1 \times 5,3$ мм, его структура показана на рис. 12.9. Кристалл условно можно разделить на внутреннюю и периферийную части. На внутренней части БМК размещаются 72 топологические ячейки, расположенные в виде матрицы 8×9 . Каждая ТЯ разделена на четыре фрагмента, содержащих 17 транзисторов и 10 резисторов. Кроме

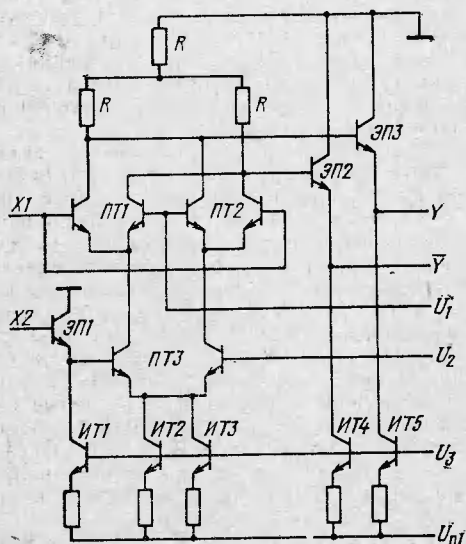


Рис. 12.11. Электрическая схема логического элемента, реализующего функции $Y = \overline{X_1}X_2 + X_1\overline{X_2}$, $\overline{Y} = X_1\overline{X_2} + \overline{X_1}X_2$

того, в БМК имеются компоненты для формирования источников опорных напряжений. На периферийной части БМК И-300 расположены 50 выходных элементов, 8 источников опорных напряжений, 90 входных резисторов и 108 контактных площадок для подключения к выводам корпуса.

Межсоединения на кристалле выполняются металлизацией в двух слоях: разводка связей внутри ТЯ осуществляется, как правило, в первом слое, а соединения элементов различных ТЯ производятся металлизированными проводниками, расположенными в каналах по трассам в двух слоях. В первом слое на БМК И-300 имеется 124 трассы для проводников, проходящих в одном направлении: по 15 трасс между рядами ТЯ, 10 и 9 трасс по краям матрицы. Во втором слое предусмотрено 126 трасс для проводников, расположенных в поперечном направлении по 14 трасс над каждым рядом ТЯ. Число трасс во втором слое можно увеличить за счет неиспользуемых рядов ТЯ: над каждым недействующим рядом ТЯ можно провести дополнительно до 22 трасс. Ширина проводников в двух слоях одинакова и составляет 8 мкм, шаг проводников в первом слое 15 мкм, во втором 13 мкм.

Основные логические возможности БМК И-300 сосредоточены в ТЯ. На рис. 12.10 приведен набор компонентов одного фрагмента ТЯ. Такой набор компонентов вместе с возможностями гибкой схемотехники одно и двухуровневых ЭСЛ элементов позволяет реализовать широкий набор различных модификаций: логических элементов И/И-НЕ, И-ИЛИ/И-ИЛИ-НЕ, сложения по модулю 2, дешифраторов, мультиплексоров, полусумматоров, синхронных одно и двухступенчатых триггеров и т. п. В качестве примера на рис. 12.11 приведена электрическая схема двухуровневого ЭСЛ элемента, выполняющего функции $Y = \overline{X_1}X_2 + X_1\overline{X_2}$, $\overline{Y} = \overline{X_1}X_2 + X_1\overline{X_2}$. Он содержит токовые переключатели (ТП), входные и выходные эмиттерные повторители (ЭП) с нагрузкой в виде транзисторно-резисторного источника тока (ИТ). Широкие логические возможности богатого функционального набора достигаются благодаря гибкой ЭСЛ-схемотехнике и достаточного набора компонентов: возможности проектировать многоходовые элементы за счет большого числа транзисторов в ТЯ; получения функции ИЛИ/ИЛИ-НЕ (в отрицательной логике) в одном каскаде за счет использования коллекторного и эмиттерного объединения; построения синхронных триггеров и сложных функциональных схем в одном каскаде за счет применения двухуровневого принципа переключения в ТП.

Для увеличения быстродействия и снижения потребляемой мощности внутренние элементы БМК И-300 работают с уменьшенной до 0,6 В амплитудой сигнала. Высокий уровень технологии БМК И-300 позволяет получить время задержки

Таблица 12.2

Вид ФЯ	Задержка распространения, нс	Потребляемая мощность, мВт	Примечание
M1	0,7	6,5	По вых. $Y/\bar{Y}$
M2	0,8	21	Относительно Вх. А, В
	1,45		Относительно Вх. W
M3	0,85	21	Относительно Вх. S0, S1
	1,55		Относительно Вх. E
M4	0,8/0,8/ 0,8/0,8 1,5/1,5/ 1,5/1,5	26	$Y0/Y1/Y2Y3$ относительно Вх. A0, A1 $Y0/Y1/Y2Y3$ относительно Вх. E
M5	0,75/0,75 1,45 1,45	8	$Y/\bar{Y}$ относительно Вх. X1, X2 $Y/\bar{Y}$ относительно Вх. X3
M6	0,75 1,45	6,5	Относительно Вх. X1, X2 Относительно Вх. X3
M7	0,75 0,8 1,45 1,45	8	$Y/\bar{Y}$ относительно Вх. X1, X2, X3 $Y/\bar{Y}$ относительно Вх. X4, X5
M8	0,75/0,75 0,45 0,45	8	$Y/\bar{Y}$ относительно Вх. X1 $Y/\bar{Y}$ относительно Вх. X2
M9	0,7 1,4		Относительно Вх. A1, A2
M10	0,85 1,55	11,5	Относительно Вх. E Относительно X1, X2
M11	0,75/0,85 0,7 1,45/0,85 0,7 0,85 0,85 0,7 1,55 1,55 0,7	23	Относительно X3, X4 $Y1/Y2/Y3$ относительно X1 $Y1/Y2/Y3$ относительно X2 $Y1/Y2/Y3$ относительно X3 $Y1/Y2/Y3$ относительно X4
M12	0,7 0,9 0,85 0,85	11,5	$F1/\bar{F1}$ относительно Вх. A1—A4 $F2/\bar{F2}$ относительно Вх. B1—B4
M13	0,7 0,75	26	$F/\bar{F}$ относительно Вх. X
M14	1,05 0,8	23	$Y/\bar{Y}$ относительно Вх. A, B, D, E, G, H, J, K $Y/\bar{Y}$ относительно Вх. C, F, I, L
M15	0,75 1,45	27,5	Относительно Вх. D
M16	1,2 1,2	29	Относительно Вх. C Относительно Вх. C

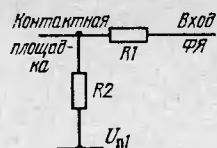


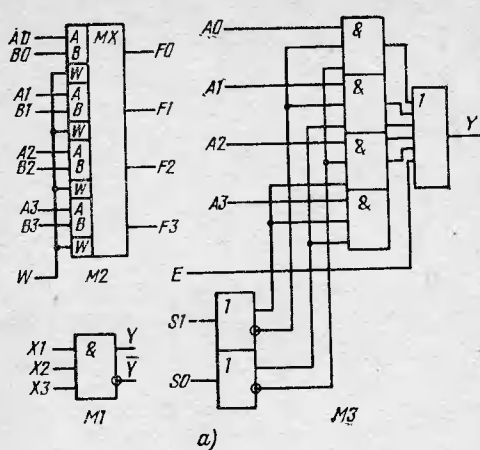
Рис. 12.12. Демпфирующая резисторная цепочка

ЭСЛ, элемента, равное 1 нс. при потребляемой мощности 5 мВт. Для сохранения высокого быстродействия при больших нагрузках имеется возможность увеличивать рабочий ток выходных ЭП в два и четыре раза, что снижает выходное сопротивление и ускоряет перезаряд нагрузочных конденсаторов.

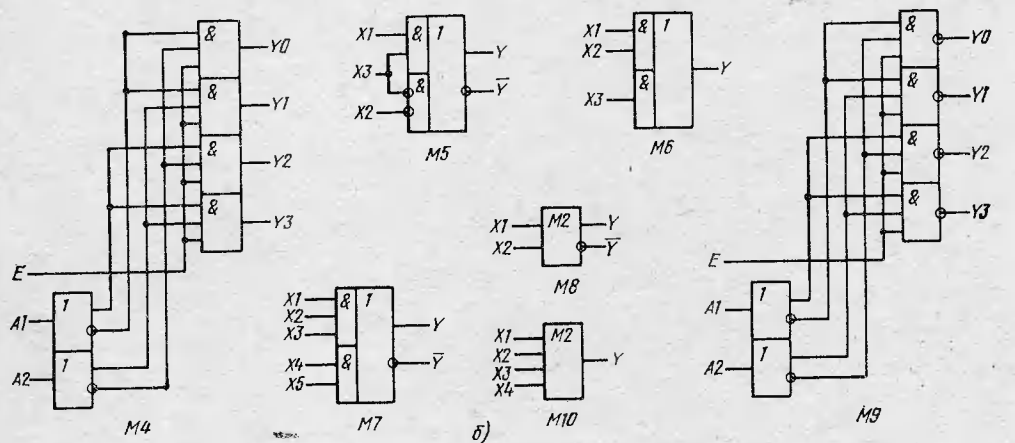
Выходные логические элементы БМК И-300 предназначены для усиления по мощности и преобразования сигналов внутренних элементов в стандартные входные сигналы, принятые в сериях микросхем K1500, K1520XM1 и K1520XM2. Выходной элемент выполняет функции 2И/2И—НЕ, имеет встроенную диодно-резисторную цепь для стабилизации выходных уровней по температуре, способен работать на согласованную линию связи с волновым сопротивлением 50 Ом. Электрическая схема выходного элемента приведена на рис. 12.5. Внешний входной сигнал может поступать как на вход внутреннего элемента МаБИС, так и на вход выходного элемента. Поскольку линия связи до входа элемента может иметь заметную протяженность, то для предотвращения паразитной генерации высокочастотных элементов МаБИС, входной сигнал поступает через демпфирующую резисторную цепочку (рис. 12.12). Необходимые для работы внутренних и выходных элементов МаБИС опорные напряжения вырабатываются источником опорных напряжений.

Проектирование логической схемы МаБИС осуществляется с помощью библиотеки ФЯ, исходный состав которой приведен на рис. 12.13. При необходимости состав ФЯ может быть расширен (см. приложение 5) за счет разработки элементов на основе тех компонентов, которые имеются в ТЯ. В табл. 12.2 приведены значения времени задержки сигналов при переключении ФЯ без внешней нагрузки и значения потребляемой мощности ФЯ. За счет технологических разбросов указанные значения могут изменяться на $\pm 100\%$. Фронты выходных сигналов ФЯ 0,9—1,5 нс. На рис. 12.14 приведена зависимость приращения времени задержки сигнала в элементе от емкости нагрузки.

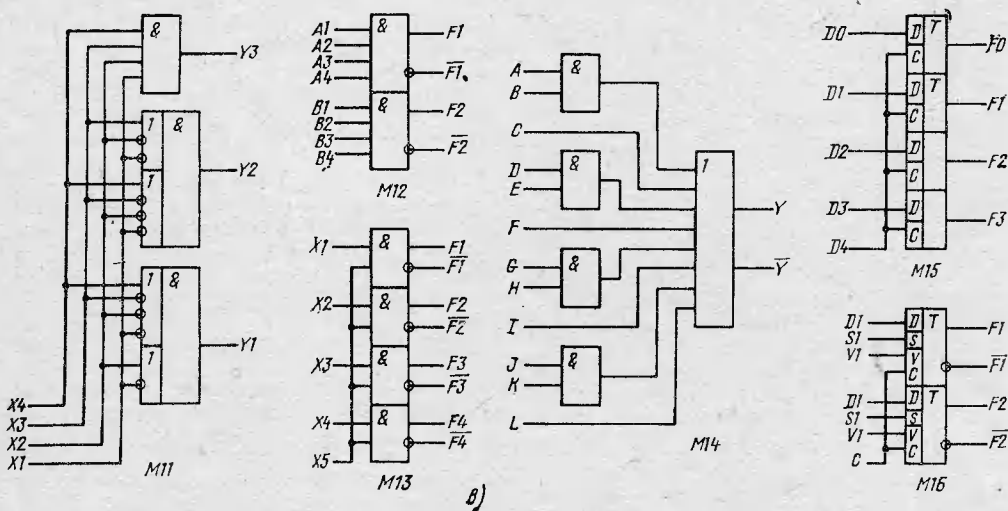
Проектирование МаБИС на основе БМК И-300 производится по аналогичному структурно-технологическому маршруту, что и МаБИС на основе БМК И-200 (рис. 12.7). Степень интеграции БМК И-300 ориентировочно в четыре раза боль-



a)



б)



в)

ше, чем БМК И-200, и оценивается в 1100 эквивалентных элементов. На основе БМК И-300 можно реализовать сложные функциональные схемы, по уровню интеграции равные функциональной емкости стандартных ТЭЗ ЕС ЭВМ «Ряд-2», или в отдельных случаях превышающее ее. Это позволяет переводить ТЭЗ в БИС, при этом значительно повышается плотность компоновки, уменьшается потребляемая мощность, увеличивается быстродействие и растет надежность. На основе БМК И-300 разработаны МаБИС серии К1520ХМ2, в которых реализованы функциональные узлы быстродействующих ЭВМ.

Конструктивно быстродействующие ЭСЛ МаБИС серии К1520ХМ2 выполняются в 108-выводном металлокерамическом кор-

Рис. 12.13. Состав библиотеки функциональных элементов БМК И-300

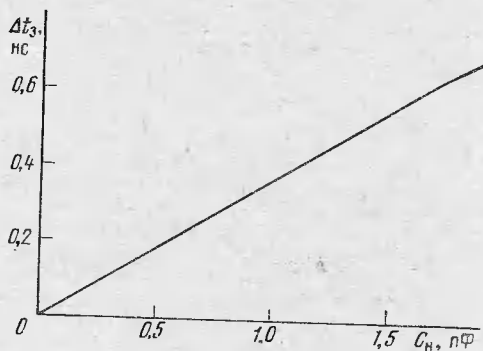


Рис. 12.14. Зависимость приращения задержки распространения сигналов от емкости нагрузки

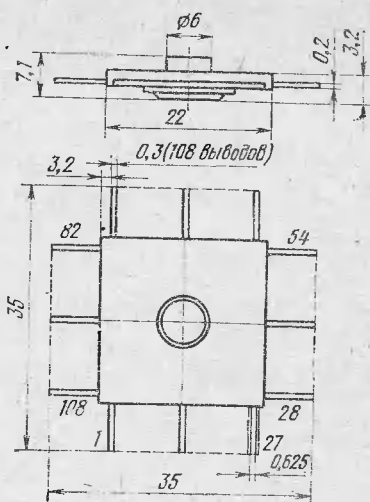


Рис. 12.15. Корпус микросхем серии К1520ХМ2

пусе с планарными выводами, расположенными с четырех сторон корпуса с шагом 0,625 мм (рис. 12.15). Из 108 выводов корпуса 90 используются как сигнальные, остальные как потенциальные: 10 выводов применяются для подключения шины земли и 8 — для напряжения питания. Для обеспечения работоспособности МаБИС необходим источник питания с напряжением $-4,5 \text{ В} \pm 5\%$. Для снижения теплового сопротивления корпуса и уменьшения температуры кристалла на основании корпуса, где устанавливается БМК, припаян металлический цилиндр, улучшающий режим отвода тепла. На него можно крепить дополнительный радиатор для увеличения схода тепла. МаБИС серии К1520ХМ2 работоспособны в диапазоне температур -85°C на основании корпуса. При ско-

рости обдува воздухом 5 м/с тепловое сопротивление корпуса составляет 4°C/Вт , допустимая рассеиваемая мощность МаБИС равна 5 Вт. По напряжению питания, температурному диапазону работы, уровням логических сигналов, входным и выходным токам быстродействующие ЭСЛ МаБИС серии К1520ХМ2 полностью совместимы с микросхемами серий К1500 и К1520ХМ1.

Быстродействующие матричные БИС являются новой высокоэффективной элементной базой ЭВМ. Широкое применение МаБИС в быстродействующих ЭВМ позволяет в 5—10 раз повысить плотность упаковки, значительно снизить потребляемую мощность, увеличить быстродействие, повысить надежность вычислительной аппаратуры.

ТИПОВЫЕ КОНСТРУКЦИИ ЭВМ НА МИКРОСХЕМАХ

Разработка и широкое применение интегральных схем в различных вычислительных средствах существенным образом повлияло на методы и, принципы конструирования и компоновки ЭВМ. Конструкции современных ЭВМ в значительной мере определяются электрическими, функциональными и временными характеристиками ИС, плотностью компоновки и длиной связей между элементами и между устройствами (с учетом обеспечения быстрой работы и помехозащищенности), возможностями конструктивно-технологической реализации и серийного производства. В то же время конструкции ЭВМ должны обеспечивать получение заданных технико-экономических показателей ЭВМ при минимальных затратах. Учет этих требований обусловил необходимость широкого использования типовых решений в конструкциях устройств и ЭВМ в целом.

Современные ЭВМ независимо от их назначения, функционального объема (см. § 14.1) и временных параметров содержат в своей структуре несколько конструктивно-функциональных модульных уровней, каждый из которых предусматривает применение одной или нескольких типовых конструкций, базирующихся на использовании типовых решений по компоновке ИС, размерам печатных плат, организации внутреннего и внешнего электро монтажа, обеспечению конструктивной совместимости, технологическим процессам изготовления и др. С появлением ИС наибольшее развитие получили в основном три системы ЭВМ: система микро-ЭВМ, система малых ЭВМ (СМ ЭВМ) и Единая

система ЭВМ (ЕС ЭВМ). Для каждой системы разработаны и широко применяются стандартизованные типовые конструкции модульных уровней. Основные размеры типовых конструкций и принципы их построения определены ГОСТ 26202—81 (для микро-ЭВМ и СМ ЭВМ) и ГОСТ 25122—82 (для ЕС ЭВМ). В зависимости от назначения и области применения ЭВМ ее типовые конструкции характеризуются рядом особенностей. Так, например, для системы микро-ЭВМ и СМ ЭВМ одной из наиболее важных задач при создании типовых конструкций является обеспечение конструктивной совместимости устройств, построенных на различной по схемотехнике элементной базе и учитывающих возможность модульного наращивания устройств. При этом вопросы плотности компоновки элементов в устройствах не являются первостепенными. В то же время для ЕС ЭВМ основными являются требования обеспечения высокой плотности компоновки и сокращения длины связей между элементами с целью обеспечения высокого быстродействия устройств и высокой производительности ЭВМ в целом.

Основные характеристики и особенности применения типовых конструкций трех наиболее развитых систем ЭВМ приведены в гл. 13.

В главе 14 приведены наиболее общие методы расчета конструкций и особенности электронного конструирования узлов на основе ИС и БИС. Особое внимание уделено методам расчета компоновочных и монтажных параметров конструктивных узлов быстродействующих ЭВМ.

Глава 13

Системы типовых конструкций ЭВМ

13.1. Типовые конструкции микро-ЭВМ

Широкое применение микро-ЭВМ в отечественной и зарубежной технике привело к созданию особых качественных свойств их конструкции:

возможность компоновки микро-ЭВМ на отдельной печатной плате или в корпусе интегральной микросхемы;

возможность функционального и кон-

структивного наращивания микро-ЭВМ за счет включения в ее состав отдельных ячеек устройств в соответствии с изменением объема и вида задач;

простота смены элементов и изменения некоторых параметров;

наличие развитой структуры типовых (базовых) конструкций, включающей оптимальное число типоразмеров, готовых для компоновки микро-ЭВМ различного назначения и объема.

простота конструкции, оптимальные показатели технологичности, плотности компоновки, материалоемкости, стоимости, обусловленные высокой степенью серийности и универсальностью применения.

Отличительными признаками микро-ЭВМ, выделяющими их в самостоятельный класс вычислительной техники, являются [33]:

использование в качестве элементной базы больших интегральных схем;

возможность функционирования без автономных источников электропитания и пульта оператора;

простота встраиваемости в любое производственное оборудование и аппаратуру без каких-либо доработок конструкции и проведения пусконаладочных работ;

простота эксплуатации, не требующая организации специального обучения персонала и специального обслуживания;

относительно невысокая стоимость.

По конструктивному оформлению все микро-ЭВМ, выпускаемые в СССР и за рубежом, можно разделить на однокорпусные (или однокристалльные), одноплатные и многоплатные. Первую группу образуют микро-ЭВМ (процессор, ОЗУ и схемы интерфейса), скомпонованные в корпусах ИС. Такие микро-ЭВМ в литературе получили название однокристалльных, так как их функции выполняются кристаллом, помещенным в корпус. Однако известны микро-ЭВМ, функции которых реализуются на двух или трех кристаллах, размещаемых в одном корпусе ИС. Отсюда и название — однокорпусные микро-ЭВМ. В одноплатных микро-ЭВМ все элементы, а также однокорпусные микро-ЭВМ скомпонованы на одной печатной плате, выполняющей одновременно монтажные и конструктивные функции. Многоплатные микро-ЭВМ включают две и более одноплатные микро-ЭВМ, а также периферийные устройства, скомпонованные на печатных платах, как правило, одного типоразмера, механически и электрически объединенных в какой-либо конструкции — корпусе.

Конструктивно однокорпусные микро-ЭВМ (например, автономные контроллеры) выполняются, как правило, в корпусе типа ДИП с числом выводов 18, 24, 40, 48, 52, 64. Наибольшее распространение получили однокорпусные микро-ЭВМ, имеющие 40 выводов. Как правило, они не используются автономно: для включения их в достаточно сложный объект управления необходимы дополнительные ИС, обеспечивающие функциональную полноту и возможность сопряжения микро-ЭВМ с датчиками и исполнительными механизмами. В результате однокорпусная микро-ЭВМ, обрстая другими ИС и элементами, превращается в одноплатную.

Одноплатные микро-ЭВМ, а также отдельные платы с функциональными узлами используются прежде всего в качестве встраиваемых модулей управления и обра-

ботки информации. В их состав входят ЗУ небольшой емкости и ограниченное число цифровых каналов ввода—вывода и к ним можно подключать внешние ЗУ и каналы.

Проектирование одноплатных микро-ЭВМ осуществляется тремя методами. По первому печатная плата предельно заполняется микросхемами; по второму — функциональные блоки микро-ЭВМ располагаются на отдельных платах, помещенных в компоновочный корпус. Третий метод проектирования является комбинацией первых двух.

Компоновка многоплатных микро-ЭВМ зависит от их назначения и условий эксплуатации. Анализ зарубежных микро-ЭВМ, проведенный в работе [33], позволяет выделить несколько видов компоновок: в частичных и комплектных корпусах различного исполнения; в комплектных корпусах — кожухах в настольном, настенном и переносном исполнении; в оригинальных корпусах, выполненных, однако, с учетом размещения их в комплексных корпусах (стойках, шкафах, кожухах); в конструкциях функциональных устройств автоматизированных систем управления, систем проектирования, обработки данных, числового программного управления металлорежущим оборудованием и др.

Развитие микро-ЭВМ выявило ряд взаимосвязанных проблем, в том числе проблемы совместимости, решение которых требует системного подхода к разработке, производству и применению микро-ЭВМ. Сущность системного подхода заключается в том, что микро-ЭВМ представляется в виде сложной функциональной системы, состоящей из частных систем: элементной, периферийной, конструктивной и математической.

Конструктивная система микро-ЭВМ представляет собой совокупность уровней типовых (базовых) конструкций, организованная в определенной соподчиненности на основе единого размерного модуля, оптимальной технологии производства с учетом функциональных, механических и тепловых факторов, а также требований технической эстетики для создания необходимых вариантов компоновок микро-ЭВМ.

Иерархия уровней конструктивной системы микро-ЭВМ определяется по сложности типовых конструкций, т. е. путем включения более простых конструкций первых уровней в более сложные конструкции последующих уровней.

Представляется целесообразным рассматривать конструктивную систему микро-ЭВМ совместно с элементной системой в виде табл. 13.1, предложенной Ф. И. Романовым и В. А. Шахновым [33]. В составе конструктивной системы микро-ЭВМ используются четыре уровня: уровень 1 — плата; уровень 2 — корпус частичный; уровень 3 — корпус комплектный; уровень 4 — корпус комплексный. На каждом уровне содержатся только типовые конструкции и их модификации. Они приме-

няются в пределах данной конструктивной системы в соответствии со схемой входимости (см. табл. 13.1), показывающей возможные варианты входимости конструкции одного уровня в другие.

Печатные платы предназначены для размещения на них ИС, элементов управления и контроля, запоминающих элементов и др.

Корпус частичный предназначен для размещения одной или двух печатных плат. В корбчатом частичном корпусе может размещаться больше двух плат и, кроме того, — элементы так называемого объемного монтажа. Модификации частичного корпуса — плата с рычагами и плата с панелью — устанавливаются по направляющим. Механическое и электрическое соединение производится врубным способом.

Модификация комплектного корпуса — корпус (панель) предназначается для непосредственной компоновки элементов. Панель может содержать кожух, защищающий элементы, а также применяться в качестве заглушки при компоновке комплектных корпусов. Все другие модификации комплектного корпуса предназначаются для компоновки плат, частичных корпусов, и других необходимых элементов. Каркас устанавливается в комплексном корпусе с помощью направляющих (либо с помощью передней панели или фланцев на винтах, аналогично креплению корпуса —

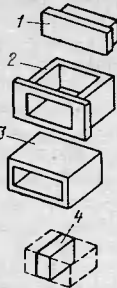
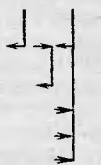
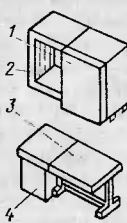
панели). Каркасы и другие модификации комплектного корпуса выполняются, как правило, неврубного типа.

Корпус (кожух) применяется преимущественно для настольных компоновок. Составной корпус может стоять свободно на столе или фиксироваться соединительными деталями на столе либо в каком-либо комплексном корпусе. Составной корпус отличается от частичных корпусов основными размерами (прежде всего H и L), обуславливающими различные условия совместности в типовых конструкциях уровней 3 и 4. Однако на основе составных корпусов могут быть образованы одинаковые функциональные изделия.

Изделия функциональной системы (плата, ячейка, кассета, блок, шкаф, пульт, устройство, система) рекомендуется образовывать на основе соответствующей типовой конструкции с помощью изделий элементной системы. Они классифицируются по сложности выполняемых функций, видам компоновки и применения. Как видно, в данной конструктивной системе не рекомендуется жесткая привязка функциональных изделий к каким-либо определенным типовым конструкциям. Например, ячейка может быть образована на основе базовой конструкции уровня 1 и на основе трех модификаций уровня 2. Блок может быть образован на основе модификаций типовых конструкций уровней 2 и 3 и т. д.

Таблица 13.1

Конструктивная система микро-ЭВМ			Элементная система							Функциональная система						
Наименование уровней, типовых конструкций и их модификаций	Схема входимости	Общий вид модификаций типовых конструкций	Элементы, применяемые в типовых конструкциях							Функциональные изделия на основе базовых конструкций						
			Активные	Пассивные	Оперативные		Соединительные	Монтажные								
					Индикация	Управления										
			ИС; БИС	Р; С; L	СИД; ЖКИ; ЭЛТ	ПК; КЛ	Магистральные интерфейсные	Печатные; проводные	Плата	Ячейка	Кассета	Блок	Шкаф	Пульт	Устройство	Система
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
I. Плата			+	+	+	+	+	+	+	+						
II. Корпус частичный																
Плата с рычагами (1)				+				+		+					+	+
Плата с панелью (2)				+	+	+	+	+		+	+	+			+	+
Корпус частичный (3)				+	+	+	+	+		+					+	+
Корпус корбчатый (4)					+	+	+	+		+						

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
III. Комплексный корпус																
Корпус (панель) (1)																
Каркас (2)																
Корпус (кожух) (3)					+	+	+	+				+		+	+	+
Корпус составной (4)					+	+	+	+				+		+	+	+
												+			+	
IV. Комплексный корпус																
Корпус шкафа (1)								+	+							
Корпус стойки (2)								+	+				+	+	+	+
Стол (3)								+	+				+	+	+	+
Тумба (4)								+	+					+	+	+

При компоновке микро-ЭВМ весьма существенное значение имеет структура элементной системы. Применяются элементы различного назначения: активные (ИС, БИС); пассивные (резисторы R , конденсаторы C , индуктивности L); оперативные — элементы индикации (светодиодные и жидкокристаллические индикаторы, электронно-лучевые трубки) и управления (переключатели, клавиатурные пульты); соединительные элементы (магистральные и интерфейсные соединители); монтажные элементы (печатный и проводной монтаж печатных плат, кабели).

Все эти элементы унифицированы по форме корпусов и выводам для компоновки их с помощью монтажных элементов на едином основании — печатной плате. Параметры элементов систематически улучшаются, размеры корпусов и шаг выводов уменьшаются, расширяется применение автоматизированных способов монтажа. Предусматриваются возможности монтажа и демонтажа элементов самим потребителем. Основные размеры элементов согласовываются с основными размерами типовых конструкций. Направление поиска новых конструктивных и технологических решений определяется тремя факторами: плотностью компоновки связей (выводов), миниатюризацией элементов, стоимостью монтажа.

В функциональной системе микро-ЭВМ особо важное значение придается такому функциональному изделию как ячейка. Ячейка, как правило, строится на базе печатной платы, но может быть образована на основе некоторых модификаций частичных корпусов. Плотность компоновки элемен-

тов в ячейках зависит от ряда факторов: методов проектирования (автоматизированное или ручное), методов монтажа печатной платы и компоновки элементов на ней; от площади платы. Средняя плотность компоновки в приведенных корпусах ИС с 16 выводами составляет 5—12 см²/ИС₁₆. Например для ячейки серии «Электроника», построенной на двусторонней печатной плате размером $H \times B = 366,7 \times 220$ мм, при полуавтоматизированной разводке плотность компоновки 8 см²/ИС₁₆ (допускается до 6,5 см²/МС₁₆) [33]. Ширина печатных проводников на печатных платах ячеек выбирается в зависимости от класса плотности монтажа (проводящего рисунка) и площади платы в соответствии с ГОСТ 23751—79 (табл. 13.2).

Для выполнения внешних связей используются соединители. В зависимости от конструкции ячейки соединители располагают-

Таблица 13.2

Класс плотности	1	2	3
Ширина проводника, мм	0,50	0,25	0,15
Основные максимальные размеры платы, мм	Не устанавливаются	240×240	170×170
Максимальная площадь платы, см ²	То же	576	289

ся на одной или двух (диаметрально противоположных) сторонах платы. Соединители, расположенные на врубной стороне ячейки, именуются как магистральные, а лицевой — как интерфейсные.

В ячейках микро-ЭВМ применяются преимущественно два вида соединителей — непосредственного и косвенного контактирования. Более широкое применение имеют соединители косвенного контактирования, используемые в качестве магистральных (СНП 58-64 — на 64-контакта, СНП 59-96, СНП 43-135) и интерфейсных (СНО 51-40, СНО 53-60). Для магистральных и интерфейсных связей предусматривается использование соединителей под монтажный кабель с прорезанием изоляции. Такой способ, широко применяемый в зарубежных системах микро-ЭВМ, отличается от других способов соединением с монтажным кабелем — прорезанием изоляции кабеля хвостовиками выводов и контактированием последних с жилами кабеля. Соединители под ленточный кабель с прорезанием изоляции могут иметь от 8 до 64 выводов. Они устанавливаются на поле платы, как активные и пассивные элементы.

Удельная тепловая нагрузка для наиболее распространенных конструкций ячеек при естественной конвекции составляет 0,025—0,05 Вт/см².

Способ компоновки микро-ЭВМ выбирается в зависимости от назначения. Возможные варианты применения элементов в

типовых конструкциях в табл. 13.1 обозначены знаком «+».

Выбор типоразмеров. Типовые конструкции каждого уровня конструктивной системы микро-ЭВМ можно характеризовать отношением трех основных размеров: длины L , высоты H и ширины B , представленных в структуре конструктивной системы в виде рядов чисел. В зависимости от назначения и параметров микро-ЭВМ для ее компоновки используются типовые конструкции соответствующего уровня с определенным соотношением основных размеров.

Типоразмеры каждого уровня выбирают из стандартных рядов чисел основных размеров с учетом их модульного развития. Ряды чисел основных размеров каждого уровня являются арифметическими прогрессиями — разность между двумя следующими друг за другом числами ряда (модуль ряда) всегда постоянна. Для облегчения выбора типоразмеров используется стандартная схема компоновки (рис. 13.1), которая при необходимости может изменяться, исходя из требований на компоновку конкретной микро-ЭВМ, однако без нарушения условий совместимости типовых конструкций различных уровней данной конструктивной системы в других конструктивных системах. Оптимальность номенклатуры типоразмеров типовых конструкций оказывает существенное влияние на технико-экономическую эффективность проектирования, изготовления и применения микро-ЭВМ.

Наиболее важное значение придается выбору типоразмеров печатной платы, поскольку на этом этапе проектирования закладываются потенциальные возможности получения различных вариантов компоновок (наращивания), достижения высокой плотности компоновки и обеспечения конструктивной и электрической совместимости. Наибольшее распространение в зарубежных микро-ЭВМ имеет базовый типоразмер по дюймовой системе мер (1 дюйм = 25,4 мм) $H \times B = 304,8 \times 171,5$ мм. Кроме того, большое распространение получили типоразмеры европлат 100×160 и $233,35 \times 160$ мм. В отечественных микро-ЭВМ широкое распространение получили типоразмеры по метрической системе мер, принятые в соответствии с ГОСТ 10317—79: $H = 135; 140; 170; 280; 360$ мм и $B = 160; 200; 240; 280$ мм.

По типоразмерам печатные платы зарубежных и отечественных микро-ЭВМ несовместимы между собой. Для обеспечения конструктивной совместимости ячеек (плат) микро-ЭВМ необходимо наличие ряда типоразмеров, составленного на основе единого модуля приращения.

В настоящее время разработаны международные стандарты, устанавливающие единые типоразмеры плат. Согласно международному стандарту МЭК 297 1982 г. числовые значения размеров типовых кон-

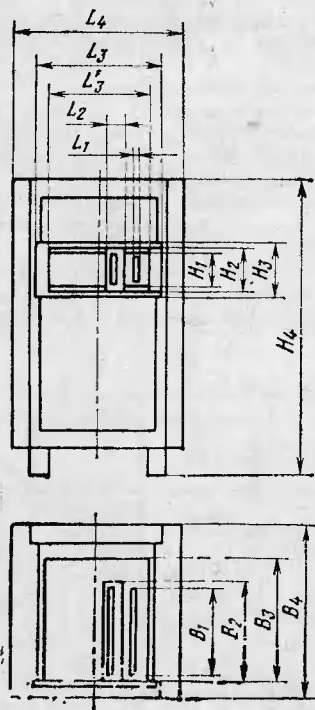


Рис. 13.1. Схема компоновки типовых конструкций микро-ЭВМ

струкций принимаются из ряда чисел смешанной системы мер — метрической и дюймовой. В качестве единого модуля вертикального приращения используется величина $U = 44,45$ мм.

Числовые значения основных размеров печатных плат по рекомендациям МЭК выбираются на основе исходного типоразмера $H_0 \times B_0 = 100 \times 100$ мм по смешанной системе мер. Размер H выбирается кратно 44,45 мм в соответствии с выражением $H = H_0 + nU$, где $n = 0, 1, 2, \dots$. Размер B выбирается кратно модулю горизонтального приращения, равному 60 мм, в соответствии с выражением $B = B_0 + n \cdot 60$, где $n = 0, 1, 2, \dots$. Наиболее распространенные размеры печатных плат составляют: $H = 144,45; 233,35; 322,25; 366,7$ мм и $B = 160; 220; 280; 400$ мм.

Необходимые типоразмеры для конкретных функциональных систем (комплексов) выбираются в соответствии с требованиями конструктивной совместимости и оптимальной компоновки. Возможно также применение в одном изделии типоразмеров печатных плат различных систем мер, совмещаемых, например, с помощью конструктивных адаптеров.

Основные размеры частичных корпусов зависят от исходных размеров плат и комплектных корпусов. Они выбираются в соответствии с рис. 13.2 и приведены в табл. 13.3 (все размеры — в миллиметрах).

Исходные размеры комплектного корпуса (передней панели) устанавливаются по ГОСТ 26.202—81. Стандартом устанавливается единый размер передней панели

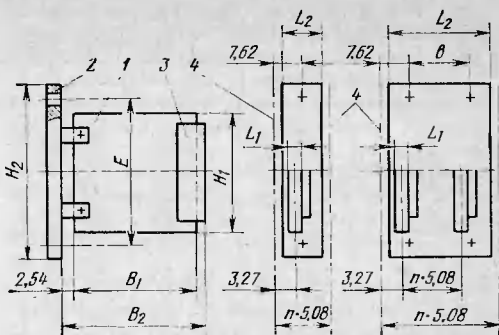


Рис. 13.2. Частичный корпус:

1 — печатная плата ($L_1 = 1,5 \pm 0,2$ мм); 2 — передняя панель; 3 — соединитель косвенного сочленения (может быть только на одной печатной плате); 4 — шаговые линии; размер B_2 зависит от выбранного типа соединителя

$L = 482,6$ мм (19") и ряд размеров H $2U - 12U$. Высота первой исходной панели принята 43,6 мм (получена как разность $44,45 - 0,85$; здесь 0,85 мм — зазор между смежными панелями, обеспечивающий их нормальную установку в стойке). Общий вид комплектного корпуса приведен на рис. 13.3, его основные размеры — в табл. 13.3.

Наиболее распространенной модификацией комплексного корпуса является корпус шкафа. Длина корпуса шкафа, так же как и других модификаций — кожуха, тумбы — определяется длиной передней панели комплектного корпуса, равной

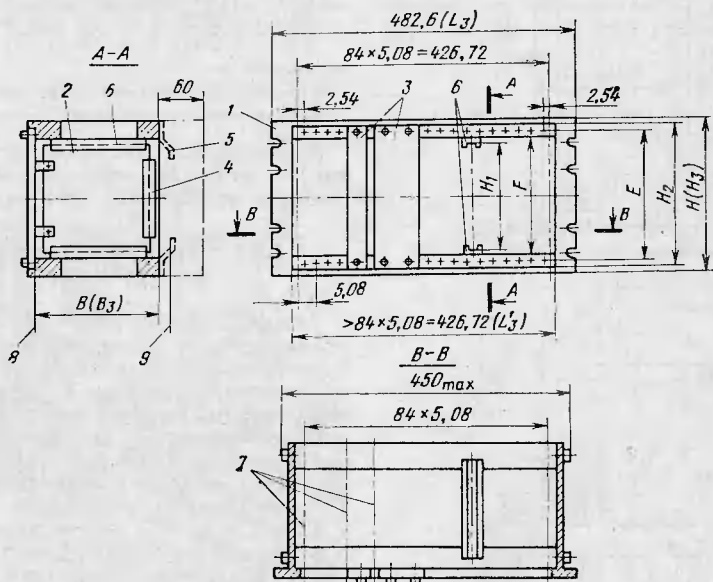


Рис. 13.3. Комплектный корпус:

1 — передняя панель; 2 — печатная плата частичного корпуса; 3 — передние панели частичных корпусов; 4 — соединитель на печатной плате; 5 — колодки для крепления соединителя; 6 — направляющие для печатной платы; 7 — шаговые линии; 8 — упорная плоскость передних панелей частичных корпусов; 9 — плоскость крепления соединителей

Таблица 13.3

Условный размер	Частичный корпус					Комплектный корпус		
	H ₁	E	H ₂	B ₁	L ₂ , b	H (H ₃)	F	B (B ₃)
2U	55,55	78,50	84,25			88,1	67,55	
3U*	100,00	122,90	128,70			132,5	112,0	
4U*	144,45	166,95	173,15			177,0	156,45	112,24
5U	188,90	211,40	217,60	100		221,5	200,90	172,24
6U*	233,35	255,85	262,05	160	n·5,08	265,9	245,35	232,24
7U	277,80	300,30	306,50	220		310,3	289,80	292,24
8U*	322,25	344,75	350,95	280		354,8	334,25	
9U	366,70	389,20	395,40			399,2	378,70	
10U	411,15	433,65	439,85			443,7	423,15	
11U	455,60	478,10	484,30			448,1	467,60	
12U	500,05	522,55	528,75			532,6	512,05	

* Предпочтительные размеры.

482,6 мм (19"). Размер *L* корпуса шкафа обычно равен 508—900 мм. Чаще других используется размер 600 мм. Высота корпуса шкафа находится в зависимости от числа исходных передних панелей комплектного корпуса, размещаемых в проеме корпуса шкафа с шагом 44,45 мм. Наиболее часто применяются корпуса шкафов, вмещающие 18; 20; 24; 27; 30; 33; 36; 39; 42; 45 панелей. Шкафы могут изготавливаться

на ножках с роликами, на станине, без дверей, с передней и задней дверью. Шкафы без дверей называются стойками. В табл. 13.4 и на рис. 13.4 приведены основные размеры шкафов.

Таблица 13.4

Условный размер	H (H ₄), мм	B (B ₄), мм	K, мм
13U	800		
18U	1000		
22U	1200	400, 450*	550*, 600
27U	1400	600, 650*	700*, 800
31U	1600	800, 900*	900
36U	1800		
40U	2000		
45U	2200		

* Размеры не являются предпочтительными.

Размер *K* (см. рис. 13.4) устанавливается так, чтобы был обеспечен необходимый шаг для монтируемых шкафов.

13.2. Типовые конструкции СМ ЭВМ

Типовые конструкции СМ ЭВМ предназначены для использования в качестве конструктивной базы приборов, средств автоматизации, контроля и управления, вычислительных и управляющих вычислительных комплексов, наладочно-испытательного оборудования для технологических установок и других технических средств. Они обеспечивают реализацию технических средств СМ ЭВМ с учетом развития структуры системы в направлении децентрализации обработки информации и управления и с учетом перспектив развития элементной базы, т. е. применения ИС преимущественно большей степени интеграции.

Типовые конструкции обеспечивают различные варианты компоновки, сохраняя

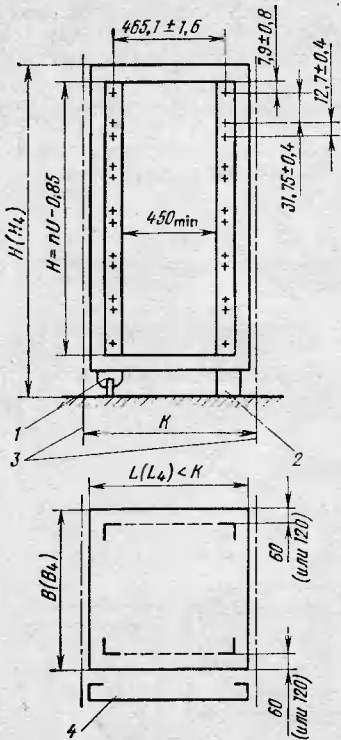


Рис. 13.4. Общий вид корпуса шкафа и его основные размеры:

1 — ножка с роликом; 2 — станина; 3 — шаговые линии; 4 — дверь

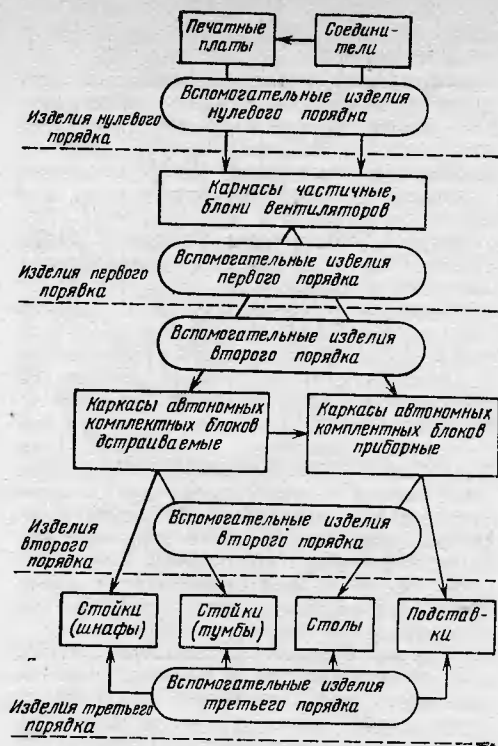


Рис. 13.5. Структурная схема построения типовых конструкций СМ ЭВМ

при этом композиционное единство изделий, работающих совместно. Изделия на основе этих конструкций обладают стилевым един-

ством в соответствии с современными тенденциями и требованиями технической эстетики и эргономики.

По назначению и конструктивному исполнению типовые конструкции СМ ЭВМ делятся на следующие категории: изделия нулевого, первого, второго, третьего порядков и вспомогательные изделия. Вспомогательные изделия в зависимости от того, с изделиями какого порядка они применяются, делятся тоже на четыре категории.

В системе типовых конструкций СМ ЭВМ обеспечивается входимость изделий низкого порядка (нулевого, первого и второго) в изделия на порядок выше при оптимальном использовании объема. Изделия третьего порядка допускают конструктивное сопряжение друг с другом. Структурное построение типовых конструкций СМ ЭВМ и их входимость приведены на рис. 13.5 и 13.6.

Конструктивное исполнение и применение типовых конструкций СМ ЭВМ

Изделия нулевого порядка.

Платы печатные монтажные подвижные являются несущими конструкциями, предназначенными для размещения, конструктивного и электрического объединения и подсоединения к внешним цепям интегральных схем и дискретных электро- и радиоэлементов (ЭРЭ). Они используются для создания конструктивно-функциональных модулей, именуемых в СМ ЭВМ блоками элементов, предназначенных для установки в изделия первого порядка.

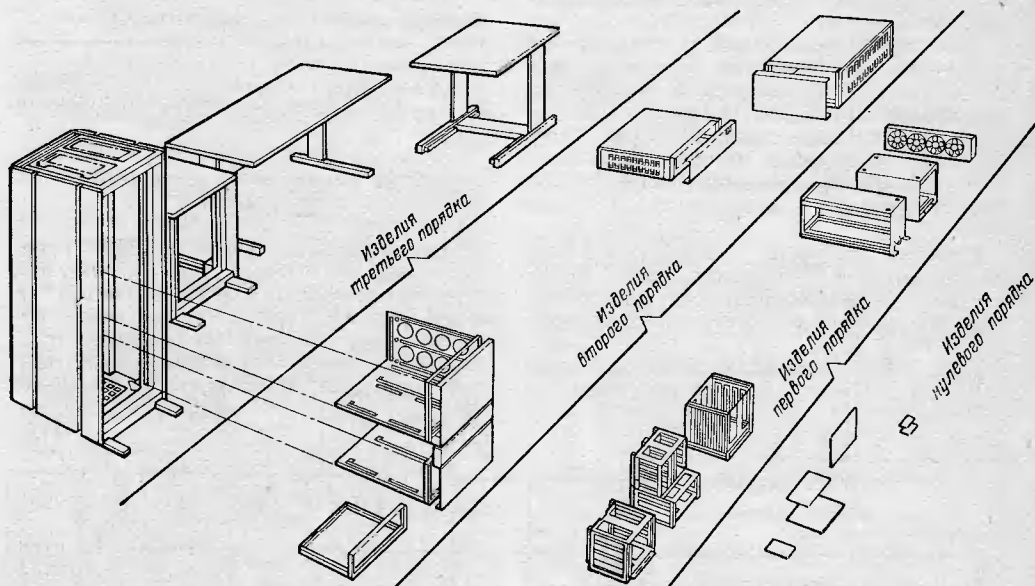


Рис. 13.6. Входимость типовых конструкций СМ ЭВМ

Таблица 13.5

Параметр	Значение
Ширина проводника, мм	0,5 (0,2min)
Расстояние (зазор) между двумя проводниками, двумя контактными площадками, проводником и контактной площадкой, мм	0,4 (0,25min)
Диаметр отверстий под выводы ИС, мм	0,8; 0,9
Размер контактной площадки, мм	1,2×1,8

В типовых конструкциях СМ ЭВМ приняты четыре типоразмера подвижных печатных плат: Е1, Е2, Е3 и Е4. Плата типа Е1 размером 100 × 160 мм предназначена для компоновки функционально и конструктивно законченных узлов источников питания; возможно ее использование для построения логических блоков. Плата типа Е2 (233,4 × 220 мм) предназначена для создания подвижных функционально законченных логических блоков элементов процессоров, контроллеров, согласователей и модулей унифицированной системы охлаждения.

Платы типа Е3 и Е4 являются вспомогательными. Плата Е3 (233,4 × 160 мм) предназначена для создания логических блоков вспомогательного и сервисного оборудования электромеханических и видеотерминальных устройств, плата Е4 (100 × 200 мм) — для создания специальных блоков.

Для изготовления печатных плат используется двусторонний фольгированный гальваностойкий стеклотекстолит (СФ) или стеклопластик (СТЭК) толщиной 1,5 мм. Шаг координатной сетки 1,25 мм. Расположение проводников на стороне пайки — вертикальное, на стороне установки ЭРЭ — горизонтальное по отношению к соединителю.

Размеры элементов печатного монтажа выполняются по соответствующим нормативным материалам. Рекомендуемые к применению размеры элементов плат приведены в табл. 13.5.

При конструировании печатных плат вводится ряд ограничений и допущений на

параметры элементов печатного монтажа, в частности:

допускается размещать печатные проводники между контактными площадками под выводы ИС, расположенными с шагом 2,5 мм на стороне установки ИС; число таких мест ограничивается, так как они значительно снижают технологичность платы;

подрезки контактных площадок выполняются, как правило, со стороны установки навесных элементов;

проводник минимальной ширины (0,2 мм) в узких местах выполняется длиной не более 15 мм; проводник, проходящий вдоль более длинной стороны корпуса ИС, допускается выполнять шириной 0,25 мм по всей длине ИС, но не длиннее 50 мм;

подвод проводников к рядам С, В соединителей СНИ 59 допускается выполнять с обеих сторон платы; при наличии подрезанной контактной площадки в ряду С подвод проводников к отверстию производится только со стороны пайки; необходимость металлизации в этих отверстиях указывается в конструкторской документации на печатные платы.

С целью повышения технологичности и для ликвидации узких мест допускается размещать проводники с отклонением от координатной сетки $\pm 1,5$ мм. При этом рекомендуется придерживаться соотношений, указанных в табл. 13.6.

Для автоматизированного контроля соединений в печатных платах на них предусматривается поле контрольных точек, расположенных с шагом, кратным 2,5 мм. Контрольной точкой может быть монтажное металлизированное отверстие или контактная площадка диаметром не менее 1 мм со стороны пайки. Для надежного контактирования и механической прочности контактирующего устройства число контрольных точек ограничивается. Так, например, для плат типа Е2, Е3 рекомендуется не более 4000 2500 точек соответственно.

В определенном месте платы данного типоразмера маркируются — ставится шифр блока и условный номер.

Блок элементов представляет собой печатную плату с размещенными на ней ИС, ЭРЭ, соединителями и др. Пример конструкции логического блока элементов приведен на рис. 13.7. Интегральные схемы размещаются в определенных зонах, обозначенных координатным способом. Вертикальные ряды обозначаются буквами рус-

Таблица 13.6

Шаг отверстия, мм	2,5	3,75	5,0	6,25	7,5	8,75	10
Число проводников при диаметре отверстий 0,8—0,9 мм	1	2	3	4	5	6	7

ского алфавита, горизонтальные — арабскими цифрами. Каждая зона является основным посадочным местом для установки ИС. Число основных посадочных мест на плате типа Е1 — 12, на плате Е2 — 50, на Е3 — 30, на Е4 — 20. Допускается установка ИС на дополнительные посадочные места, предусмотренные в конструкции платы. Число устанавливаемых ИС определяется в зависимости от сложности разрабатываемых схем, метода проектирования и метода изготовления. Например, для плат типа Е1 число ИС в корпусах типа 2103.16 или 2102.14 (ГОСТ 17467—79) — 12, для Е2 — 54, для Е3 — 35, для Е4 — 20.

Микросхемы, имеющие 14 и 16 выводов ориентируются в зонах в одном направлении. Микросхемы с числом выводов более 16 размещаются вертикально (т. е. перпендикулярно соединителям) в двух соседних зонах. Допускается горизонтальная установка БИС. Микросхемы с одинаковым числом выводов ориентируются в одном направлении. Координатный адрес при этом соответствует зоне, в которой расположен первый вывод ИС.

При размещении на плате ИС с числом выводов более 16 и дополнительных дискретных ЭРЭ необходимо производить пересчет числа устанавливаемых на плату ИС, исходя из следующих соотношений:

ИС в корпусе с 24 (22) выводами	2 места
ИС в корпусе с 30 (32) выводами	3 места
ИС в корпусе с 40 (42) выводами	4 места
1 контактная колодка	1 место
14 проводников, выходящих на лицевой соединитель ХЗ	1 место
Дискретные ЭРЭ, занимающие площадь 200 мм ²	1 место
Быстродействующая ИС с экранированием сигнальных цепей	1,5 места

Для уменьшения уровня внутренних помех в устройствах с логическими блоками, имеющими быстродействующую ИС (например, ИС серии К131), необходимо производить экранировку управляющих цепей. При этом максимальная длина неэкранированной части печатного проводника управляющей цепи не должна превышать значений, указанных в табл. 13.7.

Дискретные ЭРЭ устанавливаются согласно ОСТ4.010.030—81. Установочные размеры элементов выбираются кратными 2,5 мм. Разводка напряжений питания и «земли» по горизонтали (параллельно соединителям) выполняется, как правило, навесными шинами, по вертикали — печатными шинами шириной не менее 1,5 мм. Печатные и навесные шины должны образовывать на плате замкнутый контур. При необходимости осуществляется соединение

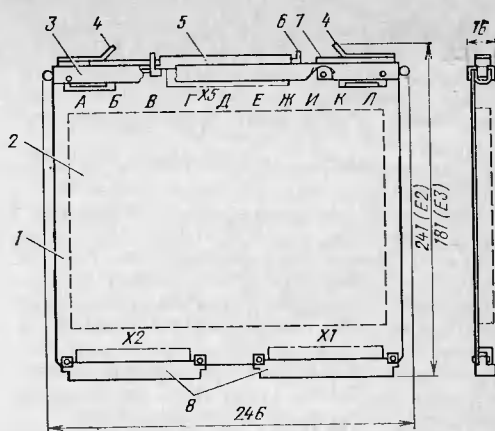


Рис. 13.7. Блок элементов:

1 — печатная плата (типа Е2 или Е3); 2 — зона установки ИС и ЭРЭ; 3 — рамка; 4 — съёмник; 5 — вилка СНП 59-64 (или СНП 59-96); 6 — крючок; 7 — планка фирменная; 8 — вилка СНП 59-96

навесных шин «земля» вертикальными проводниками с шагом 30—50 мм.

В конструкции блоков элементов предусматривается использование дискретных конденсаторов для развязки цепей питания. Развязывающие конденсаторы обычно устанавливаются на навесных шинах, для чего в последних предусматриваются специальные пазы для подпайки выводов. Допускается установка развязывающих конденсаторов непосредственно на печатную плату.

Для установки печатных плат в каркасы применяются различные элементы крепления и фиксации (см. рис. 13.7). На лицевых рамках блоков элементов могут устанавливаться элементы сигнализации, коммутации и контроля блоков.

Для логических блоков высота установки навесных элементов над платой должна быть меньше шага установки блоков в каркасе на 7,5 мм. При этом высота вы-

Таблица 13.7

Число параллельных проводников	Расстояние между печатными проводниками, мм				
	0,5	1,0	1,5	3,0	5,0
2	25 (35)	30 (42)	35 (50)	40 (56)	45 (63)
3	15 (20)	18 (25)	20 (28)	25 (35)	30 (42)
4	12 (17)	15 (20)	16 (22)	20 (28)	25 (35)
5	10 (14)	10 (14)	15 (20)	15 (20)	20 (28)

Примечания: 1. В скобках указана допустимая длина проводников, не выходящих за пределы платы.

2. Длина проводников для ИС серий К131 и К155 может быть увеличена в два и четыре раза соответственно.

ступающих выводов и крепежных элементов со стороны пайки не должна превышать 2 мм. Допустимая рассеиваемая мощность блока элементов на плате типа Е2 при отсутствии специальных методов теплоотвода 30 Вт.

Платы объединительные (платы типа Г) предназначены для разводки информационных цепей или шин питания между блоками элементов, выполненными на платах Е1—Е3. Платы выполняются из стеклотекстолита СФ-2 толщиной 1,5 мм с двусторонним печатным монтажом. Как правило, на одной стороне платы разводятся шины земли, на другой — номиналы питающих напряжений. При необходимости обе стороны платы могут быть использованы для разводки шин питания.

Габаритные размеры объединительных плат выбираются в соответствии с ГОСТ 10317—79 «Платы печатные. Основные размеры». Ширина объединительных плат L зависит от размера объединяемых подвижных плат: для плат типа Е1 ширина объединительной платы — 120 мм; для Е2 и Е3 — 250 мм.

Для плат шириной $L = 120$ мм высота H может составлять: 60; 75; 90; 110; 125; 145; 160; 180; 200; 215; 230 и 250 мм.

Для плат шириной $L = 250$ мм высота H может составлять: 85; 90; 100; 110; 125; 145; 160; 180; 200; 215; 220; 230; 240; 250; 265; 270; 285; 300; 320; 340; 360; 370; 380; 390; 400; 410; 420; 430; 440 и 460 мм.

Высота платы H зависит от типоразмера блока, в котором она устанавливается.

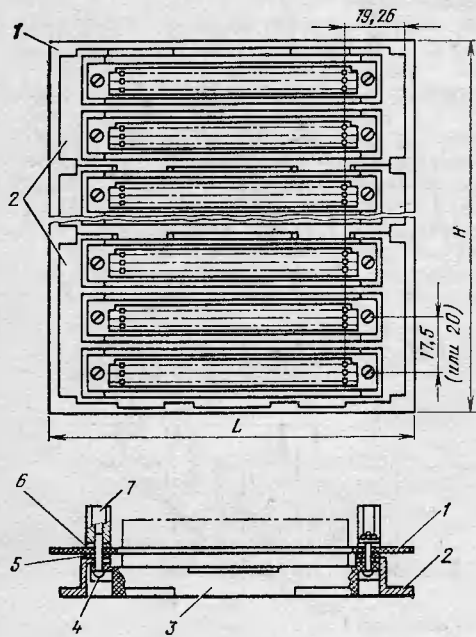


Рис. 13.8. Панель монтажная:

1 — объединительная печатная плата; 2 — несущие рамы; 3 — розетка СНП 59-96; 4 — винт М2,5; 5 — изоляционная прокладка; 6 — шайба 2Х1; 7 — стойка

Печатные вставки (платы типа Д) применяются в жгутах для организации межблочных и внутриблочных электрических связей изделий первого порядка, а также жгутовых соединений между устройствами и комплексами. Печатные вставки применяются также в стыковочных узлах для соединения двух объединительных блоков.

Соединители. Для выполнения разъемных соединений логических блоков элементов, построенных на платах Е2 и Е3, используются соединитель низкочастотный прямоугольный для печатного монтажа СНП 59 (КеО.364.043 ТУ) косвенного сочленения (вилка угловая и розетка прямая). При этом на присоединительной стороне печатной платы устанавливаются две вилки СНП 59 на 96 или 64 контакта. На стороне, противоположной присоединительной, устанавливается одна вилка СНП 59 на 96 или 64 контакта (см. рис. 13.7).

На блоках элементов, выполненных на платах Е1 и Е4, устанавливается одна вилка СНП 59 на 64 или 96 контактов. Вилки печатных плат соединяются с розетками, которые с несущими рамами и другими вспомогательными деталями устанавливаются на объединительной плате в монтажной панели (рис. 13.8). Для электрического объединения устройства, выполняемого в двух частичных объединительных блоках, используется соединитель СНП 59 на 96 контактов.

Для организации межблочных и внутриблочных электрических связей с помощью жгутов, а также электрических связей между интерфейсными соединителями двух рядов стоящих блоков элементов используется розетка СНП 59 на 96 контактов. В некоторых случаях используются розетки для объемного монтажа СНО 64 на 96 контактов.

Для осуществления разъемных соединений источников питания применяются соединители косвенного сочленения на 15 контактов: на плате Е1 устанавливается вилка РШ2Н-2-15, в каркасе — розетка РГ1Н-2-23 (ОЮО.344.007.ТУ).

Для подачи напряжения источника питания к изделиям первого порядка используются соединители типа РП10 (БРО.364.025 ТУ) на 7, 15 и 22 контакта.

Вспомогательные изделия нулевого порядка представляют собой группу узлов и деталей, обеспечивающих входимость изделий нулевого порядка в изделия первого порядка. К вспомогательным изделиям, например, относятся: съемник (см. рис. 13.7), предназначенный для выдвижения, выдвижения и фиксации в рабочем положении печатных плат в каркасах промежуточного крепления; рамка, выполненная из прессованного алюминиевого профиля и предназначенная для придания большей жесткости печатной плате и для механической защиты ЭРЭ, установленных на плате.

Изделия первого порядка.

Частичный каркас — это несущая конструкция, предназначенная для размещения и конструктивного объединения блоков элементов и функциональных блоков.

Конструктивное исполнение частичных каркасов обусловлено их назначением обеспечить возможность конструктивного и электрического соединения двух каркасов с помощью стыковочного узла; наращивание каркасов по высоте, т. е. конструктивное объединение каркасов разных типоразмеров в единую конструкцию; облегченный доступ к монтажной панели путем поворота каркаса; размещение блоков элементов в каркасе горизонтально и вертикально, перемещение их вперед и назад, вверх и в сторону; прием блоков элементов, реализованных на платах трех типоразмеров (Е1—Е3); прием различного числа блоков элементов (от 2 до 26); установку блоков элементов с шагом 17,5 и 20 мм; применение соединителя подвода питания на 15 и 22 контакта.

Частичные каркасы имеют 20 типов исполнения; каждый тип имеет варианты исполнения по высоте в зависимости от числа устанавливаемых блоков элементов и шага их размещения. Все частичные каркасы выполнены идентично, из типовых деталей, и представляют собой два горизонтальных алюминиевых листа, соединенных четырьмя стойками из прессованных алюминиевых профилей. На стойках установлены штамповочные направляющие для блоков элементов. В зависимости от конкретного типа и варианта исполнения каркасы могут иметь и другие элементы конструкции.

В соответствии с назначением и конструктивным исполнением все частичные каркасы можно разделить на: подвижные, стационарные, наращиваемые, поворотные.

Вдвижные частичные каркасы предназначены для размещения в них блоков элементов на платах Е2 и Е3 и соединения их с помощью стыковочного узла. Каркасы имеют направляющие для движения в автономный комплектный блок (АКБ). В средней нижней части каркаса предусмотрена возможность установки соединителя подвода питания, и установлены съемники для соединения и разъединения двух каркасов с помощью стыковочного узла, а также их фиксация в направляющих АКБ. Пример подвижного каркаса приведен на рис. 13.9.

Стационарные частичные каркасы выполнены аналогично подвижным, но не имеют съемников и соединителя подвода питания. Они крепятся к основанию АКБ с помощью винтов, а питание подводится непосредственно к объединительной плате.

Наращиваемые каркасы предназначены для установки «вторым этажом» над подвижными или стационарными каркасами. Они выполнены аналогично подвижным, но не имеют съемников. Крепятся винтами

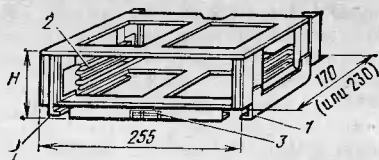


Рис. 13.9. Вдвижной частичный каркас:

1 — направляющие для движения каркаса в АКБ; 2 — направляющие для плат; 3 — место установки соединителя подвода питания
 $H = 77,5; 95; 112,5; 130; 147,5; 165; 182,5; 200; 217,5; 235; 252,5; 270; 287,5; 305; 322,5; 340; 357,5; 375; 392,5; 410; 427,5; 445; 462,5; 480$ мм

к направляющим каркасов «первого этажа».

Поворотный каркас (рис. 13.10) выполнен из таких же деталей, что и каркасы первых трех видов, но платы вставляются вертикально сверху. По бокам каркаса установлены два швеллера, на которых имеются отверстия для установки петель поворота, и «задвиги», с помощью которых каркас фиксируется на основании АКБ. С помощью вспомогательных деталей каркас может поворачиваться вокруг оси на угол до 180° .

Кроме того, в типовых конструкциях СМ ЭВМ используются каркасы для компонентов источников питания с использованием узлов питания на платах типа Е1.

Блоки вентиляторов типовых конструкций СМ ЭВМ созданы на базе вентилятора Вн-2 (Вн-2а) ТУ 25-11-1395—78 и предназначены для создания вытяжной вентиляции в шкафу и в автономных комплектах блоков встраиваемого и приборного исполнения. Блоки могут устанавливаться в АКБ перед устройством и за ним.

Вспомогательные изделия первого порядка — это узлы и детали, используемые для организации межблочных и межприборных связей изделий первого—третьего порядков. К вспомогательным изделиям, например, относятся: кожухи («прямой» и «угловой») соединительных узлов (рис. 13.11,

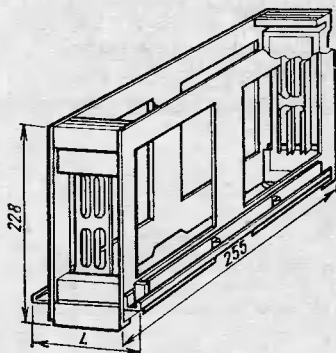


Рис. 13.10. Поворотный каркас:

$L = 93,5; 111; 128,5; 146; 163,5; 181; 198,5; 216; 233,5; 251; 268,5; 286; 303,5; 321; 338,5; 356; 373,5; 391; 408,5; 426; 443,5; 461; 478,5; 496$ мм

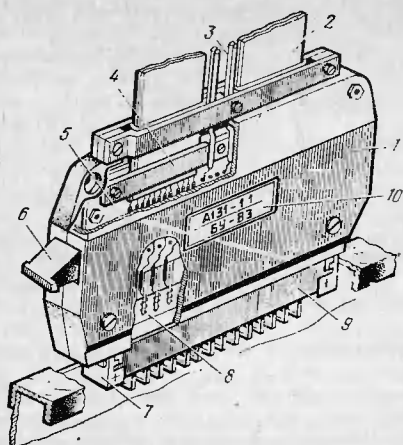


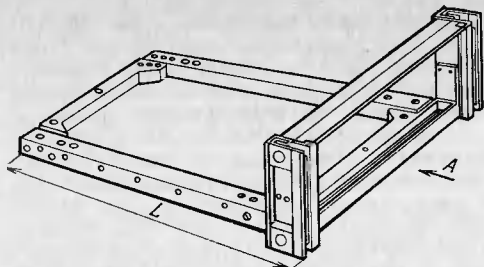
Рис. 13.11. Соединительный узел для меж-
блочных связей с «прямым» выходом ка-
белей:

1 — кожух «прямой»; 2 — провод высокочастот-
ный плоский ленточный ПВПЛ (или плоский ка-
бель КПВВ); 3 — кабель радиочастотный (напри-
мер, РК75-1, 5-12); 4 — планка для крепления
кабеля; 5 — печатная вставка (плата типа Д);
6 — съемник; 7 — крючок; 8 — розетка СНП 59-96;
9 — вилка СНП 59-96; 10 — шильдик

13.12), специальные корпуса интерфейсных соединителей двух рядом стоящих блоков элементов; адаптеры для настройки блоков элементов в рабочем положении; рамы, служащие для организации монтажной панели блоков элементов (см. рис. 13.8); стыковочные узлы, предназначенные для конструктивного и электрического соединения двух частичных объединительных блоков.

Изделия второго порядка.

Каркасы автономных комплектных бло-
ков предназначены для создания на их ос-
нове автономных комплектных и автоном-
ных функциональных блоков встраивае-



Вид А

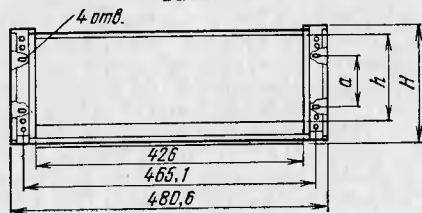


Рис. 13.13. Базовый каркас АКБ

Размеры, мм			
H	h	a	L
127,5	96,5	57,1	408; 468
172	141	101,6	528; 583
216,5	185,5	146,1	648; 708
261	230	190,5	—
305,5	274,5	234,9	—
350	319	279,4	—
394,5	363,5	323,8	—
439	408	368,3	—
483	452	412,7	—
527,5	496,5	457,2	—

мого и приборного исполнения. Конструк-
тивное исполнение каркасов АКБ обеспе-
чивает установку в них изделий первого
порядка: частичных каркасов, устройств
питания и вентиляции.

Базовый каркас для АКБ приведен на
рис. 13.13. Каркас имеет 60 вариантов ис-
полнений: 10 по высоте и 6 по глубине.
Типоразмеры каркаса обусловлены тре-
бованиями ГОСТ 26.202—81 «Панели и
стойки. Основные размеры», устанавли-
вающего единый размер лицевой панели по
ширине: 482,6 мм (19") и единый модуль
вертикального наращивания: $U = 44,45$ мм.
Высота каркаса АКБ составляет от $3U$
до $12U$. На рис. 13.14 показана схема на-
ращивания каркаса АКБ и комплектую-
щих его вспомогательных деталей, раз-
меры даны в миллиметрах. Широкая номен-
клатура типоразмеров каркаса позволяет
создавать на его основе самые различные
по назначению и исполнению устройства.

Конструктивно каркас выполнен из
технологичных в изготовлении деталей и
прост в сборке: два литых кронштейна (пе-
редний и задний) соединены стяжками из
алюминиевых профилей, одновременно яв-

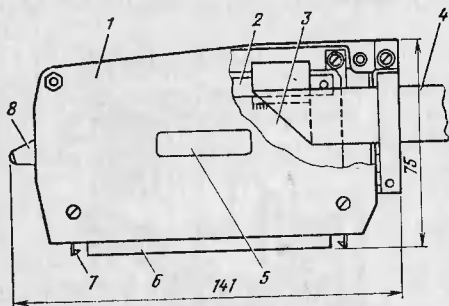
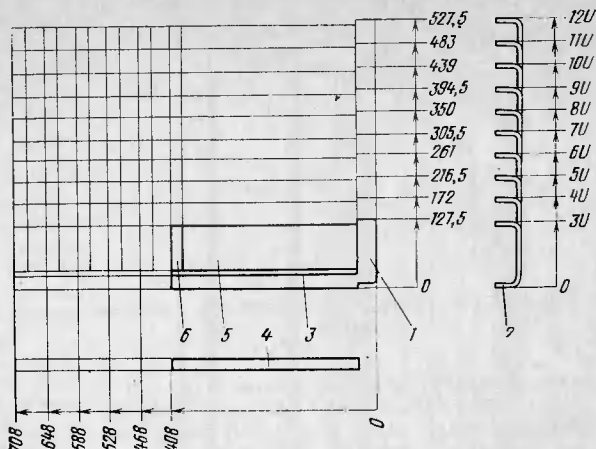


Рис. 13.12. Соединительный узел для меж-
блочных связей с «угловым» выходом ка-
белей:

1 — кожух «угловой»; 2 — планка для крепления
кабелей; 3 — печатная вставка (плата типа Д);
4 — провод высокочастотный плоский ленточный
ПВПЛ (или плоский кабель КПВВ); 5 — место
установки шильдика; 6 — розетка СНП 59-96;
7 — крючок; 8 — съемник

Рис. 13.14. Схема наращивания каркаса АКБ и комплектующих его вспомогательных деталей:

1 — каркас АКБ; 2 — лицевая панель; 3 — основание; 4 — блочная часть направляющей; 5 — стенка; 6 — угольник



ляющимися ручками при переносе устройств. К переднему кронштейну крепятся две ручки из алюминиевого профиля. Ручки используются для выдвижения АКБ из шкафа и имеют отверстия для закрепления АКБ в шкафу. На концах ручек расположены защелки для закрепления на каркасе лицевых панелей. Стяжки имеют ряд отверстий для установки вспомогательных деталей при компоновке устройств на базе каркасов АКБ: основания, направляющих, обшивок и др.

На основе базового каркаса с использованием вспомогательных деталей создаются встраиваемые корпуса. Базовый каркас АКБ легко может быть трансформирован в приборный корпус (рис. 13.15). Для этого с помощью вспомогательных деталей на нем устанавливаются легкоъемные обшивки (боковые, верхняя и задняя), которые могут сниматься независимо друг от друга. Корпус имеет 60 типоразмеров: 10 по высоте, 6 по глубине. В левой (со стороны лицевой панели) обшивке корпуса установлен фильтр очистки воздуха для организации в приборах вытяжной вентиляции.

При установке встраиваемых АКБ в шкаф остается свободное пространство между их лицевыми панелями закрывается заглушкой, представляющей собой фальшпанель, закрепленную на ручках из пресованного профиля со штырями. Она устанавливается в шкаф путем фиксации шты-

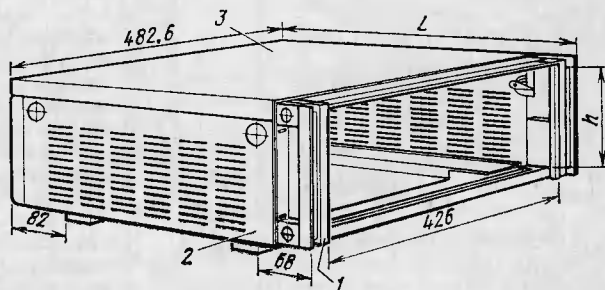
рей в резиновых втулках, расположенных в квадратных отверстиях рамы шкафа.

Вспомогательные изделия второго порядка представляют собой группу узлов и деталей, предназначенных для оформления лицевой части изделий первого порядка в изделия второго порядка. К этим вспомогательным изделиям относятся, например: панели, являющиеся передней лицевой частью АКБ. Панель (рис. 13.16) представляет собой швеллерообразно согнутый двухмиллиметровый лист из алюминиевого сплава и предназначена для размещения на ней элементов управления, индикации, регулировки и др.; основания, служащего для размещения на нем изделий первого порядка с помощью вспомогательных изделий; всевозможные направляющие (в том числе, роликовые и телескопические), предназначенные для установки на основаниях АКБ частичных объединительных блоков, стационарных источников питания и др.

Компоновка АКБ. Основные варианты компоновки устройств СМ ЭВМ на базе изделий первого порядка и каркасов АКБ схематично показаны на рис. 13.17. Пример наиболее распространенной компоновки устройств по варианту I показан на рис. 13.18. Для этого варианта компоновки на нижний ряд отверстий монтажных панелей устанавливаются детали стыковочного узла. На одной монтажной панели с помощью держателей и других деталей установ-

Рис. 13.15. Приборный корпус АКБ:

1 — каркас АКБ; 2 — обшивка боковая; 3 — обшивка съемная верхняя; размеры L и h приведены в табл. к рис. 13.13



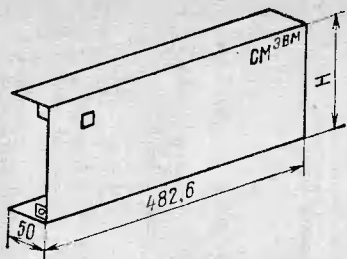


Рис. 13.16. Передняя (лицевая) панель АKB

ливаются две печатные платы (типа Д) с расположенными на них вилками СНП 59. Электрическая связь объединительной платы с платами типа Д стыковочного узла осуществляется путем накрутки одного конца провода на штыри розетки монтажной панели и распайки второго конца в монтажные отверстия платы. Распаянные в отверстиях проводники прижимаются к плате с помощью планки.

На другой монтажной панели с помощью держателя устанавливаются две розетки СНП 59. Электрическая связь между этими розетками и розетками объединительной платы осуществляется методом накрутки. Таким образом осуществляется электро-монтаж логических цепей на объединительной плате монтажной панели.

Частичные монтажные блоки с установленными на них блоками элементов — частичные объединительные блоки — вдвигаются по стационарным направляющим корпуса АKB, соединяются друг с другом с помощью стыковочного узла и фиксируются

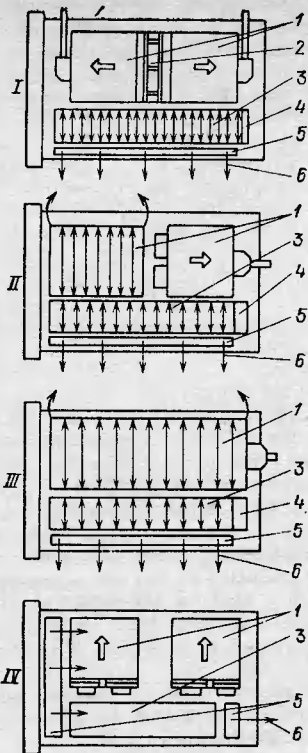


Рис. 13.17. Схемы основных вариантов компоновки устройств СМ ЭВМ (вид в плане):

1 — блоки частичные объединительные; 2 — стыковочный узел; 3 — источник питания; 4 — блок включения; 5 — блок вентиляторов; 6 — направление вентиляции

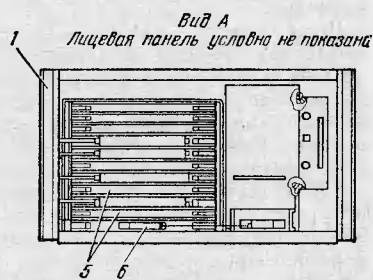
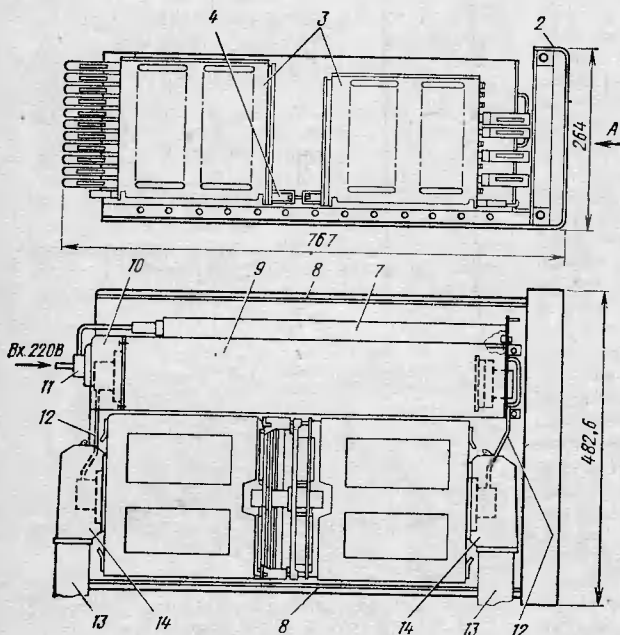


Рис. 13.18. Пример компоновки устройств СМ ЭВМ по варианту I:

1 — корпус АKB; 2 — лицевая панель АKB; 3 — блоки частичные объединительные; 4 — стыковочный узел; 5 — блоки элементов; 6 — соединитель подвода питания; 7 — блок вентиляторов; 8 — угольник; 9 — блок питания; 10 — блок включения; 11 — жгут питания блока вентиляторов; 12 — жгут питания частичного объединительного блока; 13 — ленточный кабель; 14 — кожух соединительного узла («угловой»)

ся сьемниками в стойках направляющих. При этом частичный объединительный блок, вдвигаемый сзади, может иметь все блоки элементов с интерфейсными соединителями, а передний — не более четырех (в связи с трудностями разводки кабелей в шкафу).

При компоновке АКБ необходимо учитывать тепловой режим работы устройства. Так, при первом варианте компоновки мощность, выделяемая в АКБ, не должна превышать 670 Вт. При этом до 270 Вт рассеивается блоком питания и блоком вентиляторов и 400 Вт допускается рассеивать на распределительной нагрузке.

Прииудительная вентиляция обеспечивает отвод тепла таким образом, что перепад между наружной температурой и температурой в любой точке объема АКБ не превышает 10 °С. Это достигается благодаря возможности установки в АКБ вентиляторов типа 2Н2А (от 1 до 12) в зависимости от типоразмера каркаса АКБ.

Широкая номенклатура изделий по типоразмерам позволяет компоновать на базе АКБ самые различные устройства. Каркасы АКБ могут использоваться для установки таких устройств, как накопители на магнитных лентах или дисках, дисплеи и др.

Для выдвигания АКБ из шкафа необходимо отсоединить внешние интерфейсные кабели от блоков элементов.

Изделия третьего порядка.

Шкаф (рис. 13.19) предназначен для установки, электрического объединения, подсоединения к внешним цепям и механической защиты встраиваемых в него изделий. Основные размеры шкафа выбраны в соответствии с требованиями ГОСТ 26.202—81 «Панели и стойки. Основные размеры».

Шкаф имеет варианты исполнения, которые обусловлены: применением боковых обшивок, глухих и с сальниками для выхода жгутов; открыванием двери влево и вправо; применением вариантного распределения и блока вентиляторов в обычном и экспортном исполнении.

Шкаф сохраняет устойчивость при полном выдвигании из него комплектных блоков (не более двух) по телескопическим и роликовым направляющим (рис. 13.20). Он имеет регулируемые опоры. Конструкция их обеспечивает при необходимости возможность перемещения шкафа в условиях эксплуатации и производства.

Шкаф имеет принудительную вентиляцию снизу вверх с фильтрацией забираемого воздуха. Фильтр крепится к основанию шкафа и легкодоступен для периодической очистки. Блоки вентиляторов (два блока по три вентилятора типа Ви-2) расположены в верхней части шкафа на поворотной раме, что обеспечивает доступ к ним для контроля и ремонта.

Разводка силового электро монтажа в шкафу осуществляется с помощью специального распределителя питания. С помощью

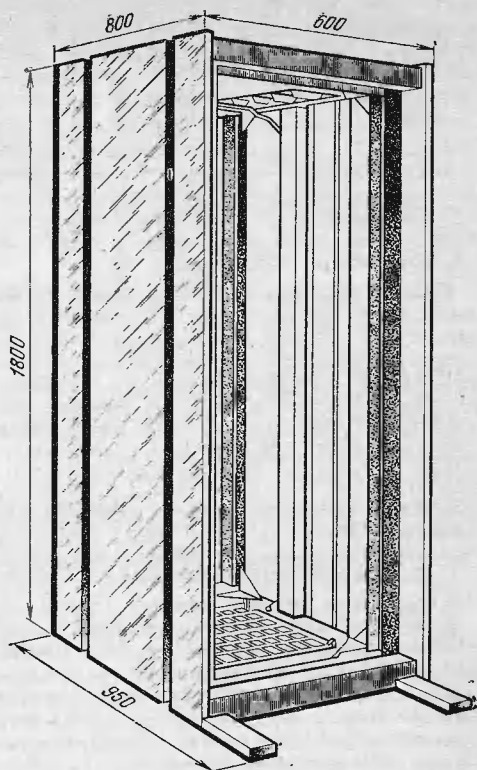


Рис. 13.19. Шкаф

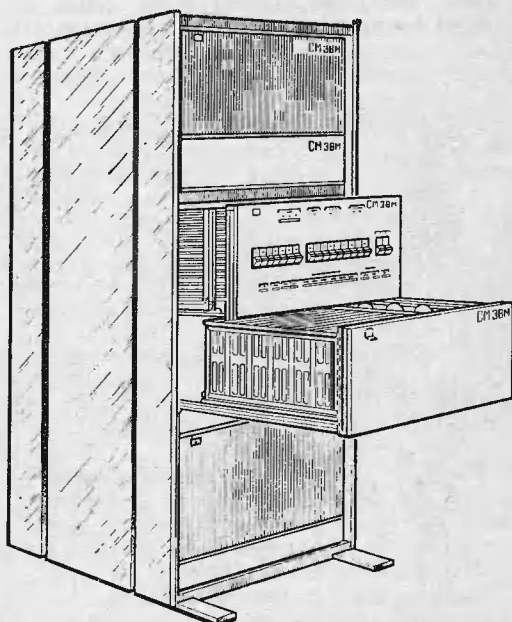


Рис. 13.20. Общий вид стойки СМ ЭВМ с выдвинутыми комплектными блоками

пяти шин распределителя (фаза, нейтраль, общий, корпус и вкл.) питание разводится на семь розеток РП10-7, с которых с помощью жгутов подается на блоки вентиляторов и АКБ, устанавливаемые в шкаф. Кабельные наконечники соединяют шины «Общий» и «Корпус» с соответствующими элементами заземления шкафа. Элементы разводки питания распределителя надежно защищаются от случайного прикосновения для обеспечения безопасности обслуживающего персонала.

Стойка является тумбой и имеет то же назначение, что и шкаф (укороченный по высоте). В обычном исполнении стойка не имеет устройства для принудительной вентиляции и элементов разводки питания. Стойка имеет горизонтальную рабочую поверхность (столешницу) для размещения дополнительного оборудования, выполненного в приборном исполнении.

Стол предназначен для организации рабочего места оператора и размещения на нем различного оборудования, в том числе и средств коммутации, индикации и контроля.

Подставка представляет собой несущую конструкцию с небольшой горизонтальной поверхностью и предназначена для расширения рабочей поверхности стола и индивидуального пользования. В подставке предусмотрена регулировка столешницы по высоте в зависимости от назначения устанавливаемых на нее устройств.

Вспомогательные изделия третьего порядка представляют собой группу узлов и деталей, обеспечивающих организацию силового и сигнального электромонтажа в стойке (шкафу). К основным вспомогательным изделиям третьего порядка относятся распределитель системы питания, гребенки, коробки и др.

Распределитель системы питания предназначен для организации трехфазного питания стоек (шкафов). Он устанавливается в одной из стоек (базовый модуль) внизу под фильтрами. Распределитель подключается к внешнему трехфазному источнику питания (распределительный щит и т. п.) с помощью силового кабеля, входящего в его состав, и позволяет организовать питание пяти стоек, включая базовый модуль. К фазам *A* и *B* подключается по две стойки, к фазе *C* — одна. Применение распределителя позволяет уменьшить в комплексе число кабелей от внешнего источника питания до одного.

Гребенки используются для направления и укладки кабелей, выходящих от внешних интерфейсов АКБ и закрепляются к стойке шкафа в непосредственной близости от выходящих из АКБ кабелей.

Коробы предназначены для укладки и закрепления горизонтально проходящих кабелей. Они могут устанавливаться с левой и правой стороны шкафа, а также перед ним и за ним.

13.3. Типовые конструкции ЕС ЭВМ

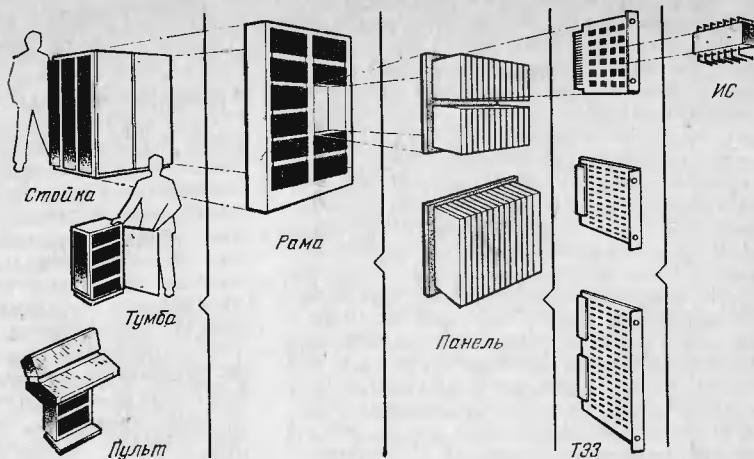
Единая система ЭВМ представляет собой семейство программно совместимых универсальных информационных ЭВМ общего назначения, построенных на единой унифицированной элементной и конструктивно-технологической базе, охватывающих широкий диапазон производительности: от тысяч до нескольких миллионов операций в секунду. ЕС ЭВМ в настоящее время является одной из наиболее совершенных вычислительных систем стран социалистического содружества с единым математическим обеспечением и широкой номенклатурой внешних запоминающих устройств и устройств ввода-вывода. Технические средства ЕС ЭВМ включают в себя процессоры малой, средней и высокой производительности, запоминающие устройства различной емкости и быстродействия, широкую номенклатуру периферийных устройств и устройств электропитания.

Характерной и главной особенностью центральных устройств ЕС ЭВМ (процессоров, устройств ввода-вывода и др.) в отличие от аналогичных устройств других систем ЭВМ является их большой функциональный объем (от нескольких тысяч до нескольких десятков тысяч ИС) и высокое быстродействие (цикл обмена информацией от нескольких сотен до нескольких десятков наносекунд), обусловленные заданной производительностью ЭВМ, системой и объемом команд, разрядностью слов и др.

Эта особенность устройств ЕС ЭВМ, наряду с требованиями серийности производства, высокой надежности, технологичности и ремонтпригодности конструкций, удобства наладки и др., наложившая существенный отпечаток на принципы проектирования и компоновку типовых конструкций ЕС ЭВМ и заметно сместила акценты важности в вопросах конструирования. Если в конструктивных системах микро-ЭВМ и СМ ЭВМ одним из главных вопросов является обеспечение и техническая реализация конструктивной (размерной) совместимости устройств различного назначения, то в конструктивной системе ЕС ЭВМ на первом месте стоят вопросы обеспечения и технической реализации необходимой плотности компоновки и быстродействия устройств, решения проблемы количества и качества связей (как внешних, так и внутренних), обеспечения тепловых режимов и помехозащищенности элементов, организации сигнального (логического) и силового электромонтажа и др.

Учитывая специфическую особенность устройств ЕС ЭВМ, а именно наличие в них значительного функционального объема, задача построения таких устройств требует унификации схем логических элементов, функциональных схем и функциональных блоков, т. е. унификации функциональных уровней ЭВМ. Широкая унификация функ-

Рис. 13.21. Модульные уровни ЕС ЭВМ и их входимость



диональных уровней предопределяет в конструктивной системе ЕС ЭВМ необходимость использования соответствующего ряда конструктивных уровней. Каждый такой уровень может быть наделен функциональными и конструктивно-технологическими признаками, характеризующими его как самостоятельный конструктивно-функциональный уровень ЭВМ, который может автономно проектироваться, изготавливаться и настраиваться. Конструктивно-функциональный уровень ЭВМ, наделенный функциональными и конструктивно-технологическими признаками, именуется в ЕС ЭВМ как модульный уровень (или конструктивно-функциональный модуль) ЭВМ. Выполнение конструкций устройств ЭВМ в виде возрастающего ряда модульных уровней позволяет осуществлять конструирование и компоновку ЭВМ Единой системы по модульному принципу.

Все основные конструктивные и технологические параметры модулей каждого уровня ЕС ЭВМ стандартизованы. Модули уровней являются едиными для всех технических средств ЕС ЭВМ независимо от их назначения. Это обеспечивает возможность схемной унификации на каждом модульном уровне.

В структурном отношении в ЕС ЭВМ используется пять основных модульных уровней:

- уровень 1 — ИС;
- уровень 2 — типовой элемент замены (ТЭЗ), содержащий ИС в объеме узла функциональной схемы;
- уровень 3 — панель, содержащая ТЭЗ в объеме одной или нескольких функциональных схем (примером функционального заполнения панели может служить сумматор с плавающей или фиксированной запятой, блок десятичной арифметики и др.);
- уровень 4 — рама, содержащая до шести полных панелей в объеме одного или нескольких функциональных блоков или устройств (примером функционального заполнения объема рамы может служить

арифметическое устройство, устройство управления и др.);

уровень 5 — стойка, содержащая до трех рам в объеме оборудования процессора, каналов ввода-вывода, оперативной памяти и др.

Каждому модульному уровню ЕС ЭВМ соответствует его типовая конструкция [например, типовая конструкция элемента замены (или ТЭЗ), типовая конструкция панели и др.], отвечающая определенным типовым конструктивно-технологическим решениям. При этом на каждом модульном уровне имеет место несколько вариантов типовых конструкций, обусловленных развитием техники ЕС ЭВМ, сложностью решаемых данной ЭВМ задач и возможностями конкретного производства. Типовые конструкции модульных уровней (в дальнейшем просто типовые конструкции) построены по принципу входимости модуля предыдущего уровня в модуль последующего уровня. На рис. 13.21 приведены модульные уровни ЕС ЭВМ и их входимость.

Исходя из требований скорости работы ЭВМ Единой системы и требований, предъявляемых к задержкам в логических элементах и линиях связи, плотность компоновки элементов в типовых конструкциях каждого модульного уровня выбирается оптимальной, обеспечивающей требуемые быстродействие и условия охлаждения, ремонта и доступа при эксплуатации. Для этого на каждом модульном уровне используется соответствующий тип конструкции, в частности: единый прямоугольный корпус ИС со штыревыми выводами; плоская конструкция ТЭЗ; объемная конструкция панели; «створчатая» конструкция рамы; «книжная» конструкция стойки. Основные параметры и характеристики типовых конструкций ЕС ЭВМ стандартизованы и приведены в ГОСТ 25122—82 «ЕС ЭВМ. Конструкции базовых технических средств. Основные размеры».

Типовые конструкции ЕС ЭВМ претерпели три этапа (очереди) развития. Прин-

ципы конструирования, заложенные в типовые конструкции первой очереди ЕС ЭВМ (ЕС 1020, ЕС 1030, ЕС 1050), нашли свое дальнейшее развитие в типовых конструкциях второй очереди ЕС ЭВМ (ЕС 1035, ЕС 1045, ЕС 1060) и третьей очереди ЕС ЭВМ (ЕС 1036, ЕС 1046, ЕС 1065, ЕС 1066).

К особенностям типовых конструкций первой очереди ЕС ЭВМ [34—37] относится использование: двусторонних печатных плат (ДПП) в конструкциях ТЭЗ; соединителей прямого сочленения с шагом контактов 5 мм и числом контактов около 48; достаточно крупногабаритного кабельного и проводного электромонтажа панелей и рам. Элементной базой ЕС ЭВМ первой очереди служили ИС ТТЛ с малой степенью интеграции (2—4 логических элемента в корпусе) и малым быстродействием (задержка 10—15 нс на один логический элемент).

Для типовых конструкций второй очереди ЕС ЭВМ [37, 38] характерно использование: многослойных печатных плат (МПП); соединителей косвенного сочленения с высокой плотностью размещения контактов (шаг контактов 2,5 мм) и большим числом контактов (90—135); малогабаритных проводных и кабельных изделий, в том числе многожильных плоских кабелей; групповых методов электромонтажа. Элементной базой ЕС ЭВМ второй очереди служили быстродействующие ИС ЭСЛ (задержка 2 нс на логический элемент) с большим уровнем интеграции (в среднем 8—12 логических элементов в корпусе) и рассеиваемой мощностью, чем в ТТЛ элементах.

Типовые конструкции третьей очереди ЕС ЭВМ представляют собой результат совершенствования и модернизации типовых конструкций второй очереди. Для них характерно использование: более развитой элементной базы — ИС ЭСЛ; МПП ТЭЗ и панелей значительно больших размеров; существенно больших плотностей печатного монтажа и технологичности конструкций; более эффективных систем электропитания и охлаждения.

Первой ЭВМ Единой системы, построенной на быстродействующих ЭСЛ ИС, была ЭВМ ЕС 1050, в которой были проверены и отработаны основные принципы электронного конструирования высокопроизводительных ЭВМ на быстродействующей элементной базе с применением многослойного печатного монтажа. В процессе разработки этой ЭВМ был решен ряд сложных вопросов электронного конструирования ЭВМ (помехоустойчивость и согласование линий связи, структура МПП, эффективность типовых конструкций, требования к системам электропитания и охлаждения и др.) и была подтверждена возможность построения ЕС ЭВМ на быстродействующих ИС ЭСЛ наносекундного диапазона.

Ценный опыт, приобретенный и накопленный разработчиками в процессе создания ЕС ЭВМ первой и второй очереди, позво-

лил сократить сроки разработки ЕС ЭВМ третьей очереди, повысить их надежность и технологичность, значительно расширить области стандартизации отдельных элементов и типовых конструкций в целом.

При создании типовых конструкций ЕС ЭВМ, особенно второй и третьей очереди, особое внимание было уделено вопросам электронного конструирования и компоновки. Быстродействующие ЭСЛ логические элементы более чувствительны к уровню различных помех, к изменению температуры окружающей среды, потенциалов питания ИС и другим факторам. Поэтому типовая конструкция каждого модульного уровня ЭВМ выполнена с учетом комплекса требований и рекомендаций, соблюдение которых является обязательным. К ним, например, относятся требования обеспечения: стабильных электрических параметров и согласования линий связи; тепловых режимов и режимов питания ИС; рекомендаций по правилам трассировки как печатных, так и проводных соединений.

Конструктивно-технологическая (типовые конструкции) и элементная база ЕС ЭВМ, а также методы построения и электронного конструирования ее технических средств вышли за рамки применения только в ЕС ЭВМ и стали по существу универсальным средством построения современных электронных вычислительных устройств и цифровой аппаратуры различного применения.

Конструкции ИС

Для построения типовых конструкций ЕС ЭВМ принят единый тип конструкции корпуса ИС (типа ДИП) с двухрядным расположением, ограниченным числом и типовой цоколевой штыревых выводов. В этом одна из особенностей использования ИС в ЕС ЭВМ в качестве типового модуля уровня 1. В корпусах типа ДИП выполнены все ИС ТТЛ и ЭСЛ, а также резисторно-конденсаторные и конденсаторные блоки, используемые в ЕС ЭВМ. Число выводов корпуса ИС составляет 14 или 16. Используются микросхемы средней степени интеграции (СИС) с 24 выводами. Выводы корпуса расположены с шагом 2,5 мм в ряду и расстоянием между рядами 7,5 мм (для ИС с 16 выводами это расстояние между рядами 7,5 мм, для ИС с 24 выводами это расстояние составляет 15 мм). В зависимости от рассеиваемой мощности в ИС используются корпуса с пластмассовым или керамическим вариантом исполнения.

Применение в ЕС ЭВМ единых конструкций корпусов ИС с ограниченным числом штыревых выводов обеспечивает их конструктивную совместимость на плате, и, наряду с использованием соединителей и дискретных ЭРЭ со штыревыми выводами, способствует повышению технологичности

конструкции и обеспечивает возможность автоматизации установок и группового монтажа (пайка волной припоя) на печатной плате. Применение единой цоколевки выводов ИС, резисторно-конденсаторных и конденсаторных блоков позволяет использовать постоянные слои земли и питания в конструкциях МПП.

Конструкции типовых элементов замены

Типовой элемент замены представляет собой функциональный узел, содержащий ИС, соединитель и другие электрорадиоэлементы, установленные на печатной плате. На одном конце платы располагается один или два соединителя, на другом — лицевая планка. Микросхемы и ЭРЭ устанавливаются в типовом элементе замены с одной лицевой стороны. Максимальная высота элементов, устанавливаемых на плате, 8,5 мм. Для защиты печатной платы и мест пайки от влаги ТЭЗ покрывается лаком УР-231.

В ЕС ЭВМ используется несколько типов конструкций ТЭЗ. Каждый тип имеет массовое применение и используется в одной или нескольких ЭВМ Единой системы. Для обеспечения конструктивной, функциональной и электрической совместимости в центральных устройствах одной ЭВМ используется, как правило, один тип конструкции. Типы конструкций ТЭЗ отличаются числом и типом устанавливаемых в них ИС, размерами и типом монтажа (двусторонний или многослойный) печатных плат, типом и числом соединителей, технологичностью конструкции (в частности, переходом от дискретных резисторов и конденсаторов к резисторно-конденсаторным и конденсаторным блокам), плотностью компоновки элементов и связей на печатных платах. В табл. 13.8 приведены основные характеристики пяти наиболее характерных типовых конструкций ТЭЗ, используемых для построения ЭВМ Единой системы на всех трех этапах развития. Как видно из табл. 13.8, с развитием ЕС ЭВМ и повышением их производительности уровень интеграции логических элементов в ТЭЗ непрерывно повышался, одновременно увеличивалась плотность компоновки элементов и связей на платах.

Функциональный объем (число ИС) любого типового элемента замены ЕС ЭВМ выбран в тесной взаимосвязи с числом сигнальных контактов в соединителе для внешних связей. Проведенная оптимизация типовых конструкций ТЭЗ обеспечила высокую эффективность использования как типовых посадочных мест под ИС, так и контактов соединителя (см. табл. 13.9). Габаритные размеры ТЭЗ выбраны по критерию бысродействия с учетом обеспечения минимальной длины линий связи между ИС в пределах панели (см. § 14.6). При этом одна сторона печатной платы ТЭЗ

постоянно фиксирована по длине, другая — кратна размеру платы панели.

Все микросхемы ТЭЗ ориентированы одинаково перпендикулярно соединителю и расположены по системе рядов и строк практически с максимальной плотностью.

Для установки ИС используются типовые посадочные места с фиксированным расположением сквозных отверстий под разводку цепей питания и земли. В эти же посадочные места в ТЭЗ типов 3—5 устанавливаются и резисторно-конденсаторные блоки Б20-4, используемые для согласования линий связи ТЭЗ и панели. Это обеспечивается благодаря единой (типовой) для ИС и блоков цоколевке выводов по контактам питания и земли.

Для развязки цепей питания используются дискретные конденсаторы (в ТЭЗ типов 1—3) и конденсаторные блоки (в ТЭЗ типа 4 и 5). Дискретные конденсаторы развязки устанавливаются: в ТЭЗ типа 1 на выводах навесных шин питания и земляных, предусмотренных в типовой конструкции; в ТЭЗ типов 2 и 3 в специально предусмотренных отверстиях периферийных зон печатных плат.

Конденсаторные блоки развязки устанавливаются, как правило, в последнем или первом рядах ИС (тип 4 и 5), при этом отверстия под выводы блоков непосредственно (жестко) связаны с соответствующими слоями питания и земли МПП.

Дискретные резисторы ТЭЗ типов 1 и 2 могут устанавливаться в отверстия, предназначенные для установки ИС (из расчета два резистора на посадочное место). Аналогично при необходимости могут устанавливаться дискретные конденсаторы развязки.

Пример размещения элементов в типовой конструкции ТЭЗ (типа 5) приведен на рис. 13.22. На рис. 13.23 и 13.24 показан общий вид логических типовых элементов замены ЭВМ ЕС 1065 и ЕС 1066.

Соединители ТЭЗ. Соединитель служит для вывода внешних связей ТЭЗ и подвода к нему постоянных напряжений питания. В зависимости от типа печатной платы (ДПП или МПП) в конструкции ТЭЗ используются соединители прямого и косвенного сочленения.

Соединители прямого сочленения применяются, как правило, в конструкциях ТЭЗ (например, типа 1), использующих ДПП. В качестве таких соединителей в ЭВМ малой производительности обычно используются соединители типа СНП 17 (ПР.364.008ТУ) на 48 или 52 контакта, расположенных с шагом 5 мм. В ряде конструкций ТЭЗ периферийных устройств в последнее время стали использовать соединители прямого сочленения на 96 контактов, расположенных с шагом 2,5 мм. Все эти соединители являются одноконтурными и представляют собой только розеточную часть соединителя. В качестве вилочной части служит одна из боковых сторон ДПП, на которой располагаются печатные

Тип конструкции ТЭЗ	Параметры печатной платы			Число типовых посадочных мест на плате	Число контактов в соединителе (в т. ч. сигнальных), тип соединителя	Элементная база			Распеваемая мощность ТЭЗ, Вт	Средний уровень интерференции в ТЭЗ, ЭДЦ*	Плотность компоновки ТЭЗ, ЭДЦ/см²	Плотность компоновки связей, см/см²	Применяемость ТЭЗ
	размеры, мм	тип, число слоев (в т. ч. сигнальных)	шаг трассировки, мм			ИС, серия	согласующие элементы	развязывающие элементы					
1	140 × 150	ДПП	1,25	24	48 (44 сигн.) СНП 17	ТТЛ, серия 155	Дискретные резисторы	Дискретные конденсаторы	2—3	~60	0,3	2—3	ЕС 1020 ЕС 1030
2	140 × 150	МПП 9 (4 сигн.)	1,25	72	90 (82 сигн.) ГРППМ7 с дополнительной земляной шиной	ЭСЛ, серия 137	То же	То же	6—8	170	0,8	7—8	ЕС 1050
3	140 × 150	МПП 8 (4 сигн.)	1,25	60	135 (96 сигн.) СНП 34	ЭСЛ, серия 500	Блоки Б20-4	»	10—12	300	1,4	8—9	ЕС 1035 ЕС 1045 ЕС 1060
4	330 × 150	МПП 12 (6 сигн.)	0,5	128	2 × 135 (2 × 96 сигн.) СНП 34	ЭСЛ, расширенная серия 500	То же	Блоки Б18А (12 шт.)	30—40	1200	2,4	13—14	ЕС 1065
5	140 × 150	МПП 12 (7 сигн.)	1,25	62	135 (96 сигн.) СНП 34	То же	»	Блоки Б18А (6 шт.)	15—20	500	2,4	11—12	ЕС 1066

* ЭДЦ эквивалентный логический элемент.

Таблица 13.9

Условный тип конструкции ТЭЗ	Средняя эффективность использования	
	типовых посадочных мест под ИС в ТЭЗ	сигнальных контактов соединителя ТЭЗ
1	0,75	0,8
2	0,86	0,82
3	0,75	0,86
4	0,9	0,84
5	0,8	0,92

площадки (ламели), контактирующие при сочленении ТЭЗ с соответствующими пружинными контактами розеточной части, расположенной в панели.

Соединители косвенного сочленения являются двухкомпонентными (вилка и розетка) и применяются во всех конструкциях ТЭЗ, использующих МПП. Наиболее широкое применение нашли 2- и 3-рядные соединители типа СНП 34 (6РО.364.009 ТУ), разработанные для ЕС ЭВМ. В конструкциях ТЭЗ (типы 3—5) применен 3-рядный соединитель типа СНП 34 на 135 контактов, расположенных с шагом 2,5 мм. На плате ТЭЗ располагается розетка соединителя, а ответная часть (вилка) устанавли-

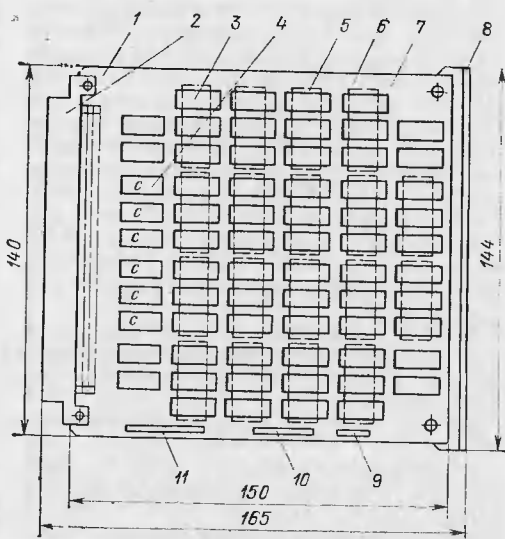


Рис. 13.22. Пример размещения элементов в типовой конструкции ТЭЗ (типа 5) ЕС ЭВМ:

1 — МПП; 2 — розетка соединителя СНП 34-135; 3 — зона установки ИС серии 500 в 16-выводном корпусе типа ДИП; 4 — зона размещения конденсаторных блоков Б18А (с); 5 — зона размещения СИС серии 500 в 24-выводном корпусе типа ДИП; 6 — место клейма ОТК; 7 — место клейма заказчика; 8 — лицевая планка; 9 — место маркировки заводского номера ТЭЗ; 10 — место маркировки шифра ТЭЗ; 11 — место маркировки обозначения ТЭЗ

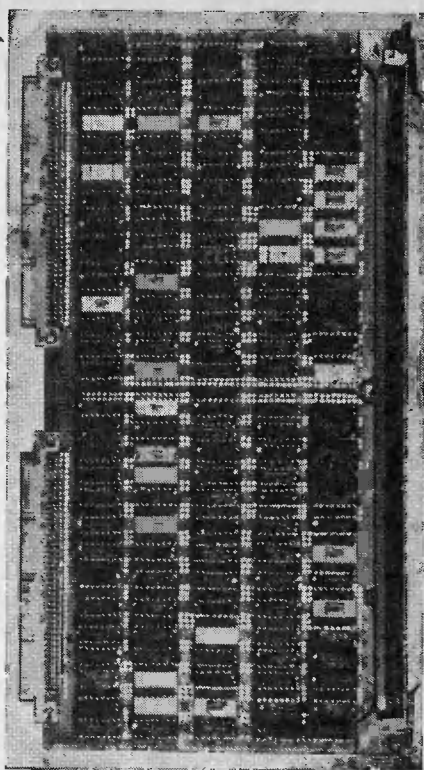


Рис. 13.23. Общий вид логического ТЭЗ ЭВМ ЕС 1065

вается на панели. Хвостовики вилочной части соединителя позволяют выполнять соединения проводного панельного электромонтажа методом накрутки.

В конструкциях ТЭЗ используется единая цоколевка соединителей по логическим и потенциальным контактам, что позволяет использовать постоянные слои питания

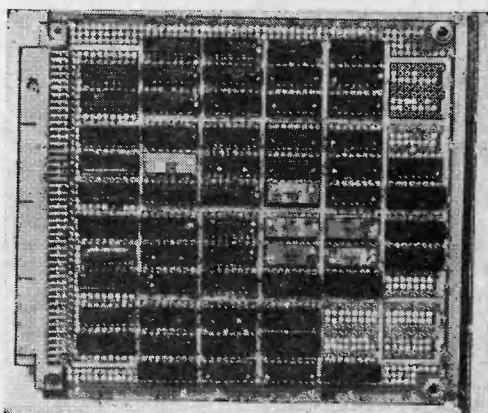


Рис. 13.24. Общий вид логического ТЭЗ ЕС 1066

Таблица 13.10

Назначение контактов соединителя	Обозначение контактов
Логические	01А—45А 01С—45С 04В, 12В, 20В, 26В, 34В, 42В
Потенциальные; $U_{п1} = -5,2В$ $U_{п2} = -2,0В$ $U_{сп}$ — спедпитание $U_0 = 0$ («земля»)	01В, 45В 15В, 23В, 31В 09В, 37В Остальные (32 контакта)

и земли в МПП панелей, а также единое контрольно-измерительное оборудование для проверки ТЭЗ. Так, в конструкциях ТЭЗ типов 3—5, использующих ИС серии 500 и соединители СНП 34 на 135 контактов, в качестве логических (для передачи и приема информации) используют 90 контактов из двух крайних рядов и 6 контактов из среднего ряда соединителя. Основные контакты среднего ряда используют как потенциальные (т. е. для цепей питания и земли). Из 39 потенциальных контактов два отведены для напряжения питания $U_{п1} = -5,2 В$; три — для напряжения питания $U_{п2} = -2 В$ и 32 контакта — для нулевого потенциала $U_0 = 0$ (земля). Кроме того, предусмотрено два потенциальных контакта для подвода нетипового питания (например, $+5 В$ и $-5 В$). Расположение контактов соединителя ТЭЗ по назначению приведено в табл. 13.10 и на рис. 13.30.

Использование большого числа контактов нулевого потенциала обусловлено необходимостью организации хорошей «схемной земли» ТЭЗ и снижения до минимума помех по цепи нулевого потенциала. Кроме того, эти же контакты используются в ответных частях соединителей (на панели) для подключения обратных проводов витых пар панельного монтажа.

Печатные платы ТЭЗ — основной коммутационный и одновременно несущий элемент конструкции. По виду печатного монтажа платы подразделяются на двусторонние и многослойные.

Конструкции ДПП, используемых в ТЭЗ типа 1 (см. табл. 13.8), выполнены таким образом, чтобы можно было максимально использовать площадь платы под трассировку соединений. В связи с этим цепи питания и земли выполнены в виде широких (около 5 мм) кольцевых шин, расположенных на разных сторонах по периферии платы за пределами зоны трассировки соединений. Постоянные потенциалы питания к соответствующим монтажным отверстиям (под выводы ИС) подводятся с помощью навесных шин, устанавливаемых в дублирующие металлизированные отверстия,

расположенные рядом с монтажными. Связь между дублирующим и монтажным отверстиями осуществляется короткой печатной перемычкой. Навесные шины одновременно служат и для распылки дискретных конденсаторов развязки. Печатные проводники трассируются по ортогональной системе (на одной стороне направления X, на другой — проводники направления Y) с шагом 1,25 мм. При этом запрещается размещение печатного проводника в шаге отверстий 2,5 мм.

Переход проводников с одной стороны платы на другую осуществляется с помощью металлизированных переходных отверстий, расположенных в координатной сетке 2,5 мм, но не ближе 5 мм друг от друга. Основные параметры элементов печатного монтажа: ширина печатных проводников 0,5 мм; расстояние (зазор) между печатными элементами не менее 0,3 мм; диаметр контактной площадки 1,9 мм.

В последнее время в ряде периферийных устройств ЭВМ ЕС допускается трассировка одного печатного проводника в шаге отверстий 2,5 мм, при этом в узких местах печатный проводник шириной 0,5 мм сужается до 0,3 мм, а контактная площадка «подрезается» до 1,6 мм. Это позволяет увеличить трассировочную способность ДПП и разместить на плате тех же размеров до 30 и более ИС.

Использование ИС ЭСЛ и необходимость значительного повышения плотности компонентов при одновременном выполнении требований к параметрам линий связи обусловили применение практически во всех (кроме ТЭЗ типа 1) конструкциях типовых элементов замены ЕС ЭВМ многослойных печатных плат, без чего было бы невозможно обеспечить требуемые параметры ЭВМ. Использование методов электронного конструирования при проектировании МПП обеспечило высокие помехоустойчивость, быстродействие и надежность узлов и устройств ЭВМ.

В МПП всех типов ТЭЗ используются, как правило, единые технические решения по конструкции, которые, например, предусматривают:

единые принципы построения структуры МПП;

использование отдельных слоев для трассировки сигнальных (логических) цепей и цепей питания и земли;

наличие постоянных (по рисунку) слоев питания и земли;

фиксированное расположение переходных отверстий;

единую ориентацию монтажных отверстий под выводы ИС;

единую на всех сигнальных слоях МПП (в пределах данного типа ТЭЗ) ширину печатных проводников;

единые правила трассировки печатных соединений с учетом ограничений на длину отводов от линий связи.

Структура МПП ТЭЗ строится по принципу структурных звеньев (см. § 14.5). По назначению слои подразделяются на логические, потенциальные и защитные. Каждая пара логических слоев (X и Y) экранирована друг от друга потенциальными слоями. Это исключает возможность наводок между парами логических слоев (перекрестная наводка через экранирующий слой не превышает 1%) и позволяет учитывать ограничения на трассировку только для одной пары логических слоев, в которых проводники расположены в разных направлениях (X и Y). Рисунок логических слоев МПП является переменным. Рисунок потенциальных слоев, предназначенных для размещения цепей типовых напряжений питания и земли, постоянный во всех типах МПП ТЭЗ. Защитные (или технологические, наружные) слои, предусмотренные технологическим процессом изготовления МПП, также являются постоянными по топологическому рисунку и конструкции. В готовой печатной плате имеются два защитных слоя, предохраняющих тонкие проводники логических слоев от механического повреждения.

Число логических и потенциальных слоев зависит от насыщенности связями электрической схемы ТЭЗ (т. е. от числа ИС), шага трассировки проводников, потребляемого ТЭЗ тока по каждому напряжению питания и допустимых разбросов типовых напряжений питания и земли. Для размещения соединений ТЭЗ в типовых конструкциях МПП используется от 4 до 7 логических слоев. Это позволяет разместить, например, около 350—400 связей (т. е. около 18—20 м связей) в МПП ТЭЗ типа 3 и четырех слоев при ручной трассировке с шагом 1,25 мм или около 1100—1200 связей (т. е. около 80—100 м связей) в МПП ТЭЗ типа 4 на шести слоях при машинной трассировке с шагом 0,5 мм.

Каждая цепь типового питания и земли в типовых конструкциях МПП ТЭЗ реализуется на отдельных слоях для обеспечения минимальных «разбросов» напряжения. Необходимость такого решения обусловлена значительными потребляемыми токами ТЭЗ (по отдельным напряжениям 1—3 А и более). Для уменьшения общего числа слоев МПП функции потенциального слоя иногда выполняют лицевые защитные слои (например, в МПП ТЭЗ типа 3 и 5). Рисунки цепей питания и земли выполняют на соответствующих слоях в виде сетки проводников с шагом 1,25 мм. На наружных слоях цепи питания выполняются с помощью печатных шин шириной 2,5 мм и более. Печатные проводники на логических слоях МПП ТЭЗ характеризуются рядом электрических параметров (погонные емкость и индуктивность, волновое сопротивление и др.), значения которых выбираются с учетом уменьшения рассеиваемой мощности ТЭЗ, обеспечения высокой скорости переключения логических элементов и условий изготовления МПП. Для большин-

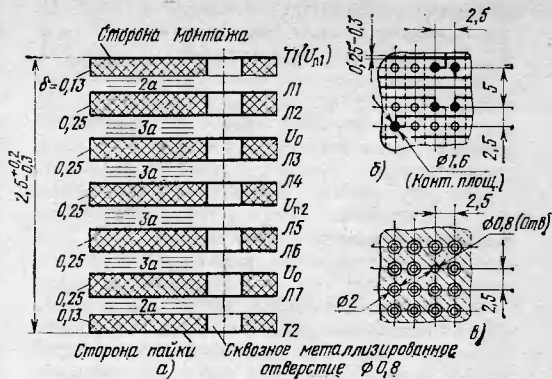


Рис. 13.25. Пример структуры МПП ТЭЗ (типа 5) ЕС ЭВМ:

а — расположение слоев; б — фрагмент трассировки логических слоев; в — фрагмент рисунка потенциального слоя; Обозначения: а — изоляционная прокладка СТП-4 толщиной 0,06 мм; б — толщина фольгированного диэлектрика СТП-1, СТП-2; Л1—Л7 — логические слои; U — потенциальные слои ($U_0=0$; $U_{П1}=-5,2$ В; $U_{П2}=-2$ В); Т1, Т2 — технологические (наружные) слои

ства конструкций МПП волновое сопротивление составляет от 50 до 90 Ом. При этом разброс номинального значения для конкретного типа МПП составляет обычно 10—15%. На рис. 13.25 приведен пример структуры МПП, реализованной в типовых конструкциях ТЭЗ типа 5.

Кроме монтажных отверстий, предназначенных для размещения выводов ИС, ЭРЭ и соединителя, типовыми конструкциями МПП предусмотрены переходные отверстия, используемые для перехода печатных линий связи с одного слоя на другой. Расположение переходных отверстий на плате постоянно фиксировано, их используют по мере необходимости.

Все конструкции ТЭЗ предусматривают единую технологию изготовления МПП — металлизацию сквозных отверстий по второму классу плотности согласно ГОСТ 23752—79. Материалами МПП служат, как правило, односторонние и двусторонние фольгированные диэлектрики марки ФТС-1-20А-0,08 и ФТС-2-35 А-0,23 (ТУ 16-503.154—76) или СТП-1-0,13 и СТП-2-0,25 (ТУ 16-503.161-77).

В качестве склеивающих изоляционных прокладок используются стеклоткани СТП-3-0,06 (ТУ 16-503.085-75) или СТП-4-0,6 (ТУ ИМО.509.-078-77).

Все отверстия на плате располагаются в единой координатной сетке 2,5 мм. Печатные проводники на слоях трассируются по ортогональной системе. При этом в шаге отверстий 2,5 мм обеспечивается прохождение одного проводника (для конструкций МПП ТЭЗ типов 2,4 и 5) и двух проводников (для конструкций МПП ТЭЗ типа 4).

Основные параметры элементов печатного монтажа	
Ширина печатных проводников, мм	0,2—0,3
Диаметр сквозных отверстий после металлизации, мм	0,8—0,9
Диаметр контактных площадок, мм:	
на внутренних слоях	1,5—1,6
на наружных слоях	1,9—2,0
Расстояние между печатными элементами, мм, не менее	0,2

На платах ТЭЗ маркируются: шифр ТЭЗ, номера контактов под соединитель, координаты установки ИС, заводской номер, клеймо ОТК и обозначение печатной платы.

Особенности трассировки связей на логических слоях МПП. Трассировку соединений выполняют по определенным правилам с учетом того, что используется быстродействующая элементная база — ИС ЭСЛ. Все логические цепи трассируют по принципу последовательного обхода контактов ИС, начиная от контакта-источника. Последним в логической цепи является контакт резисторно-конденсаторного блока. При последовательном обходе контактов допускаются отводы ограниченной длины от основной линии связи. Чтобы помехи в линиях связи не превышали допустимых, длина отводов не должна превышать 15—20 мм.

В процессе трассировки соединений на каждой паре логических слоев могут образовываться так называемые «теневые»

участки проводников, идущих друг под другом. Длинные теневые участки проводников в двух смежных логических слоях способны вызвать помеху (наводку) в одной из этих линий связи. Для исключения таких помех суммарная длина теневых участков проводников для одной цепи не должна превышать 30 мм. Приведенные ограничения учитываются как при ручной, так и при автоматизированной трассировке соединений и направлены на обеспечение помехозащищенности линий связи и надежного функционирования ТЭЗ.

Особенности размещения ИС. В ТЭЗ используется ряд ограничений на размещение ИС, в основном связанных с входными внешними цепями ТЭЗ. Входные цепи часто являются составной частью линии связи функционального блока, размещаемого в панели. От линии связи, расположенной на панели, могут быть выполнены отводы к нескольким ТЭЗ. Каждый такой отвод является дополнительной емкостной нагрузкой на панельную (магистральную) линию связи, влияющей на ее согласование и помехозащищенность, а также на задержку сигнала в линии. Поэтому длина входных цепей ТЭЗ предельно ограничивается. Она может быть минимальной в том случае, если подключенные к ним ИС будут расположены как можно ближе к соединителю. Для автоматизированного способа размещения ИС и трассировки соединений длина входной логической цепи ТЭЗ ограничивается 30—50 мм (в расчете на одну ИС).

Резисторно-конденсаторные блоки, помимо резисторных контактов, содержат контакты питания с напряжением, как правило, отличающимся от напряжений питания ИС. Несмотря на это резисторно-конденсаторные блоки могут устанавливаться на любых типовых посадочных местах для ИС на плате. Для этого в зоне каждого посадочного места предусматриваются специальные переходные отверстия, предназначенные для постоянного подключения соответствующего напряжения питания (например, напряжения — 2 В). Соединение таких переходных отверстий с монтажными отверстиями под выходы резисторно-конденсаторных блоков выполняются на логических слоях короткими печатными перемычками.

В некоторых конструкциях ТЭЗ (например, типа 5), наряду с 16-выводными ИС, используются также 24-выводные ИС. Типовая конструкция МПП в этих случаях выполнена таким образом, что одна ИС устанавливается практически без потерь площади на место, занимаемое тремя ИС. При этом постоянство рисунка на потенциальных слоях МПП не нарушается. Такая конструктивная совместимость является результатом унификации конструкции МПП благодаря использованию в нужных местах специальных переходных отверстий. Фрагмент конструктивной совместимости ИС и СИС, реализованной в конструкции ТЭЗ типа 5, приведен на рис. 13.26.

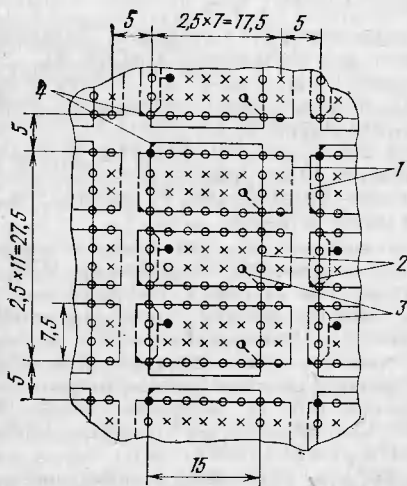


Рис. 13.26. Фрагмент конструктивной совместимости ИС и СИС в типовой конструкции ТЭЗ типа 5

1, 2 — зоны размещения ИС и СИС (серии 500) в корпусах типа ДИП соответственно с 16 и 24 выводами; 3 — печатные перемычки питания (и земли), располагаемые на логических слоях МПП; 4 — зона ключа ИС (место расположения вывода 1 ИС);
 ○ — сигнальные отверстия; ● — земляные; ⊙ — потенциальные (—5,2 и —2 В соответственно);
 × — переходные

Панели предназначены для конструктивно-технологической реализации функциональных схем и функциональных блоков устройств ЕС ЭВМ. Такие схемы и блоки не являются функционально законченными и характеризуются большим функциональным объемом и большим числом внешних и внутренних связей. (Полиая функциональная законченность имеет место в том случае, когда функциональные блоки или устройства ЭВМ соединяются между собой системой интерфейсных связей). Несмотря на функциональную незаконченность, панели ЕС ЭВМ являются конструктивно (а иногда и монтажно) законченными модулями с присущими им характерными функциональными признаками.

В конструктивном отношении панель представляет собой сборочную единицу, содержащую элементы установки, крепления и электрического объединения ТЭЗ, элементы подвода питания и вывода внешних связей, элементы крепления панели в раме. Основным несущим элементом конструкции панели является металлическая рамка, с помощью которой обеспечивается крепление панели в раме. На несущей рамке крепятся «корзины» (кожух) с направляющими для установок ТЭЗ, ответные части соединителей ТЭЗ, а также печатная (как правило, многослойная) плата, являющаяся основным коммутационным элементом панели. Типовые элементы размещаются в панели вертикально в один или два ряда с шагом 15 или 17,5 мм. Установка и извлечение ТЭЗ из панели осуществляются обычно с помощью специальных приспособлений, входящих в состав ЗИП. В технике ЕС ЭВМ используется несколько типов конструкций панелей, отличающихся числом и типом используемых ТЭЗ, шагом их установки, размерами печатной платы и способом организации вывода внешних связей. Основные характеристики наиболее распространенных типов конструкции панелей приведены в табл. 13.11.

Компоновка цепей питания на панели. Использование логических элементов ЭСЛ связано с потреблением значительных токов по каждому из типовых напряжений питания. Так, например, типовая токовая нагрузка для панелей типа В и Г при использовании ИС серии 500 составляет: до 60 А для $U_{ш} = -5,2$ В; до 40 А для $U_{пз} = -2$ В; до 100 А для $U_0 = 0$. Для панелей типа Д и Е типовая токовая нагрузка для аналогичных напряжений питания примерно в 2—2,5 раза выше. Такие токовые нагрузки существенно влияют на конструкцию подвода напряжений питания к панели.

При выборе способа подвода питания к панели необходимо стремиться к уменьшению разбросов напряжений питания и земли в пределах всей панели. Значительные разбросы напряжений питания су-

щественно ухудшают помехозащищенность ИС. Например, разброс до 50—60 мВ для $U_{ш} = -5,2$ В или до 30—40 мВ для $U_{пз} = -2$ В снижает помехозащищенность ИС серии 500 примерно на 10 мВ. Особенно важно учитывать разброс по нулевому уровню напряжения, поскольку пропорционально этому разбросу ухудшается помехозащищенность ИС. Чтобы обеспечить помехозащищенность ИС, питание к типовым панелям ЕС ЭВМ подводят с помощью специальных узлов подвода, располагаемых по периферии платы панели. Число узлов подвода питания составляет от 10 (в панелях типа В) до 30 (в панелях типа Е). Типовые напряжения питания подводятся к панели, как правило, с двух сторон. Это позволяет уменьшить в два раза разброс напряжений питания и сечение подводящего силового провода, а также разделить цепи питания на плате панели на две (например, соответственно двум рядам ТЭЗ) или более независимые части, что в свою очередь позволяет уменьшить число блоков питания путем рационального распределения нагрузки при соответствующем объединении в раме разделенных цепей питания панели.

В пределах самой платы панели цепи питания можно разводить различными способами. Обычно для разводки цепей питания в пределах панели служат специализированные потенциальные слои питания в МПП. Каждое типовое напряжение питания подводится к слою МПП через группу сквозных металлизированных отверстий, предназначенных для установки контактного элемента узла подвода питания. ТЭЗ получает питание через определенные выводы соединителя, располагаемые также в сквозных отверстиях МПП и имеющие электрический контакт с соответствующими слоями питания.

В опытных образцах ЕС ЭВМ иногда используют конструкции панелей, в которых цепи питания разводятся комбинированным способом — с помощью многослойной или двусторонней печатной платы панели «земля — питание» с навесными шинами питания, обеспечивающими снижение до минимально-допустимых значений разброса номиналов напряжения питания в разных точках платы. Навесные шины устанавливаются в отверстия платы панели со стороны установки ТЭЗ и не мешают укладке проводных связей при электромонтаже. В целях облегчения производства платы панели «земля-питание» может состоять из двух или трех отдельных частей в зависимости от используемого типа ТЭЗ (одинарного или двойного). Такие части платы, электрически объединяемые на несущей рамке с помощью навесных шин питания и проводных перемычек (для создания эквипотенциального поля с нулевым потенциалом), создают условия единства (цельности) платы «земля-питание», отвечающей требованиям перепада напряжений питания и земли во всей панели и возможностям

Таблица 13.11

Условный тип конструкции панели	Максимальное число ТЭЭ (тип ТЭЭ)	Шаг установки ТЭЭ, мм	Размеры платы панели, мм	Средний функциональный объем, в ЭЛЭ	Среднее число внешних связей	Наличие периферийных средств в панели для вывода внешних связей
А	40 (тип 1)	15	360×360 (ДПП)	3000	400 (до 600 макс.)	Имеются
Б	40 (тип 2)	15	360×360 (МПП)	5000	840 (до 1100 макс.)	
В	40 (тип 3)	15		10 000	850 (до 1250 макс.)	
Г		17,5			850 (до 1250 макс.)	Отсутствуют
Д	29 (тип 4)	15	340×450 (МПП)	32 000	1500 (до 2500 макс.)	
Е	58 (тип 5)			25 000	1200 (до 1600 макс.)	

выполнения проводного электромонтажа логических цепей. Пример конструкции панели типа В с использованием двух ДПП панели «земля-питание» и навесных шин питания приведен на рис. 13.27.

Электромонтаж внутренних логических цепей в панелях. Основным и наиболее технологичным средством электромонтажа в панелях является многослойная печатная плата панели с сигнальными слоями. Такая МПП содержит 12—14 и более слоев и выполняется по методу металлизации сквозных отверстий. Материалами оснований для слоев служат те же марки фольгированных стеклотекстолитов, что и для МПП ТЭЭ. Внутренние связи в МПП панели трассируются в двух направлениях (X и Y), на 6—8 логических слоях с шагом 1,25 мм и с условием прохождения одного проводника в шаге отверстий 2,5 мм. Трассировка связей осуществляется строго по принципу последовательного обхода контактов соединителя от контакта-источника до последнего контакта-приемника (допускаются отводы от магистральной линии длиной не более 20 мм).

Структура типовых конструкций МПП панели построена по принципу структурных звеньев. Логические слои в МПП располагаются парами. Каждая пара логических слоев экранирована друг от друга потенциальными слоями. Типовые конструкции МПП панелей в ЕС ЭВМ обеспечивают достаточную стабильность электрических параметров печатных линий связи. Волновое сопротивление печатных проводников на логических слоях МПП составляет 50—60 Ом. При этом разброс номиналов волнового сопротивления обычно не превышает 10%. Цепи питания и земли вы-

полнены на отдельных потенциальных слоях и представляют собой либо сетку проводников с шагом 1,25 мм и шириной 0,25—0,3 мм, либо сплошной металлизированный слой с перфорацией в местах отверстий, не связанных с данным напряжением питания. Пример структуры МПП, используемой в панели типа В, приведен на рис. 13.28. Отдельные внутренние цепи, не растрассированные в МПП, выполняются проводным электромонтажом.

Многослойные печатные платы с сигнальными слоями используются обычно в конструкциях панелей серийных образцов ЭВМ. В конструкциях панелей опытных образцов ЭВМ используются, как правило, печатные платы (многослойные или двусторонние) «земля-питание», при этом логические цепи выполняются проводным электромонтажом, что обуславливает удобство, простоту и сокращение времени внесения схемных изменений и исправления ошибок на этапе наладки. Проводной электромонтаж осуществляется методом накрутки и выполняется одножильными и двухжильными (скрученная пара) проводами типа МНВ сечением 0,05 мм² в соответствии с определенными правилами (рекомендациями), которые учитываются при автоматизированной трассировке панели с помощью ЭВМ, обеспечивая возможно меньшую задержку сигналов (рис. 13.29). Правилами выполнения проводного электромонтажа предусматриваются ограничения на длину одножильных проводов, способ (упорядоченно по каналам или по кратчайшему пути — хаотично) и очередность укладки одножильных и двухжильных проводов и др. Более подробно правила трассировки линий связи в конструкциях панели, ТЭЭ

Удельная тепловая нагрузка, Вт/дм ²	Объемная плотность компонентов, ЭЛЭ/см ³	Плотность внутренних связей, см/см ²	Применяемость
4—5	0,15	6—8	ЕС 1020, ЕС 1030
12—15	0,25	16—18	ЕС 1050
16—20	0,5	18—20	ЕС 1060
16—20	0,5	10—12	ЕС 1036, ЕС 1061
45—50	1,4	20—22	ЕС 1065
40—45	1,1		ЕС 1066

и других конструкциях модульных уровней ЕС ЭВМ изложены в работе [1].

Особенности электромонтажа внешних связей панели. Число внешних связей и способы их подключения к панели влияют как на конструкцию самой панели, так и на организацию межпанельного электромонтажа в раме. Техническая реализация вывода огромного числа внешних связей панели, исчисляемых тысячами (см. табл. 13.11), представляет довольно сложную задачу. При разработке типовых конструкций панелей ЕС ЭВМ эта задача решена с использованием промежуточных средств (например, соединителей) на периферии платы панели и непосредственным выводом с контакта соединителя ТЭЗ.

При первом способе, реализованном в типовых конструкциях панелей типов А — В, используются специально предусмотренные промежуточные средства, располагаемые по периферии платы панели. Это обычно соединители, аналогичные соединителям под ТЭЗ. Внешняя связь от логического контакта соединителя ТЭЗ печатным проводником (или витой парой при проводном электромонтаже) соединяется с контактом периферийного соединителя, предназначенного для вывода внешних связей. (Соединители для внешних связей располагаются на той же печатной плате панели, что и соединители для ТЭЗ, поэтому соединения между ними осуществляются в пределах платы панели.) Собственно внешняя связь панели подключается только к периферийному соединителю панели, для чего используется разъемный вариант подключения. Этот способ обладает значительной гибкостью. Наряду с периферийными соединителями для вывода

внешних связей могут использоваться крайние соединители, предназначенные для установки ТЭЗ. Уменьшая число ТЭЗ на панели, можно увеличить число соединителей для вывода внешних связей.

Главными достоинствами способа является возможность обеспечения высокой технологичности и серийности электромонтажа в панели (проводной электромонтаж может быть почти полностью исключен при выполнении всех логических связей в МПП), а также возможность использования групповых методов межпанельного электромонтажа, в том числе с помощью плоских кабелей. Например, при разработке типовой конструкции панели типа В применены плоские кабели типа ПВПмс, для чего в панели предусмотрены для вывода внешних связей восемь соединителей СНП34-135, расположенных по четырем периферийным сторонам панели (по два соединителя на каждой стороне). На панели может быть установлено до 40 ТЭЗ. В каждом периферийном соединителе используется до 80 логических контактов под внешние связи (рис. 13.30). Так как внешние связи выполняются плоским кабелем ПВПмс, содержащим 20 сигнальных жил, то к одному соединителю может быть подключено до четырех лент плоского кабеля. Таким образом, с помощью восьми постоянных периферийных соединителей обеспечивается вывод с панели до 640 внешних связей. Больше число внешних связей требует использования крайних соединителей под ТЭЗ в качестве периферийных средств.

Первый способ вывода внешних связей, несмотря на его явные достоинства, в силу необходимости использования крайних соединителей под ТЭЗ в качестве периферийных при большом числе внешних связей ведет к снижению плотности компоновки устройств, что для быстродействующих ЭВМ Единой системы недопустимо. Поэтому этот способ дает хорошие результаты при числе внешних связей панели не более 800—1000.

При втором способе вывода внешних связей, реализованном в типовых конструкциях панелей типа Г — Е, непосредственно используются контакты соединителей ТЭЗ (т. е. хвостовиков ответных частей соединителей на панели) для вывода внешних связей. При этом способе практически любой логический контакт соединителя ТЭЗ может быть использован для вывода внешних связей панели, поэтому число внешних связей в панели не является ограничивающим фактором. Для технической реализации способа в качестве внешних связей требуются дискретные кабельные изделия (витые пары, малогабаритные коаксиальные кабели и др.), которые подключаются к логическим контактам соединителей ТЭЗ методом накрутки с монтажной стороны панели. При этом способе всегда имеет место проводной электромонтаж на панели (даже если все внутренние

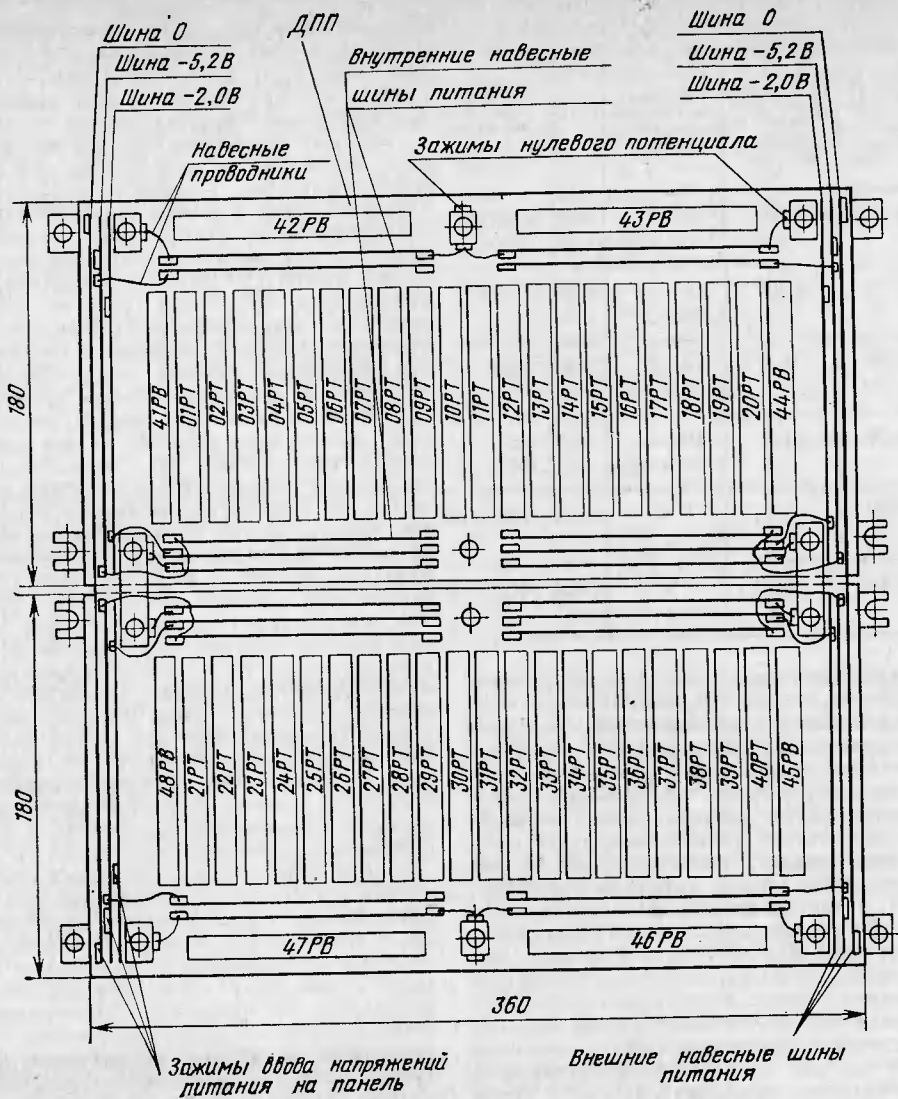


Рис. 13.27. Пример конструкции панели типа В с использованием двух ДПП «земля — питание» и навесных шин питания

связи панели выполнены в МПП), что несколько снижает технологичность ее конструкции и затрудняет съем панели (в случае необходимости). Для обеспечения проводного электромонтажа дискретными кабельными изделиями в конструкции панели предусмотрены земляные шины с контактами, устанавливаемые между соединителями ТЭЗ и используемые для подключения обратных проводов витых пар или коаксиальных кабелей.

Типовые конструкции рам

Рамы ЕС ЭВМ представляют собой конструктивно (и монтажно) законченные сборочные единицы с характерными функцио-

нальными признаками и предназначены для размещения функциональных устройств процессора ЭВМ, блоков (устройств) оперативной памяти, устройств электропитания и охлаждения и др. Для отвода тепла и обеспечения нормального теплового режима во всех рамах используется автономная воздушная система охлаждения, состоящая из четырех блоков вентиляторов. В каждом блоке в зависимости от размеров панели используется два или три вентилятора типа 1,25ЭВ-2,8.

Основой типовой конструкции рамы ЕС ЭВМ является несущий каркас (собственно рама), представляющий собой обычно сваренный замкнутый контур из труб прямоугольного сечения, предназначенный для

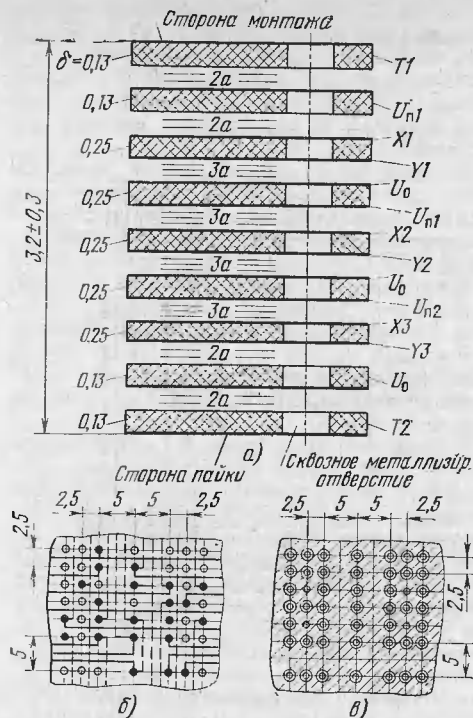


Рис. 13.28. Пример структуры МПП панели (типа В) ЕС ЭВМ:

а — расположение слоев; б — фрагмент трассировки логических слоев; в — фрагмент рисунка потенциального слоя;

Обозначения: а — изоляционная прокладка СПТ-4 толщиной 0,06 мм; б — толщина фольгированного диэлектрика СТФ-1, СТФ-2; X, Y — логические слои с направлениями проводников X и Y; U — потенциальные слои ($U_0=0$; $U_{n1}=-5,2$ В; $U_{n2}=-2$ В); T1, T2 — технологические (наружные) слои

Рис. 13.30. Расположение логических контактов в соединителях панели (типа В), предназначенных для вывода внешних связей:

○ — сигнальные отверстия; ● — земляные; ⊙ — питание —5,2 В; ⊖ — питание —2 В; ⊗ — специпитание; ∅ — сигнальные контакты, запрещенные для использования в соединителях панели, предназначенных для внешних связей; А, В, С, D — зоны подключения кабельных соединителей

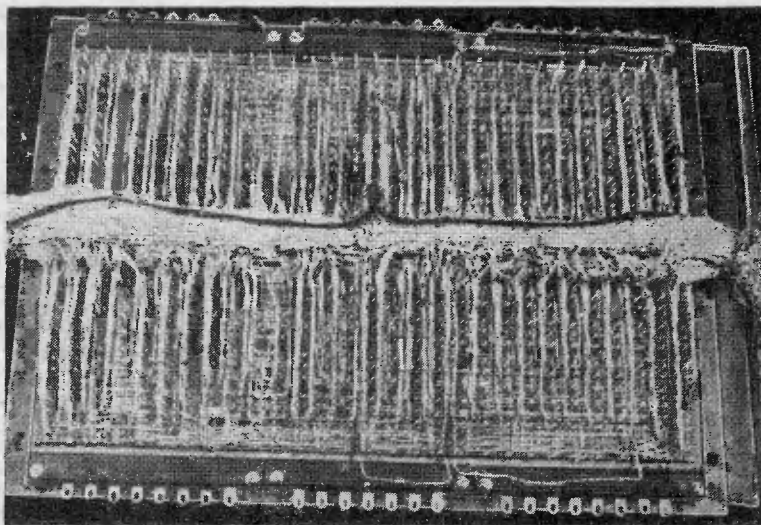
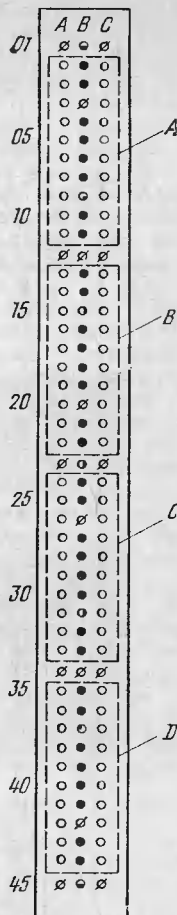


Рис. 13.29. Пример проводного электроремонта панели

механического крепления всех необходимых элементов. В несущем каркасе предусмотрено шесть сквозных окон размером 360×360 мм или 360×450 мм для размещения в них панелей (или блоков электропитания), а также четыре сквозных окна размером около 180×360 мм или 120×450 мм для размещения в них устройств охлаждения (блоков вентиляторов). Размеры каркаса рамы определяются условием обеспечения минимальной длины линий связи в стойке при максимально возможном числе панелей и ориентировочно составляют: 800 (ширина) $\times$ 1400 (высота) $\times$ 200 (глубина). В зависимости от назначения разделяют рамы электроники и рамы электропитания.

Рама электроники ЕС ЭВМ предусматривает установку и механическое крепление на несущем каркасе до шести панелей любого типа, четырех блоков охлаждения, четырех пакетов шин электропитания, нескольких панелей внешних связей, а также определенную организацию и размещение в необходимом объеме электромонтажа внутренних и внешних логических цепей. В окна рамы электроники, предназначенные для установки панелей, при необходимости могут быть установлены источники вторичного электропитания.

В зависимости от расположения блоков охлаждения в рамках электроники последние подразделяются на два типа: тип I — с расположением блоков охлаждения в ниж-

ней и верхней частях рамы; тип II — с расположением блоков охлаждения в средних частях рамы, т. е. между панелями.

Сечение шин и связанных с ними проводников выбирается в зависимости от токовой нагрузки и допустимого падения напряжения.

Пакеты шин электропитания представляют собой набор плоских шин, предназначенных для подвода напряжения питания к панелям. Во всех рамах электроники пакеты шин устанавливаются горизонтально и механически крепятся с лицевой или монтажной стороны рамы. Шины электропитания располагаются в раме таким образом, что каждая панель находится между двумя пакетами шин и напряжение питания подается в панель вдоль верхней и нижней части ее платы.

Панели внешних связей представляют собой набор соединителей (например, типа СНП 34, «Набор»), используемых для вывода внешних связей рамы. Они крепятся на кронштейнах к торцу рамы с одной или двух ее сторон. Число панелей внешних связей в раме, а также число и тип соединителей на них выбираются в зависимости от расположения рамы в стойке, организации электромонтажа, характеристик устройств и их функционального объема. Пример расположения основных элементов конструкции в раме электроники приведен на рис. 13.31.

Рама электропитания ЕС ЭВМ предусматривает установку и механическое крепление на несущем каркасе, например, до 12 источников (блоков) вторичного электропитания типогабарита «1/2» и до четырех блоков охлаждения, а также размещение в необходимом объеме силового электромонтажа. В каждом из шести основных окон рамы (например, размером 360×360 мм) может размещаться разное число блоков электропитания. В зависимости от типогабарита в одном окне можно, например, разместить либо один блок электропитания типогабарита «1», либо два блока типогабарита «1/2», либо четыре блока типогабарита «1/4» и т.д. В окнах рамы, предназначенных для установки блоков, размещаются также устройства (блоки) диагностики системы электропитания и устройства контроля тепловых режимов рам стойки, выполненные в соответствующем типогабарите конструкции. Органы местного и дистанционного управления электропитанием могут размещаться как в окнах, так и вне окон (например, на боковых сторонах рамы).

В рамках электроники ЕС ЭВМ используется дискретный и групповой электромонтаж логических связей. При дискретном электромонтаже связи выполняются в основном витыми парами проводов типа МНВ 2 0,05 мм² с волновым сопротивлением около 100 Ом и размещаются на монтажной стороне рамы. Особенность электромонтажа рам ЕС ЭВМ витыми парами заключается в том, что витые пары не вя-

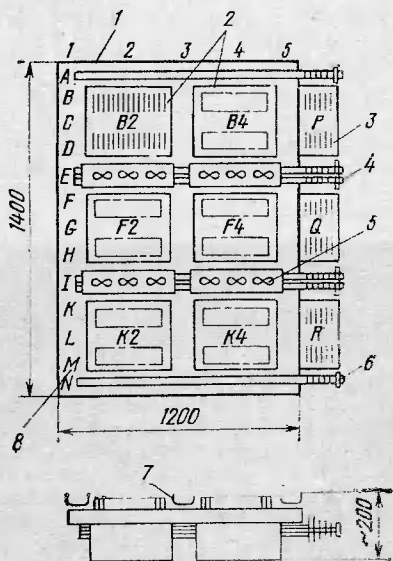


Рис. 13.31. Расположение основных элементов конструкции в раме электроники ЕС ЭВМ:

1 — рама (средняя); 2 — панели; 3 — панели соединителей для внешних связей рамы; 4 — пакет шин электропитания (средний); 5 — устройство охлаждения с тремя вентиляторами 1.25ЭВ-2.8-6-3270; 6 — пакет шин электропитания (нижний); 7 — монтажный канал; 8 — элемент адресации

жуются предварительно в жгут, а укладываются в специально предусмотренные в конструкции межпанельные кабельные каналы, что обеспечивает упорядоченность электромонтажа. Все дискретные кабельные изделия (независимо от конструктивного исполнения) подключаются методом накрутки непосредственно к выводам соединителей ТЭЗ на панелях.

При групповом электромонтаже соединения выполняются плоскими высокочастотными кабелями типа ПВПмс (или ПВПЛ) с числом жил 54 и 60 (рис. 13.32) и волновым сопротивлением 75 и 100 Ом. Их основные параметры приведены в табл. 13.12.

Для выполнения связей плоским высокочастотным кабелем используются так называемые кабельные соединители, представляющие собой ленту плоского кабеля, содержащую на обоих концах специальные разъемные устройства. Кабельный соединитель подключается к панелям разъемно с лицевой стороны рамы (или панели) с помощью разъемных устройств, содержащих 30-контактную розетку типа СНП 34, многослойную печатную плату и элементы крепления плоского кабеля на плате (рис. 13.33). К одному 135-контактному соединителю типа СНП 34 на панели может быть подключено до четырех лент плоского кабеля, для чего соединители панели, используемые для подключения внешних связей, разделены на зоны: А, В, С и D (см. рис. 13.30).

Использование плоского кабеля при электромонтаже рам ЕС ЭВМ имеет свою специфику. К ним относятся необходимость использования одинарных и двойных перегибов лент плоского кабеля, соблюдение определенной последовательности разра-

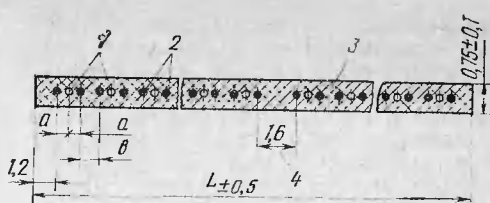


Рис. 13.32. Расположение проводников в плоском кабеле ПВПмс 75—60×0,20:

а — 0,468 мм; в — 0,4 мм; L=29 мм; 1 — сигнальные проводники; 2 — земляные проводники; 3 — полиэтиленовая изоляция; 4 — «кодовый» зазор

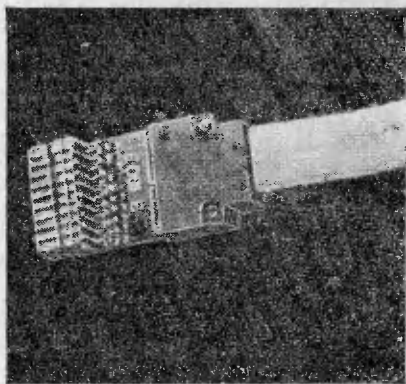


Рис. 13.33. Общий вид кабельного соединителя ЕС ЭВМ

ботки технической документации на панель, раму и стойку, учет очередности укладки лент в кабельные каналы при монтаже и др. Подробно особенности электромонтажа плоским кабелем в устройствах ЕС ЭВМ изложены в работе [1].

Таблица 13.12

Параметр	Значение параметра плоского кабеля	
	ПВПмс 75-60×0,20	ПВПмс 100-54×0,18
Число жил:		
общее	60	54
сигнальных	20	18
Диаметр жил, мм	0,20	0,18
Волновое сопротивление, Ом	75±7,5	100±10
Толщина ленты, мм	0,75±0,1	0,75±0,1
Ширина ленты, мм	29±0,5	32±0,5
Расстояние между жилами в тройке, мм	0,468	0,625
Расстояние между соседними заземляющими жилами, мм	0,4	0,4

Примечание. Материал жил — медная посеребренная проволока; материал диэлектрика — полиэтилен.

Типовые конструкции стоек

Стойки предназначены для размещения функционально законченных устройств ЕС ЭВМ (центрального процессора, каналов ввода-вывода, устройств управления внешними устройствами и др.). Конструктивной основой типовой стойки является несущий металлический каркас сборно-сварного типа, выполненный из прямоугольного пустотелого стального профиля. С лицевой (передней) и тыльной стороны стойки установлены открывающиеся двери, а на боковых сторонах могут быть установлены щиты (в случае автономной установки стойки).

Типовая конструкция стойки ЕС ЭВМ содержит три рамы: А, В и С. Средняя рама (В) жестко закреплена в стойке, а крайние (А и С) являются поворотными (на угол не менее 90°). Габаритные размеры типовой стойки: 1400 (ширина) — 1600 (высота) — 850 (глубина) мм и обеспечивают

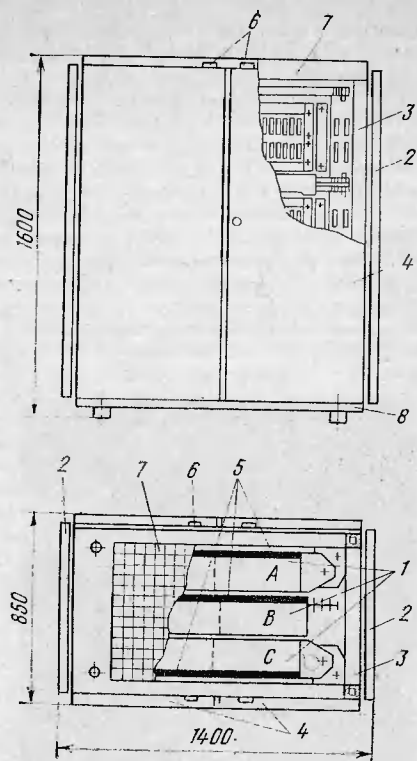


Рис. 13.34. Общий вид стойки ЕС ЭВМ (в плане):

1 — рама; 2 — боковой щит; 3 — каркас стойки; 4 — дверь; 5 — сторона электромонтажа рам; 6 — кнопки несанкционированного доступа; 7 — крышка стойки с вентиляционной решеткой; 8 — основание стойки

(в соответствии с требованиями ГОСТ 25122—82) возможность проноса ее в дверные проемы размером $1,8 \times 1,1$ м и разво-

рота на 90° из коридоров шириной $1,1$ м в дверные проемы, лестничные клетки и лифты шириной до $1,1$ м. Выбор числа рам в типовой конструкции стойки и ее габаритных размеров обусловлен условиями наладки и эксплуатации ЭВМ. Наличие трех рам позволяет вести наладку одновременно всех рам, причем к каждой раме обеспечивается одновременный доступ с двух сторон (рис. 13.34). Компоновка устройств в типовой стойке может предусматривать использование только рам электроники, или только рам электропитания, или совместное их использование.

Электромонтаж стойки выполняется плоским высокочастотным кабелем типа ПВПмс (или ПВПЛ), подключаемым к соединителям панелей внешних связей рам. Переход ленты плоского кабеля из одной рамы в другую осуществляется на одном высотном уровне. Организация электромонтажа в стойке может осуществляться с использованием специальной монтажной рамы (в случае использования группового электромонтажа плоским кабелем в рамах), размещаемой в торцевой части стойки вблизи осей подвеса подвижных рам. Внешние связи стойки могут выполняться и другими кабельными изделиями, например коаксиальными кабелями РК50-2-11 (цепи синхронизации между устройствами) и ИКМ-2 (цепи интерфейса ввода-вывода и прямого управления).

В типовых конструкциях стоек ЕС ЭВМ предусмотрены:

возможность использования дополнительной централизованной воздушной системы охлаждения;

организация и устройство блокировки несанкционированного доступа;

размещение розеток 220 и 36 В для подключения наладочной и ремонтной аппаратуры;

конструктивно-монтажные элементы, обеспечивающие выполнение требований по электромагнитной совместимости.

Глава 14

Особенности электронного конструирования и компоновки узлов ЭВМ

Современный этап развития электронно-вычислительной техники характеризуется рядом значительных изменений в области создания элементной и конструктивной базы, совершенствования способов компоновки электронного оборудования, разработки методов расчета конструкции и оценки временных параметров устройств ЭВМ. Эти изменения обусловлены следующими основными причинами:

резким повышением быстродействия элементной базы ЭВМ;

значительным возрастанием влияния межэлементных связей на быстродействие и помехозащищенность высокопроизводительных ЭВМ;

существенным снижением амплитуд и мощности рабочих сигналов логических элементов ИС и БИС, с одной стороны, и повышением уровня внешних помех, с другой.

Поэтому конструкция узлов и устройств ЭВМ в результате развития элементной базы и повышения сложности средств вычис-

лительной техникой стала определять не только механические, технологические и надежные параметры ЭВМ, но и такие электронные параметры ЭВМ, как быстродействие и помехоустойчивость. Обеспечение быстродействия, помехоустойчивости и электромагнитной совместимости типовых конструкций ЭВМ, составляющие предмет электронного конструирования, становится сегодня первоочередной и наиболее важной частью конструирования ЭВМ в целом. Особенно остро эта проблема стоит при переходе в субнаносекундный диапазон времени переключения логических элементов. Конструирование базовых матричных кристаллов БИС, многослойных печатных плат, проводных и кабельных линий связи, соединителей, компоновка электронного оборудования по различным конструктивным модулям является одной из главных задач электронного конструирования при создании современной электронной-вычислительной техники.

Применение ИС и БИС оказывают существенное влияние на выбор и использование типовых конструкций и конструктивно-технологической базы ЭВМ в целом. Так, например, высокий уровень интеграции БИС и соответственно узлов на БИС влияет на выбор числа контактов и типов соединителей для внешних связей, а высокая скорость переключения логических элементов требует тщательного подхода к конструированию линий связи на всех модульных уровнях конструкции. Стремление обеспечить высокое быстродействие (а значит, и производительность) ЭВМ обуславливает необходимость уменьшения длин связей в устройствах, значительного повышения плотности их компоновки и существенного снижения в итоге конструктивных задержек. Поэтому применение ИС и БИС, а также использование компоновочных и конструктивно-технологических решений по конструкции узлов и устройств ЭВМ должны находиться в тесной взаимосвязи. Иначе говоря, параметры элементной и конструктивно-технологической базы должны быть оптимальными и сбалансированными между собой и выбираться при проектировании быстродействующих ЭВМ с учетом комплексного (системного) подхода.

Выбор оптимальных параметров конструктивно-технологической базы (оценка длин и числа внешних и внутренних связей, выбор габаритных размеров и функционального объема конструкций модульных уровней, плотности компоновки элементов и устройств в модульных уровнях, структуры и трассировочной способности МПП и др.) является крайне важной задачей электронного конструирования современных ЭВМ. В результате выбора могут быть обоснованно сформулированы технические требования к технологическому уровню производства ЭВМ (технологии изготовления МПП, размерам, слойности и трассировочной способности МПП, монтажу и

демонтажу БИС, организации связей, ремонтопригодности и др.), требования к системе автоматизации проектирования узлов и устройств, требования к комплектующим электрорадиоэлементам (соединителям, согласующим и развязывающим элементам, проводам и кабелям и др.). Далее приведены некоторые основные и наиболее общие методы расчета конструкций и особенности электронного конструирования узлов и устройств на основе ИС и БИС. При этом особое внимание уделено методам расчета компоновочных и монтажных параметров конструктивных узлов быстродействующих ЭВМ.

14.1. Расчет внешних связей. Соотношение Рента

Число внешних связей является весьма важной характеристикой типовых конструкций ЭВМ любого уровня. Оно во многом определяет принципы построения типовой конструкции, ее компоновочные решения, требования по их технической реализации. Для вывода внешних связей в типовых конструкциях используются различные средства. Так, например, в ИС и БИС используются контакты корпусов ИС и БИС, в типовых конструкциях функциональных узлов и блоков — контакты соединителей. От числа внешних связей зависит общее число контактов в корпусах ИС и соединителях, способ и плотность их размещения, решения по монтажу и демонтажу в типовых конструкциях узлов и блоков.

Особое значение число внешних связей приобретает в типовых конструкциях быстродействующих и высокопроизводительных ЭВМ, характеризующихся большим функциональным объемом и высокой плотностью компоновки устройств. В них число внешних связей особенно велико, что требует значительного усложнения конструкции и решения связанных с этой проблемой вопросов. Поэтому крайне важно еще на ранних стадиях проектирования ЭВМ производить с достаточной достоверностью оценку числа внешних связей для типовой конструкции каждого модульного уровня и формулировать требования к их разработке и производству.

На число внешних связей влияют различные функциональные параметры (характеристики) устройств ЭВМ. Основными из них являются:

функциональный объем узлов, блоков и устройств ЭВМ;

быстродействие (высокое, среднее, низкое) функциональных узлов, блоков и устройств и связанная с ним производительность ЭВМ в целом;

разрядность и характер обработки (параллельная или последовательная обработка) информации;

функциональное назначение блока, устройства (для управления или обработки);

вид управления (микропрограммное или схемное управление) ЭВМ;

уровень развития диагностики (развитая или ограниченная диагностика) в ЭВМ.

Эти характеристики по-разному влияют на число внешних связей в узлах и блоках. Так, например, высокому быстродействию устройств соответствует большая степень параллелизма схем и меньшая глубина логических цепей (меньшее число каскадов логических элементов в логических цепях), что приводит в конечном счете к увеличению числа внешних связей в узлах и блоках. В тоже время использование микропрограммного управления в ЭВМ позволяет несколько снизить (за счет большей упорядоченности и однородности структуры) число внешних связей в узлах и блоках по сравнению с использованием схемного управления.

В настоящее время способы количественной оценки числа внешних связей узлов и блоков от каждого параметра в отдельности отсутствуют. Однако при проектировании типовых конструкций более важное значение имеет интегральный учет функциональных характеристик устройств ЭВМ, при котором главным параметром, влияющим на изменение числа внешних связей, является общий функциональный объем узла, блока, устройства ЭВМ.

Учет главного фактора (общего функционального объема) при оценке числа внешних связей практически позволяет косвенно учесть и другие факторы, поскольку они оказывают влияние на функциональный объем. Так, например, увеличение быстродействия устройств, использование большей разрядности информации при обработке и более развитой диагностики ЭВМ ведут к увеличению функционального объема устройств и как следствие к увеличению числа внешних связей в узлах и блоках.

Вопросу исследования зависимости между числом внешних связей (числом внешних контактов) и функциональным объемом посвящен ряд работ [39—40]. В результа-

те получено соотношение (рис. 14.1):

$$N_K = \alpha N^\beta, \quad (14.1)$$

где N_K — среднее число логических контактов в модуле; N — среднее число блоков (логических элементов) в модуле; α — среднее число контактов в блоке; β — постоянный коэффициент.

На основе статистического анализа ЭВМ серии 1400 фирмы IBM получено соотношение $N_K = 4,17 N^{0.65}$, известное как правило Рента [39].

Особого внимания заслуживают работы [39—40]. На основании проведенных исследований и обобщения результатов работ установлено, что коэффициент α представляет собой среднее число контактов в блоке, а значение β находится в диапазоне 0,57—0,75.

Приведенные соотношения характеризуются широким диапазоном значений N_K в силу большого диапазона значений α и β . Кроме того, эти соотношения не дают достаточно ясного и четкого представления о единице измерения функционального объема устройств. Это обстоятельство снижает точность оценки числа внешних связей и затрудняет применение соотношений на практике.

Важным моментом при установлении соотношения между числом внешних связей и функциональным объемом является формализация единицы измерения функционального объема элементов (ИС, БИС), узлов, блоков и устройств ЭВМ. В качестве такой универсальной единицы используют логические элементы (ЛЭ), реализующие элементарные логические функции И, И—НЕ. При измерении функционального объема пользуются понятием среднего числа входов-выходов ЛЭ (α), представляющее собой произведение исходного числа входов — выходов (α_0) на среднюю эффективность их использования ($\eta_{\text{ЛЭ}}$) в схемах: $\alpha = \alpha_0 \eta_{\text{ЛЭ}}$.

Функциональный объем ИС — число ЛЭ в ИС, или, что то же самое, уровень интеграции логических элементов в ИС данной серии ($N_{\text{ИС}}$), а также эффективность использования входов-выходов ЛЭ в данной серии ИС ($\eta_{\text{ЛЭ}}$) зависят от числа и типов модификаций элементов, входящих в серию, и определяются с учетом вероятности использования каждой модификации ИС в логическом устройстве ЭВМ:

$$N_{\text{ИС}} = \sum_1^{N_{\text{мод}}} N_{\text{ИС}i} P_i, \quad \eta_{\text{ЛЭ}} = \sum_1^{N_{\text{мод}}} \eta_{\text{ЛЭ}i} P_i,$$

где $N_{\text{ИС}i}$, $\eta_{\text{ЛЭ}i}$ — интеграция ЛЭ и коэффициент использования входов-выходов ЛЭ i -й модификации ИС соответственно; $N_{\text{мод}}$ — число модификаций ИС, используемых в устройстве ЭВМ; P_i — вероятность использования i -й модификации ИС в устройстве ЭВМ.

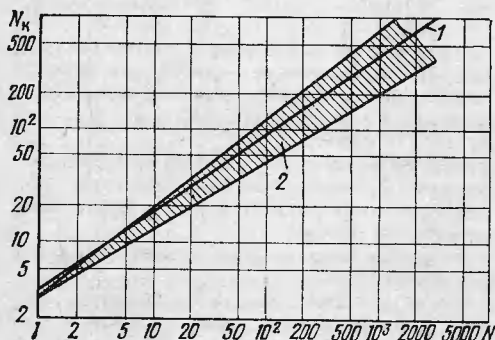


Рис. 14.1. Соотношения между числом внешних связей и функциональным объемом, полученные Рентом (1), Ландманом и Руссо (2)

Функциональный объем узлов и устройств ЭВМ N_0 определяется как произведение уровня интеграции ЛЭ в ИС используемой серии (M) на общее число ИС (M), используемых в узле, блоке и устройстве, т. е. $N_0 = N M$. Для оценки функционального объема ИС и логических устройств ЭВМ в принципе могут использоваться любые типы ЛЭ, реализующие элементарные логические функции: 2И, 2И — НЕ, 2И/2И — НЕ, 3И, 3И — НЕ, 3И/3И — НЕ и др., или набор из нескольких типов ЛЭ, каждый из которых реализует элементарную логическую функцию и характеризуется одинаковым (в пределах набора) числом входов — выходов. Важным моментом при выборе типа ЛЭ является наличие информации по исходному числу входов-выходов ЛЭ, эффективности использования входов — выходов и интеграции ЛЭ данного типа в каждой модификации ИС соответствующей серии. Целесообразно при оценке функционального объема и определении числа каскадов ЛЭ в логических цепях используется так называемый эквивалентный логический элемент (ЭЛЭ)*, содержащий четыре входных — выходных контакта независимо от выполняемой им элементарной логической функции (такой ЛЭ может выполнять любую из трех возможных элементарных логических функций: 3И, 3И — НЕ, 2И/2И — НЕ) и имеющий наибольший коэффициент использования входов — выходов. Основные характеристики эквивалентного логического элемента: $\alpha_0 = 4$; $\eta_{элэ} = 0,9$; $\alpha = \alpha_0 \eta_{элэ} = 3,6$.

В табл. 14.1 приведены значения числа ЭЛЭ и коэффициента использования их входов — выходов в ИС каждой модификации серии 500, широко используемой в ЭВМ. В качестве примера в табл. 14.2 приведены средние значения числа ЭЛЭ в ИС некоторых серий, используемых в устройствах ЕС ЭВМ.

Использование приведенной методики определения функционального объема ИС и логических устройств ЭВМ является одним из обязательных условий правильного расчета числа внешних связей. Так, например, статистический анализ параметров элементов и устройств высокопроизводительных ЭВМ Единой системы, характеризующихся широким диапазоном по производительности (от 100 тыс. до 10 млн. опер./с) и функциональным объемом процессора (от нескольких десятков тысяч до нескольких сотен тысяч ЭЛЭ), дает следующее аналитическое выражение для соотношения между числом внешних связей и функциональным объемом: $N_K = \alpha N^\beta$, где $\alpha = \alpha_0 \eta_{элэ}$; $\beta = b N^\delta$, $b = 0,38—0,42$ и $\delta = 0,04$ — статистические коэффициенты. (Для

* В данном случае эквивалентный логический элемент соответствует 3-входовому вентилю.

Таблица 14.1

Обозначение ИС	$N_{элэ}$	$\eta_{элэ}$	Обозначение ИС	$N_{элэ}$	$\eta_{элэ}$
E401	4	1,0	E430	10	0,95
E402	4	0,81	E431	18	0,83
E405	4	0,94	E433	16	0,82
E406	4	0,94	E434	14	0,79
E407	12	0,84	E436	114	0,79
E409	5	0,95	E460	39	0,89
E410	4	1,0	E461	15	0,79
E411	4	1,0	E462	15	0,79
E415	4	0,75	E464	24	0,85
E417	6	0,92	E465	60	0,65
E418	6	0,92	E473	33	0,63
E419	7	0,95	E481	22	0,75
E421	6	1,0	E110	8	0,67

Таблица 14.2

Серия ИС	Число ЭЛЭ в ИС ($N_{элэ}$ ис)	Примеры применения
137 (7 модиф.)	2,7	ЕС ЭВМ «Ряд-1»
500 (21 модиф.)	8,6	ЕС ЭВМ «Ряд-2»
500 (41 модиф.)	13,6	ЕС ЭВМ «Ряд-3»

ЭВМ малой производительности и микропроцессоров коэффициент β имеет меньшее значение — $\beta < 0,5$.)

На рис. 14.2 приведен график этой зависимости, из которой видно, что с ростом функционального объема устройства ЭВМ имеет место существенное увеличение числа внешних связей. Это может являться причиной ограничения уровня интеграции ЛЭ в типовых конструкциях функциональных узлов и блоков ЭВМ либо повышения плотности контактов в корпусах БИС и соединителях функциональных узлов, используемых для вывода внешних связей.

Современная элементная база высокопроизводительных ЭВМ на основе матричных БИС достаточно точно описывается соотношением (14.1) [11, 41] В табл. 14.3 приведены значения параметров N_K и N для матричных БИС и типовых конструкций ряда зарубежных ЭВМ.

Анализируя зависимость (14.1) и график рис. 14.2, важно отметить, что число внешних связей в устройствах ЭВМ увеличивается не бесконечно с ростом функционального объема, как это следует из графика. Для определенных (больших) значений N соотношение (14.1) теряет силу. (Для ЭВМ разных классов эти значения N могут быть разными. Например, для высокопроизводительных ЭВМ они составляют примерно

Тип базового матричного кристалла БИС (фирма, страна)	Тип ЭВМ (фирма, страна)	Параметр	
		$N_{\text{к max}}$	N_{max}
ЭСЛ (Amdahl, США)	5860, 5880 (Amdahl, США)	76	400
ЭСЛ (Fairchild, США)	Cyber-205 (CDC, США)	48	168
ТТЛ (IBM, США)	Система-38 (IBM)	96	704
ЭСЛ (IBM, США)	4331, 4341 (IBM)	~240	1469

8—10% общего функционального объема процессора). Это объясняется тем, что при достаточно больших значениях N наступает процесс функционального завершения устройств ЭВМ (т. е. превращения их в функционально законченные устройства) и замедления роста числа внешних связей с последующим их снижением. Поэтому областью применимости зависимости (14.1) следует считать диапазон значений N , составляющий примерно 8—10% общего функционального объема процессора ЭВМ, что составляет, например, для высокопроизводительных ЭВМ около 12—15 тысяч ЭЛЭ.

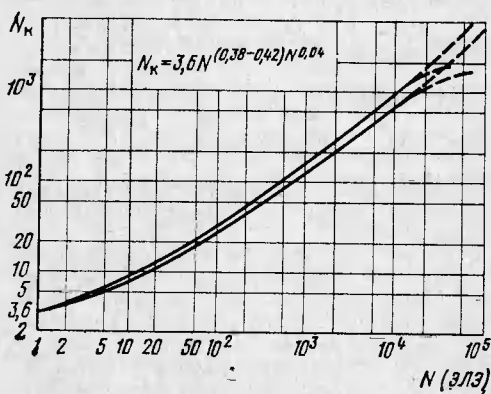


Рис. 14.2. Зависимость числа внешних связей от функционального объема, полученная на основе статистического анализа элементов и устройств высокопроизводительных ЭВМ ЕС

Для ограниченного диапазона значений интеграции, составляющего 10—1000 ЭЛЭ (например, для ИС, БИС, функциональных узлов на ИС) с учетом некоторых допущений формулу (14.1) можно упростить:

$$N_k \approx \alpha \sqrt{N}. \quad (14.2)$$

14.2. Расчет внутренних связей

При проектировании типовых конструкций функциональных узлов и блоков расчет числа внутренних связей имеет важное значение, так как с помощью этого парамет-

ра при известных средних длинах связей можно определять длину цепей и время распространения сигнала в них, суммарную длину связей, плотность электро монтажа и трассировочную способность конструкций печатных плат и в конечном итоге определять требования к технологии производства печатных плат, узлов и блоков.

Кроме того, зная число внутренних связей, можно определять длину связей в блоках и устройствах, использующих проводной и кабельный электро монтаж, и оценивать суммарную длину проводов и кабелей, необходимых для изготовления блоков и устройств ЭВМ.

Число внутренних связей в типовой конструкции узла зависит от суммарного числа логических контактов в схеме и нагрузочной способности цепей и в общем случае при использовании только микросхем (ИС или БИС) определяется выражением

$$N_{\text{св}} = mMn/(n+1), \quad (14.3)$$

где $N_{\text{св}}$ — общее число внутренних связей в узле, подлежащих трассировке в печатной плате; M — число микросхем в узле; m — среднее число логических контактов в микросхеме, используемое схемой узла; n — среднее число нагрузок микросхем (или, что тоже самое, среднее число связей) в цепи.

В типовых конструкциях быстродействующих функциональных узлов на ЭСЛ, кроме микросхем, в качестве согласующих элементов используются, как правило, резисторные или резисторно-конденсаторные блоки, которые в значительной мере могут увеличивать число связей в узле. Для таких узлов общее число внутренних связей, подлежащих трассировке в плате, $N_{\text{св}} \approx mM$.

Расчет общего числа внутренних связей в типовой конструкции блока (например, панели) осуществляется аналогично расчету числа внутренних связей в типовой конструкции узла при использовании только микросхем, т. е. по выражению, аналогичному (14.3).

В ряде случаев бывает полезным разделение общего числа внутренних связей $N_{\text{св}}$ на внутренние (не связанные с контактами соединителей узлов) и внешние. Такое разделение целесообразно для учета способа вывода внешних связей в конструкции узла или блока при расчете трассировочной способности печатных плат.

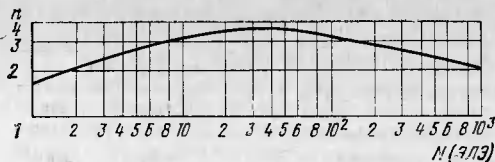


Рис. 14.3. Зависимость среднего числа связей в цепях узла от средней степени интеграции микросхем, полученная на основе статистического анализа элементов и устройств высокопроизводительных ЭВМ Единой системы

Для практического пользования выражением (14.3) и повышения точности расчета необходимо определить среднее число связей в цепях узла n , которое в значительной мере зависит от уровня интеграции логических элементов в микросхеме и для разных классов ЭВМ может быть разным. На рис. 14.3 приведен график зависимости среднего числа связей в цепи от среднего уровня интеграции микросхем, выраженной в эквивалентных логических элементах ($N_{\text{эле}}$). Данная зависимость получена на основе статистического анализа элементов и устройств высокопроизводительных ЭВМ Единой системы.

Из анализа графика рис. 14.3 видно, что для устройств ЭВМ в широком диапазоне значений уровня интеграции микросхем (в частности, примерно до 1000 ЭЛЭ) среднее число связей в цепях составляет 2—4, что должно быть учтено при расчете числа внутренних связей в типовых конструкциях ЭВМ.

14.3. Расчет средней длины связи в типовых конструкциях узлов ЭВМ

При проектировании типовых конструкций печатных плат функциональных узлов ЭВМ, расчете их трассировочной способности (определении числа логических слов в МПП, условий трассировки на каждом логическом слое, числа трасс между элементами) необходимо производить оценку длин связей, размещаемых в конструкции печатной платы. Длина связей между элементами схем (микросхемами) может быть различной — от минимальной (единицы миллиметров — когда соединяемые элементы расположены рядом) до максимальной, определяемой полупериметром зоны трассировки элементов, когда соединяемые элементы максимально удалены друг от друга. В общем случае для оценки длин связей пользуются, как правило, понятием средней длины связи, которая позволяет оценивать длину многокаскадных логических цепей в схемах узлов, суммарную длину и плотность компоновки связей в проектируемой конструкции и, в конечном итоге, формулировать требования

к конструкции и технологии изготовления печатных плат.

Особое значение средняя длина связи имеет при проектировании быстродействующих узлов и блоков ЭВМ, где этот параметр используется также для оценки и оптимизации временных параметров длинных логических цепей устройств ЭВМ конструктивной задержки в узле, блоке, соотношения между задержкой сигнала в связях и логических элементах и др.).

Методика расчета средней длины связи основана на использовании модели электрической схемы, характеризующейся тремя основными условиями: 1) все элементы схемы равномерно связаны друг с другом простыми (однозвенными) связями; 2) выводы каждого элемента сведены в одну точку, располагаемую в центре элемента; 3) внешние связи узла отсутствуют.

При использовании данной методики средняя длина связи в узле определяется простой формулой:

$$l_{\text{св}} = P/3, \quad (14.4)$$

где P — полупериметр зоны трассировки элементов на печатной плате узла ($P = L_x + L_y$, где L_x, L_y — размеры трассировочного поля печатной платы).

Формула (14.4) отражает особенность используемой модели схемы, заключающейся в том, что все элементы связаны по принципу «каждый с каждым» и только однозвенными цепями. Это означает, что при любом (произвольном) размещении элементов в такой модели средняя длина связи остается неизменной. В реальных схемах имеют место существенные отличия от исходной модели. Они заключаются в том, что в реальных схемах наравне с однозвенными цепями присутствует большое число многозвенных соединений (цепей). Это обстоятельство существенно влияет на среднюю длину связи, так как в результате нарушения используемого в модели принципа соединения элементов появляется возможность оптимизировать как трассировку соединений, так и размещение элементов на плате с целью сокращения длин связей, повышения их «быстродействия» и реализуемости печатным монтажом в ДПП или МПП.

При оптимизации связей наиболее важную роль играют многозвенные цепи, характеризующиеся таким параметром, как число связей (звеньев) в цепи. Учитывая наличие в реальных схемах узлов цепей с различным числом связей (от одной до десяти и более), при расчетах обычно пользуются понятием среднего числа связей в цепи узла.

Оптимизация трассировки многозвенных цепей позволяет уменьшить среднюю длину связи путем рационального выбора последовательности обхода контактов цепи (т. е. целенаправленной трассировки многозвенных цепей). Оптимизация же размещения элементов позволяет уменьшить среднюю длину связи прежде всего путем

группировки и более близкого расположения элементов, связанных между собой в первую очередь многозвенными цепями.

В общем случае с учетом оптимизации средняя длина связи в типовой конструкции узла

$$l_{св} = \frac{P/3}{K_0} = \frac{P/3}{K_T K_P}, \quad (14.5)$$

где $K_0 = K_T K_P$ — общий коэффициент оптимизации связей в конструкции; K_T — коэффициент оптимизации трассировки многозвенных цепей; K_P — коэффициент оптимизации размещения элементов. Для узлов, построенных на типовых конструкциях ЕС ЭВМ, значение K_0 , полученное на основе статистического анализа связей в конструкциях ЕС ЭВМ, выража-

ется зависимостью $K_0 \approx 0,8\sqrt{M}$, где M — число элементов (ИС) в узле.

14.4. Трассировочная способность печатных плат

Для размещения соединений между микросхемами в типовых конструкциях узлов ЭВМ используются двусторонние печатные платы и многослойные. При этом в

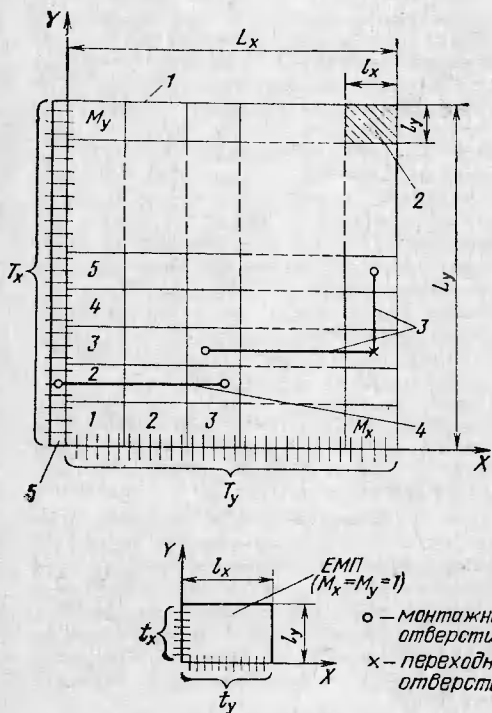


Рис. 14.4. Схема модели конструкции узла при расчете трассировочной способности печатной платы:

1 — монтажное поле микросхем на плате; 2 — зона размещения микросхемы (ЕМП); 3 — ортогональная внутренняя связь; 4 — прямая внешняя связь; 5 — зона расположения соединителя для внешних связей узла

ДПП при трассировке логических связей может использоваться только две стороны (два слоя) печатной платы, в МПП — соответствующее число (два и более) логических слоев (цепи питания и земли в МПП размещаются, как правило, на отдельных потенциальных слоях). Очевидно, что в слоях печатных плат, предназначенных для трассировки соединений, должны размещаться все логические связи данного узла. Поэтому под трассировочной способностью печатных плат понимается число трасс в конструкции печатной платы, необходимое для размещения всех логических связей узла. ДПП по трассировочной способности можно представить как частный случай МПП, когда число слоев для трассировки связей равно двум. Поэтому трассировочную способность будем рассматривать для более общего случая использования типовых конструкций МПП в функциональных узлах и блоках ЭВМ.

Расчет трассировочной способности является одной из важнейших задач при проектировании быстродействующих функциональных узлов, требующих использования МПП. Результаты расчета позволяют оценить предельные трассировочные возможности конструкции узлов и обоснованно сформулировать требования к технологии изготовления перспективных конструкций многослойных печатных плат для устройств на БИС.

Методика расчета трассировочной способности печатных плат основана на использовании модели схемы и конструкции узла (рис. 14.4), характеризуемой следующими условиями:

1) в конструкции печатной платы узла используются отдельные слои с проводниками направления X и отдельные слои с проводниками направления Y , число слоев X и Y может быть различно;

2) все связи узла подразделяются на два вида — внутренние (не выходящие на контакты соединителей узла) и внешние;

3) каждая внутренняя связь является ортогональной, т. е. принадлежащей одновременно слою X и слою Y , что позволяет использовать при расчете трассировочной способности условие равенства суммарных длин трасс на слоях X и Y ;

$$\sum L_{тр x} = \sum L_{тр y};$$

4) все внешние связи являются прямыми, т. е. принадлежащими либо только слоям X , либо только слоям Y , если контакты соединителя для внешних связей расположены на плате вдоль линии, перпендикулярной соответственно трассам X или трассам Y ;

5) размеры L_x и L_y трассировочного поля на печатной плате узла могут быть различными, т. е. $L_x \leq L_y$ и в общем случае учитываются с помощью коэффициента длины $K_L = L_y/L_x$;

6) трассы под внутренними связями в направлениях X и Y используются с одинаковой

средней эффективностью (одинаковым коэффициентом заполнения): $\eta_x = \eta_y = \eta$;

7) трассы под внешние связи независимо от направления (X или Y) имеют одинаковую среднюю эффективность использования, характеризующую коэффициентом заполнения η' , и в общем случае $\eta' \neq \eta$;

8) конструкция узла может предусматривать размещение соединителей для внешних связей как на одной или двух противоположных сторонах печатной платы, так и на всех четырех сторонах.

В соответствии с методикой расчета общая трассировочная способность T_0 платы узла складывается из числа трасс T , необходимых для трассирования внутренних связей, и числа трасс T' , необходимых для трассировки внешних связей: $T_0 = T + T'$, где

$$T = T_x + T_y = \frac{\Sigma L_{\text{тр}}}{(L_x + L_y)/2},$$

$$T' = T'_x + T'_y = \frac{\Sigma L_{\text{тр}x}}{L_x} + \frac{\Sigma L_{\text{тр}y}}{L_y}.$$

Здесь T_x, T_y — число трасс в печатной плате соответственно направления X и Y , необходимое для размещения внутренних связей узла; T'_x, T'_y — число трасс в печатной плате направления X и Y соответственно, необходимое для размещения внешних связей узла; L_x, L_y — размеры трассировочного поля печатной платы; $\Sigma L_{\text{тр}} = N_{\text{св}} l_{\text{св}}/\eta$; $\Sigma L_{\text{тр}x} = N'_{\text{св}x} l'_{\text{св}x}/\eta'$; $\Sigma L_{\text{тр}y} = N'_{\text{св}y} l'_{\text{св}y}/\eta'$ — суммарная длина трасс в печатной плате для размещения внутренних и внешних (соответственно направлений X и Y) связей узла, где $N_{\text{св}}$ — число внутренних связей в схеме узла; $N'_{\text{св}x}, N'_{\text{св}y}$ — число внешних связей в схеме узла, трассируемых соответственно в направлениях X и Y ; $l_{\text{св}}$ — средняя длина внутренней связи в узле (см. § 14.3); $l_{\text{св}} = (L_x + L_y)/3K_0$; $l'_{\text{св}x}, l'_{\text{св}y}$ — средняя длина внешней связи узла направления X и Y соответственно, определяемая как произведение длины трассы на эффективность ее использования: $l'_{\text{св}x} = L_x \eta'$, $l'_{\text{св}y} = L_y \eta'$.

Общее число трасс направлений X (T_{x0}) и Y (T_{y0}) в печатной плате узла определяется как сумма числа трасс для внутренних и внешних связей по данному направлению: $T_{x0} = T_x + T'_x$; $T_{y0} = T_y + T'_y$, при этом $T_0 = T_{x0} + T_{y0}$.

Приведенная методика позволяет с достаточной точностью произвести расчет необходимого числа трасс в печатной плате практически для любого варианта конструкции узла, зная размеры трассировочного поля печатной платы (или размеры самой печатной платы), число внутренних и внешних связей в узле, коэффициенты заполнения трасс и расположение соединителей для внешних связей относительно

поля трассировки соединений. Так, например, в случае расположения соединителей для внешних связей на одной или двух диаметрально противоположных сторонах печатной платы узла (например, перпендикулярно направлению X) общее число трасс направлений X и Y в соответствии с приведенной методикой определяются по формулам:

$$T_{y0} = \frac{2N_{\text{св}}}{3K_0 \eta (1 + L_L)}, \quad (14.6)$$

$$T_{x0} = K_L T_y + N'_{\text{св}}/c, \quad (14.7)$$

где c — число сторон печатной платы узла, используемых для вывода внешних связей.

При расположении соединителей для внешних связей на всех четырех сторонах печатной платы узла (с равным числом внешних связей в направлениях X и Y) общее число трасс направлений X и Y определяется выражениями:

$$T_{y0} = \frac{2N_{\text{св}}}{3K_0 \eta (1 + K_L)} + \frac{N'_{\text{св}}}{4}, \quad (14.8)$$

$$T_{x0} = \frac{2N_{\text{св}} K_L}{3K_0 \eta (1 + K_L)} + \frac{N'_{\text{св}}}{4}. \quad (14.9)$$

При расчете типовой конструкции печатной платы и ее трассировочной способности важную роль, как видно из приведенных выражений, играет эффективность использования трасс. Если эффективность использования трасс для внешних связей η' практически не зависит от параметров конструкции платы (зависит в основном от положения элементов по отношению к соединителю) и, например, для случая одностороннего вывода внешних связей с учетом оптимального размещения всех элементов составляет 0,4—0,5, то эффективность использования трасс под внутренние связи η существенным образом зависит от числа переходных отверстий в плате, их расположения относительно монтажных отверстий и способа трассировки связей (ручной или автоматизированный). Например, при отсутствии переходных отверстий $\eta \approx 0,25 - 0,3$. При оптимальной конструкции печатной платы, когда число переходных отверстий примерно равно числу монтажных логических отверстий (т. е. числу логических контактов микросхем) средняя эффективность использования трасс η в зависимости от способа трассировки составляет 0,5—0,55 при автоматизированной трассировке и 0,7—0,75 при ручной.

В ряде частных случаев при расчете трассировочной способности печатных плат могут быть использованы упрощенные выражения для T_{x0} и T_{y0} . Так, например, при условии, что $K_0 = 2$, $\eta = 0,5$ и $K_L = 1$, для определения числа трасс в печатной плате можно использовать следующие простые формулы:

для случая расположения соединителей для внешних связей на одной или двух противоположных сторонах печатной платы (параллельно направлению Y): $T_{y0} = N_{св}/3$, $T_{x0} = N_{св}/3 + N'_{св}/c$;

для случая расположения соединителей для внешних связей на четырех сторонах печатной платы (с равным числом связей на каждой стороне): $T_{x0} = T_{y0} = N_{св}/3 + N_{св}/4$.

Необходимо отметить, что на практике часто необходимо определять трассировочную способность в расчете на единичное монтажное поле (ЕМП) печатной платы, т. е. монтажное поле, ограниченное шагом размещения микросхем. В этом случае трассировочная способность ЕМП печатной платы: $t_x = T_{x0}/M_y$, $t_y = T_{y0}/M_x$, где t_x , t_y — число трасс в ЕМП платы направления X и Y соответственно; M_x , M_y — число рядов и строк микросхем в общем монтажном поле узла.

При заданных условиях трассировки проводников на слоях печатной платы (например, шаге трассировки, условия прохождения проводников между расположенными на минимальном расстоянии друг от друга отверстиями в плате), известных параметрах корпуса микросхемы по числу выводов и их расположению, а также числу и расположению переходных отверстий в ЕМП можно определить число логических слоев в печатной плате, необходимое для размещения всех связей узла, используя для этого выражения:

$$n_{сл\ x} = t_x/t_{x0}, \quad n_{сл\ y} = t_y/t_{y0},$$

$$n_{сл} = n_{сл\ x} + n_{сл\ y},$$

где $n_{сл}$ — общее число логических слоев в типовой конструкции печатной платы узла; $n_{сл\ x}$, $n_{сл\ y}$ — число логических слоев с направлением проводников X и Y соответственно; t_{x0} , t_{y0} — число трасс на одном слое ЕМП направления X и Y , которое может быть реализовано в конструкции платы при заданных условиях трассировки.

Следует отметить, что в конструкциях многослойных печатных плат, как правило, используют равное число логических слоев с направлением проводников X и Y ($n_{сл\ x} = n_{сл\ y}$). Это обусловлено целесообразностью использования в конструкции платы в качестве оснований слоев двусторонних фольгированных диэлектриков, межслойных переходов в пределах пары логических слоев и другими причинами. Поэтому при расчете трассировочной способности необходимо проводить оптимизацию конструкции узла и печатной платы (например, уточнение параметров матрицы монтажного поля и числа микросхем, условий трассировки проводников в разных направлениях) с целью обеспечения условия равенства числа логических слоев в МПП с разным направлением проводни-

14.5. Конструкции печатных плат

Параметры элементов печатного монтажа и их расчет

Выбирая конструкцию печатной платы ДПП или МПП, рассчитывая электрические параметры линий связи и подготавливая технологическое оборудование для изготовления печатных плат, конструктор должен определить такие параметры печатной платы, как ширина и шаг трассировки печатных проводников, диаметр контактных площадок, число проводников, которое можно провести между двумя соседними отверстиями, диаметр отверстий в плате до и после металлизации. При расчете элементов печатного монтажа следует учитывать и технологические особенности производства, допуски на всевозможные отклонения параметров элементов печатного монтажа, установочные характеристики корпусов ИС, требования по организации связей, вытекающие из схемы функционального узла, а также перспективность выбранной технологической базы.

Исходные данные для расчета элементов печатных плат следующие: шаг основной координатной сетки, устанавливаемый ГОСТ 10317—79, равен 2,5 мм; допуски на отклонения размеров и координат элементов печатной платы от номинальных значений, зависящих от технологии, материалов и оборудования; установочные характеристики навесных электрорадиоэлементов.

Расстояние между центрами двух соседних отверстий в плате (контактных площадок) A условно делят на зоны (рис. 14.5): контактной площадки, печатного проводника и зазора (между контактными площадками, печатными проводниками или контактными площадками и проводниками). Понятие «зона печатного элемента» включает не только номинальные значения размеров и координат, но и допуски на них. Из рис. 14.5 следует:

$$A = D + nW + (n + 1)S \leq ka_0,$$

(14.10)

где D — ширина зоны контактной площадки; W — ширина зоны одного печатного проводника; n — число проводников меж-

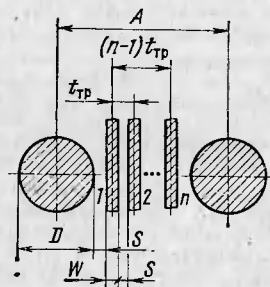


Рис. 14.5. Параметры зон печатных элементов

ду соседними контактными площадками; S — ширина зазора между соседними печатными элементами; $a_0 = 2,5$ мм — шаг основной координатной сетки; $k = 1, 2, 3, \dots$ — коэффициент шага основной координатной сетки.

С учетом допусков на размеры печатных элементов (рис. 14.6)

$$A = D_k + 2\delta_{\text{ш}} + n(W_n + 2\delta_{\text{ш}}) + (n+1)S_{\text{мин}} \leq ka_0, \quad (14.11)$$

где D_k — максимальный диаметр контактной площадки; W_n — максимальная ширина печатного проводника; $\delta_{\text{ш}}$ — максимальное отклонение оси печатного проводника (или центра контактной площадки) от номинального положения, определяемого точностью изготовления фотооригинала и размерной стабильностью фотошаблона; $S_{\text{мин}}$ — предельный зазор, при котором гарантируется надежная изоляция печатных элементов друг от друга.

Диаметр контактной площадки D_k не может быть меньше величины, обеспечивающей гарантированную ширину пояса металла вокруг просверленного отверстия. С учетом возможного смещения центра отверстия относительно центра контактной площадки (см. рис. 14.6) можно записать: $D_k = D_c + 2B_{\text{мин}}$, где D_c — диаметр зоны сверления с учетом допусков на смещение центра отверстия; $B_{\text{мин}}$ — минимальная ширина гарантированного пояса, принимаемая равной 0,1—0,15 мм для ДПП и наружных слоев МПП и 0,05—0,1 мм для внутренних слоев МПП.

Диаметр зоны сверления D_c складывается из диаметра отверстия и допусков на точность сверления; точность совмещения отдельных слоев МПП (или точность совмещения фотошаблонов ДПП) и точность фотошаблонов (включая точность изготовления фотооригиналов): $D_c = d_0 + 2 \times (\delta_c + \delta_0)$, где d_0 — диаметр отверстия до металлизации; δ_c — смещение слоев (или фотошаблонов для ДПП) относительно номинального положения. Для всех типов плат современная технология гарантирует смещение слоев не хуже 0,05 мм; Величина отклонения центра отверстия δ_0 при сверлении определяется точностью оборудования и составляет при ручном сверлении $\pm 0,2$ и при автоматизированном $\pm 0,05$ мм.

Выводы ИС и навесных электрорадиоэлементов устанавливают в металлизированные отверстия платы. Для этого необходимо, чтобы диаметр отверстия после металлизации d_m был равен $d_v + 2\delta_y$, где d_v — эквивалентный диаметр выводов ИС, навесных электрорадиоэлементов, контактов соединителя; δ_y — зазор, обеспечивающий установку выводов в отверстия и их расайку. С учетом толщины слоя металлизации стенок отверстий $d_0 = d_m + 2\delta_m = d_v + 2(\delta_y + \delta_m)$, где δ_m — толщина слоя металла на стенках отверстий.

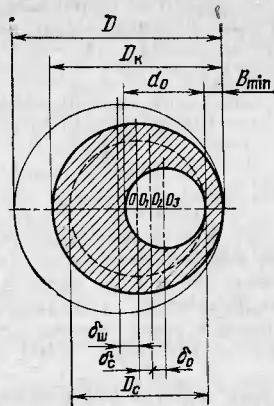


Рис. 14.6. К расчету элементов печатного монтажа

Таким образом, подставляя выражения для D_k , D_c и d_0 в (14.11), получаем

$$A = d_v + nW_n + (n+1)S_{\text{мин}} + 2B_{\text{мин}} + 2[\delta_y + \delta_m + \delta_0 + \delta_c + (n+1)\delta_{\text{ш}}] \leq ka_0. \quad (14.12)$$

Анализируя выражение (14.12), можно заключить следующее:

1) его можно использовать не только для определения расстояния между отверстиями A , но и для других расчетов, например для оценки ширины W_n и числа печатных проводников n , которые можно проложить между соседними выводами ИС, шага трассировки печатных проводников $t_{\text{тр}} = W_n + 2\delta_{\text{ш}} + S$;

2) оно позволяет также судить о влиянии каждого его члена на конструктивные параметры печатной платы; поскольку допуски и предельные значения некоторых параметров зависят в первую очередь от технологии, качества материалов и технологического оборудования, выражение (14.12) помогает сформулировать требования к технологии, оборудованию и материалам;

3) оно подтверждает принципиальную возможность создания технологических запасов величин W_n , $S_{\text{мин}}$ и $B_{\text{мин}}$. «Источником» этих запасов является разность $ka_0 - A$. Рациональное распределение этих запасов между расчетными параметрами печатной платы позволяет повысить процент выхода годных при изготовлении печатных плат, повысить надежность и снизить требования к технологии.

Величины, входящие в выражение (14.12), зависят от культуры производства, состояния и параметров технологического оборудования. Отметим, что эти параметры различны для ДПП и МПП и зависят от технологического уровня производства.

В табл. 14.4 приведены некоторые параметры печатных плат, используя которые можно определить размеры элементов печатного монтажа.

Таблица 14.4

Тип платы	Размеры, мм						
	$S_{\min}$	$B_{\min}$	δ_y	δ_M	$\delta_{\text{ш}}$	δ_c	δ_0
ДПП	0,3	0,1—0,15	0,07—0,15	0,05—0,07	$\pm 0,1$	$\pm 0,5$	$\pm 0,2$ при ручном сверлении
МПП	0,2 для внутренних слоев, 0,3 для внешних слоев	0,05—0,1			$\pm 0,05$	$\pm 0,05$	$\pm 0,05$ при автоматизированном сверлении

Выражение (14.12) показывает, что если принять $d_b = 0,5$ мм и $k = 1$, то между двумя контактными площадками, расположенными на расстоянии $a_0 = 2,5$ мм, в двусторонних печатных платах при ширине проводника более 0,3 мм нельзя проложить ни одного печатного проводника. Поэтому ИС на двусторонних печатных платах надо располагать свободно, оставляя зазоры между корпусами для прокладки печатных проводников, при этом переходные отверстия должны располагаться в шаге 5 мм и более.

В МПП между двумя контактными площадками, расположенными на расстоянии $a_0 = 2,5$ мм, можно провести один и более печатных проводников с шагом сетки трассировки, определяемым из выражения $t'_{\text{тр}} = a_0/(n^2 + 1)$. Возможность размещения одного печатного проводника между контактными площадками с шагом $a_0 = 2,5$ мм требует применения шага сетки трассировки проводников $t'_{\text{тр}} = a_0/2 = 1,25$ мм, возможность размещения двух проводников — $a_0/5 = 0,5$ мм, трех — $a_0/10 = 0,25$ мм. В свою очередь, минимальный шаг трассировки проводников может быть определен выражением $t_{\text{тр min}} = W + S_{\min}$ или $t_{\text{тр min}} = W_n + 2\delta_{\text{ш}} + S_{\min}$, где $t_{\text{тр min}}$ — минимальный шаг трассировки печатных проводников, который в основном зависит от максимальной ширины печатного проводника.

Применительно к свободным зонам, в которых отсутствуют монтажные или переходные отверстия, минимальный шаг трассировки с учетом кратности (например, при $n = 2$) должен бы быть равен $t_{\text{тр min}} = 0,5$ мм. При этом максимальная ширина проводника $W_n \leq t_{\text{тр min}} - 2\delta_{\text{ш}} - S_{\min} = 0,5 - 2 \cdot 0,1 - 0,3 = 0$ для ДПП и $W_n \leq 0,5 - 2 \cdot 0,05 - 0,2 = 0,2$ мм для МПП.

Отсюда видно, что для ДПП шаг трассировки 0,5 мм неприемлем, он должен составлять 1,25 мм или больше, но быть кратным шагу основной координатной сетки. Для МПП шаг трассировки 0,5 мм близок к практически реализуемому и может быть принят таким, если $W_n \leq 0,2$ мм.

В современных конструкциях печатных плат (как ДПП, так и МПП) чаще применя-

ют единый шаг трассировки печатных проводников, равный 1,25 мм. Размер печатных проводников для ДПП W_n ном $\pm \Delta W_n = 0,5 \pm 0,2$, а для МПП W_n ном $\pm \Delta W_n = 0,3 \pm 0,1^{+0,05}_{-0,05}$ мм. В ДПП для прокладки печатных проводников между отверстиями в шаге 2,5 мм делают зауужения проводников до 0,3 мм. Размеры отверстий под выводы ИС, навесных электрорадиоэлементов, разъемов, а также переходных отверстий, как правило, одинаковы. Например, если принять, что максимальный диаметр вывода любого ЭРЭ $d_b = 0,6$ мм, то размеры отверстий должны быть следующими: после металлизации $d_M = 0,7^{+0,1}_{-0,1}$ мм, до металлизации $d_0 = 0,85 - 0,9$ мм. При этом диаметры контактных площадок для ДПП и наружных слоев МПП $D_K = 1,9 \pm 0,1$ мм, для внутренних слоев МПП $D_K = 1,5 \pm 0,1$ мм. Приведенные параметры элементов печатного монтажа подтверждаются практикой конструирования и серийного производства узлов ЭВМ.

Структура и расчет многослойных печатных плат

Параметры структуры МПП. Под структурой МПП функционального узла понимается особый вид конструкции МПП, предназначенный для конструктивной реализации (размещения) всех логических и потенциальных цепей данного узла в соответствии с заданными электрическими, конструктивно-технологическими и компоновочными требованиями. Исходя из определения структуры МПП можно характеризовать группой электрических, конструктивно-технологических и компоновочных параметров.

Компоновочные параметры структуры определяют основные требования к быстродействию и плотности размещения межсоединений и, как следствие, к уровню технологии изготовления МПП. К числу основных компоновочных параметров МПП относятся: общая плотность соединений в МПП, выраженная через длину связей, приходящуюся на единицу площади МПП [$\text{см}/\text{см}^2$]; трассировочная плотность проводников на слоях МПП, выраженная через

число проводников, проходящих между двумя отверстиями (с контактными площадками), расположенными с минимальным шагом; число логических и потенциальных слоев в МПП; тип конструкции слоев — с односторонним расположением фольги или с двусторонним и др.

Электрические параметры структуры МПП определяют требования к электрическим параметрам линий связи и потенциальных цепей, реализуемых в МПП, а также к взаимному расположению логических и потенциальных слоев в МПП. К основным электрическим параметрам МПП относятся: погонная емкость C_0 и волновое сопротивление Z_0 печатных проводников; коэффициент взаимной связи между печатными проводниками на логических слоях, определяемый допустимым уровнем перекрестных помех; индуктивность потенциальных слоев и др.

Конструктивно-технологические параметры характеризуют технические возможности реализации в серийном производстве заданной структуры МПП. Они объединяют большинство параметров элементов печатного монтажа, к которым относятся: ширина и шаг трассировки печатных проводников на логических слоях; ширина и шаг сетки проводников на потенциальных слоях; размеры отверстий и контактных площадок в МПП; общая толщина МПП и толщина отдельных ее слоев; допустимое соотношение между толщиной МПП и диаметром сквозных отверстий и др.

Все параметры структуры тесно взаимосвязаны и должны учитываться при расчете конструкции МПП. При отсутствии требований на электрические и компоновочные параметры МПП, число слоев, их взаимное расположение и параметры элементов печатного монтажа целиком зависят от технологического процесса изготовления МПП.

Принципы построения структуры МПП. Структурные звенья. При выборе структуры МПП узлов ЭВМ, особенно быстродействующих, наиболее важным является обеспечение электрических требований.

В этих целях логические слои в структуре МПП компонуются совместно с экранирующими, роль которых выполняют потенциальные слои. Это позволяет представить структуру МПП как совокупность отдельных и независимых структурных звеньев: потенциальных, сигнально-потенциальных и технологических. Схематическое изображение структурных звеньев приведено на рис. 14.7. Расположение и характер печатного рисунка потенциальных и технологических звеньев (слоев) практически не влияют на параметры сигнальных проводников.

Потенциальные звенья находятся в МПП между сигнально-потенциальными звеньями и применяются в структуре при относительно большом числе напряжений питания или при необходимости дублирования некоторых потенциальных слоев для уве-

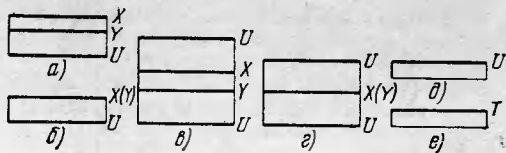


Рис. 14.7. Структурные звенья МПП:

а, б — открытое (с односторонним расположением потенциального слоя) сигнально-потенциальное звено соответственно с двумя и одним логическими слоями; в, г — закрытое (с двусторонним расположением потенциальных слоев) сигнально-потенциальное звено с двумя и одним логическими слоями соответственно; д — потенциальное звено; е — технологическое звено

личения трассировочной площади при больших значениях потребляемых токов.

Технологические звенья располагаются с наружных сторон МПП. Наличие или отсутствие технологических звеньев (слоев) в структуре определяется, как правило, особенностями технологического процесса изготовления МПП.

Основными структурными звеньями в МПП являются сигнально-потенциальные. Они подразделяются на звенья с одним потенциальным слоем и односторонним его расположением относительно логических слоев (рис. 14.7, а, б) и двумя потенциальными слоями с двусторонним их расположением относительно логических слоев (рис. 14.7, в, г).

Число логических слоев в сигнально-потенциальных звеньях не превышает двух, так как во избежание перекрестных помех печатные проводники, прокладываемые в направлении осей X и Y, в разных логических слоях не должны располагаться один под другим.

Таким образом, рассчитывая электрические параметры сигнально-потенциальных звеньев, можно определить требуемые конструктивные параметры в пределах всей МПП, и наоборот.

Кроме того, потенциальные слои сигнально-потенциальных звеньев в структуре МПП являются смежными и располагаются рядом. Следовательно, сокращая расстояние между звеньями, можно получить минимальное волновое сопротивление цепей питания.

Выполнить требования и другие электрические параметры (например, требование минимальной индуктивности потенциальных цепей) можно, создавая соответствующий печатный рисунок слоя.

Расчет структуры МПП базируется на делении ее на структурные звенья и сводится к определению числа структурных звеньев, вида используемых сигнально-потенциальных звеньев, расстояния между слоями в сигнально-потенциальных звеньях. Кроме того, в процессе расчета уточняют конструктивные размеры проводников на логических и потенциальных слоях. В качестве исходных данных используют требования на электрические параметры

сигнальных проводников, условия качественной металлизации отверстий, предварительные данные о конструктивных параметрах элементов печатного монтажа и число логических слоев, полученное в результате расчета трассировочной способности МПП узла.

Предварительно следует заметить, что структура МПП может иметь как минимум два сигнально-потенциальных звена с односторонним расположением потенциальных слоев. Два таких звена позволяют иметь от двух до четырех логических слоев (см. рис. 14.7, а, б). Четыре логических слоя можно получить, используя структуру с тремя сигнально-потенциальными звеньями, одно из которых имеет двустороннее расположение потенциальных слоев (см. рис. 14.7, б, в). Большее число логических слоев можно получить, вводя дополнительные сигнально-потенциальные звенья с двусторонним расположением потенциальных слоев.

Преимущество структуры МПП при использовании трех сигнально-потенциальных звеньев, содержащих, например, четыре логических слоя, заключается в том, что одинаковые электрические параметры линий связи на всех логических слоях достигаются при одной ширине печатных проводников. Чтобы обеспечить одинаковые электрические параметры линий связи в структуре с двумя сигнально-потенциальными звеньями (см. рис. 14.7, а) при четырех логических слоях, на всех логических слоях необходимо выполнять печатные проводники разной ширины из-за различного расстояния между логическим и потенциальным слоями.

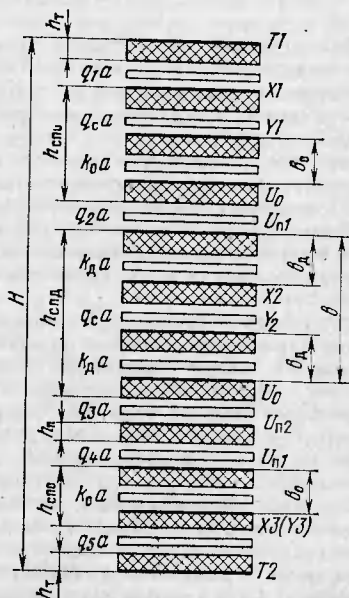


Рис. 14.8. К расчету структуры МПП (при однополярном расположении односторонних слоев)

Следовательно, при выборе структуры МПП, в первую очередь, необходимо рассматривать такую структуру, которая конструктивно обеспечивает стабильные электрические параметры печатных линий связи. Если осуществить это не удается, то следует перейти к структуре, обеспечивающей минимальный (в пределах допустимого) разброс электрических параметров печатных проводников в МПП.

Методика расчета структуры МПП предусматривает следующий порядок:

1. Определяется число межслойных изоляционных прокладок заданного типа (или их общая толщина) между логическими и потенциальными слоями, исходя из конструктивно-технологических возможностей изготовления МПП (максимальной толщины МПП, условий качественной металлизации сквозных отверстий, минимального и максимального числа изоляционных прокладок и пр.) и из требований на электрические параметры печатных проводников (погонной емкости, волнового сопротивления, условий помехозащищенности линий связи и др.).

2. Сравнивается число прокладок между слоями, исходя из приведенных в п. 1 требований на электрические параметры линий связи и конструктивно-технологических возможностей изготовления МПП. Выбирается вариант структуры, который удовлетворяет как электрическим требованиям к печатным линиям связи, так и конструктивно-технологическим возможностям изготовления МПП. Если такой вариант выбрать нельзя, идут на компромисс. Пересматривают исходные данные, например ширину печатных проводников, рисунок на потенциальных слоях, погонную емкость (или волновое сопротивление) печатных проводников, число сигнальных слоев или условия трассировки печатных проводников.

3. Уточняется число межслойных прокладок, если изменились исходные данные, и выбирается вариант структуры МПП, удовлетворяющий всем требованиям.

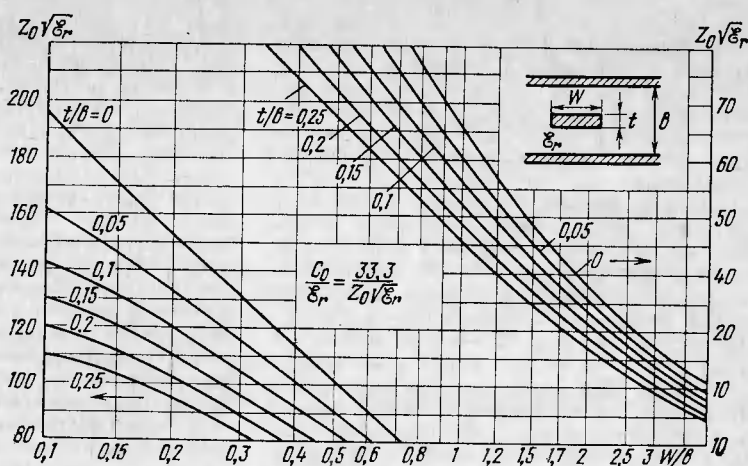
4. По выбранному варианту структуры МПП уточняются конструктивно-технологические и электрические параметры.

Одна из главных особенностей (и трудностей) выбора структуры МПП заключается в том, что расчет ее должен осуществляться как с учетом требований на электрические параметры печатных проводников, так и с учетом конструктивно-технологических возможностей изготовления МПП в целом. В частности, важное место при расчете структуры уделяется максимально допустимой толщине МПП.

В общем виде толщина МПП (рис. 14.8).

$$H = 2h_T + ph_{\Pi} + mh_{\text{сноп}} + nh_{\text{спд}} + \sum_{i=1}^z q_i a \leq [H], \quad (14.13)$$

Рис. 14.9. График зависимости волнового сопротивления Z_0 симметричной полосковой линии от соотношений между параметрами элементов конструкции МПП (ϵ_r — диэлектрическая проницаемость платы)



где $[H] = H_{\max} - \Delta H$ — номинальная толщина МПП; $H_{\max}$ — максимально допустимая толщина МПП, определяемая из условия обеспечения качественной металлизации сквозных отверстий в плате и минимальной длины штыревых выводов ИС, т. е. $H_{\max 1} \leq 3d_0$ и $H_{\max 2} \leq l_{\text{выв}} \min - 1$, где $l_{\text{выв}} \min$ — минимальная длина вывода ИС; d_0 — диаметр сквозных отверстий в МПП до металлизации; ΔH — разброс номинальной толщины МПП из-за отклонения толщины слоев и межслойных прокладок; $h_{\text{сно}}$, $h_{\text{спд}}$ — толщина сигнально-потенциального звена соответственно с одно- и двусторонним расположением потенциальных слоев; m , n — число сигнально-потенциальных звеньев соответственно с односторонним и двусторонним расположением потенциальных слоев; $h_{\text{т}}$, $h_{\text{п}}$ — толщина технологического и потенциального звеньев соответственно; p — число потенциальных звеньев в структуре МПП; a — толщина одной изоляционной прокладки;

q_i — минимально допустимое число изоляционных прокладок в i -й прокладочной зоне (между двумя соседними структурными звеньями); i — порядковый номер прокладочной зоны между структурными звеньями, $z = p + m + n + 1$ — число прокладочных зон между структурными звеньями.

В свою очередь, толщину сигнально-потенциальных звеньев можно выразить как

$$h_{\text{сно}} = l_{\text{со}} h_{\text{с}} + h_{\text{по}} + [k_0 + q_{\text{с}} (l_{\text{со}} - 1)] a, \quad (14.14)$$

$$h_{\text{спд}} = l_{\text{сд}} h_{\text{с}} + 2h_{\text{пд}} + [2k_{\text{д}} + q_{\text{с}} (l_{\text{сд}} - 1)] a, \quad (14.15)$$

где $l_{\text{со}}$, $l_{\text{сд}}$ — число логических слоев в сигнально-потенциальном звене; $h_{\text{с}}$ — толщина логического слоя; $h_{\text{по}}$, $h_{\text{пд}}$ — толщина потенциального слоя в сигнально-потенциальном звене соответственно с од-

но- и двусторонним расположением потенциальных слоев; k_0 , $k_{\text{д}}$ — число прокладок между потенциальным и ближайшим логическим слоями в структурном звене соответственно с одно- и двусторонним расположением потенциальных слоев; $q_{\text{с}}$ — минимально допустимое число изоляционных прокладок между двумя логическими слоями в сигнально-потенциальном звене.

Минимально допустимое число прокладок (q_i и $q_{\text{с}}$) следует выбирать таким, чтобы суммарная толщина прокладок между двумя соседними слоями МПП была не меньше удвоенной толщины фольги, прилегающей к ним:

$$\begin{cases} a q_i \\ a q_{\text{с}} \end{cases} \geq 2 \Sigma h_{\text{ф}}, \quad (14.16)$$

где $h_{\text{ф}}$ — толщина фольги металлизированного слоя.

В зависимости от требований к электрическим параметрам (C_0 , Z_0) печатных проводников логических слоев определяют (см. рис. 14.9, 14.10) расстояния b_0 и $b_{\text{д}}$ между фольгами потенциального и ближайшего логического слоев в сигнально-потенциальном звене с одно- и двусторонним расположением потенциальных слоев. Определив значения b_0 и $b_{\text{д}}$ (с помощью графиков рис. 14.9, 14.10), можно найти число прокладок. При однополярном расположении потенциального и ближайшего логического слоев: $k_0 = (b_0 - h_{\text{д}})/a$, $k_{\text{д}} = (b_{\text{д}} - h_{\text{д}})/a$.

Если слои расположены друг к другу диэлектриком, то $k_0 = (b_0 - h_{\text{дс}} - h_{\text{дп}})/a$; $k_{\text{д}} = (b_{\text{д}} - h_{\text{дс}} - h_{\text{дп}})/a$, если фольгой, то $k_0 = b_0/a$; $k_{\text{д}} = b_{\text{д}}/a$. Здесь $h_{\text{дс}}$ — толщина диэлектрика в логическом и потенциальном слое соответственно.

В заключение следует отметить, что расчет структуры МПП представляет собой последовательный процесс поиска компромисса между электрическими параметрами (C_0 , Z_0) проводников, их геометриче-

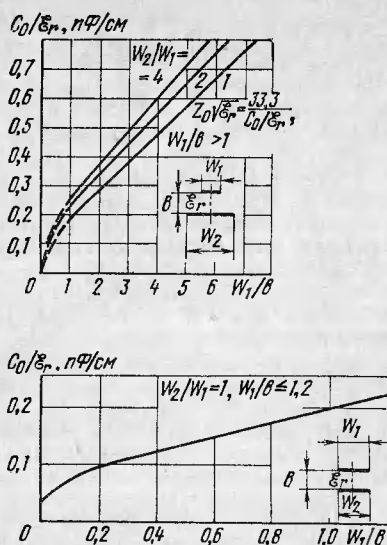


Рис. 14.10. График зависимости погонной емкости C_0 несимметричной полосковой линии от соотношений между параметрами элементов конструкции МПП (— — — — экстраполяция)

скими размерами, а также конструкцией и возможностями технологического процесса изготовления МПП.

14.6. Выбор габаритных размеров и методов компоновки типовых конструкций ЭВМ

Габаритные размеры типовых конструкций ЭВМ регламентированы государственными стандартами, разработанными на основе отраслевых стандартов и стандартов СЭВ. К числу основных следует отнести ГОСТ 26.202—81 «Панели и стойки. Основные размеры», ГОСТ 25122—82 «ЕС ЭВМ. Конструкции базовые технических средств. Основные размеры», ГОСТ 10317—79 «Платы печатные. Основные размеры». Функциональный объем (число микросхем), размещаемый в типовой конструкции заданных размеров, определяется в основном технологическими возможностями и оснащенностью конкретной производственной базы, а также перспективами ее развития.

Особое значение вопросы выбора габаритных размеров и функционального объема приобретают при проектировании быстродействующих ЭВМ, характеризующихся высокой производительностью (например, сотнями тысяч и миллионами операций в секунду). Модули младших модульных уровней, таких как функциональный узел (например, ТЭЗ) и функциональный блок (например, панель), во многом опре-

деляют конструкцию быстродействующих ЭВМ. Поэтому выбор габаритных размеров узлов и блоков, определение и уточнение их функционального объема является одним из основных этапов конструирования быстродействующих ЭВМ. Он прямо или косвенно влияет на проектирование более крупных функциональных узлов и блоков, степень унификации (повторяемость) узлов, организацию обслуживания ЭВМ при эксплуатации. Поэтому далее рассмотрим особенности выбора габаритных размеров и функционального объема для типовых конструкций ЭВМ высокой производительности: ТЭЗ, панель, рама, стойка. Приводимая здесь методика выбора при некоторой корректировке может быть использована и для проектирования типовых конструкций ЭВМ средней и малой производительности.

Габаритные размеры и функциональный объем ТЭЗ и панели

Критерии выбора габаритных размеров ТЭЗ и панели могут быть различными. Однако для быстродействующих ЭВМ главным критерием является быстродействие. Это значит, что быстродействующее устройство, сконструированное в виде панели, должно функционировать на максимальной частоте. Такое устройство может характеризоваться значительным функциональным объемом и содержать до 2—3 тысяч микросхем малой или средней степени интеграции.

Наибольшая скорость обмена информацией в устройстве возможна в том случае, когда длины линий связи, по которым передается информация, минимальны при заданном функциональном объеме. Критерий быстродействия при выборе габаритных размеров ТЭЗ и панели для быстродействующего устройства ЭВМ может быть трансформирован в критерий минимальной задержки сигнала в его линиях связи или, что по существу то же самое, в критерий минимальной длины линий связи в панели, где размещается быстродействующее устройство. Отсюда следует, что реализовать такое устройство при минимальной длине линий связи можно, разместив микросхемы на плате ТЭЗ и ТЭЗ в панели с максимальной плотностью.

Однако, стремясь достичь максимальной плотности компоновки микросхем, необходимо учитывать технологические возможности и перспективы развития технологии изготовления печатных плат, конструкцию соединителей, возможности ремонта и отвода тепла, удобство эксплуатации и т.д.

Рассмотрим компоновочную схему панели (рис. 14.11, а), обмен информацией в которой осуществляется между двумя максимально удаленными ТЭЗ. При этом элементы памяти (триггеры) и комбинационная часть могут быть расположены в ТЭЗ произвольно. Худшим будет случай, когда

элементы памяти расположены на плате ТЭЗ далеко от разьема. Для упрощения расчетов будем считать, что линия связи на плате панели не имеет отводов.

Общий объем электронного устройства (т. е. общий объем панели) можно определить как

$$V_{\text{п общ}} = V_M N_M = l_{\text{тэз}} l_{\text{п}}^2, \quad (14.17)$$

где $V_M = l_x l_y l_z$ — объем, занимаемый одной микросхемой в панели с учетом шага установки микросхемы на плате ТЭЗ и ТЭЗ в панели (рис. 14.11, б); N_M — число микросхем (включая резисторные и конденсаторные блоки) в быстродействующем функциональном блоке, располагаемом в панели; l_x, l_y — минимально допустимый шаг установки микросхем на плате ТЭЗ по осям X и Y соответственно; l_z — минимально допустимый шаг установки ТЭЗ в панели, определяемый условиями охлаждения; $l_{\text{тэз}}$ — длина платы ТЭЗ; $l_{\text{п}}$ — длина (и ширина) платы панели.

Максимальная длина линии связи в панели между микросхемами ТЭЗ1 и ТЭЗ2

$$l_{\text{св п}} = 2l_{\text{п}} + 2l_{\text{св тэз}} = 2l_{\text{п}} + 2kl_{\text{тэз}}, \quad (14.18)$$

где $l_{\text{св тэз}}$ — длина линии связи в пределах ТЭЗ; k — коэффициент, учитывающий ограничения на длину линии связи в ТЭЗ при трассировке. При произвольном размещении микросхем и отсутствии ограничений на длину линий связи при трассировке внутри ТЭЗ $k \leq 4$.

Подставляя в выражение (14.18) значение $l_{\text{тэз}}$ из (14.17), получаем

$$l_{\text{св п}} = 2l_{\text{п}} + 2kV_M N_M / l_{\text{п}}^2. \quad (14.19)$$

Оптимальное соотношение между $l_{\text{тэз}}$ и $l_{\text{п}}$, при котором обеспечивается минимальная длина линий связи в панели, определяем из условия

$$\partial l_{\text{св п}} / \partial l_{\text{п}} = 2 - 4kV_M N_M / l_{\text{п}}^3 = 0,$$

откуда

$$l_{\text{п}}^3 = 2kV_M N_M = 2kl_{\text{тэз}} l_{\text{п}}^2$$

или

$$l_{\text{п}} = 2kl_{\text{тэз}} = 2l_{\text{св тэз}}. \quad (14.20)$$

Таким образом, для обеспечения максимальной скорости обмена информацией между двумя максимально удаленными друг от друга ТЭЗ в панели должно выполняться условие (14.20), которое определяет оптимальные условия компоновки и форму панели. При $k = 0,5$ оптимальная форма панели — куб ($l_{\text{п}} = l_{\text{тэз}}$, при $k = 1; 1,5; 2$ и т. д. — параллелепипед (составляющий 1/2, 1/3, 1/4 и т. д. части куба соответственно).

Подставляя (14.20) в (14.17), получаем

$$V_{\text{п общ}} = l_x l_y l_z N_M = l_{\text{тэз}} (2kl_{\text{тэз}})^2 = 4k^2 l_{\text{тэз}}^3,$$

откуда

$$l_{\text{тэз}} = \sqrt[3]{l_x l_y l_z N_M / 4k^2}. \quad (14.21)$$

При известных типе корпуса микросхем и числе микросхем в быстродействующем блоке, размещаемом в панели, а также при заданных ограничениях на трассировку выражение (14.21) позволяет определить длину платы ТЭЗ. Так, например, при $N_M = 2500$ микросхем (малой или средней степени интеграции) в быстродействующем блоке с корпусом типа ДИП с 16 выводами ($l_x = 22,5$ мм; $l_y = 10$ мм и $l_z = 15$ мм) и при $k = 1$ длина платы ТЭЗ составит

$$l_{\text{тэз}} = \sqrt[3]{22,5 \cdot 10 \cdot 15 \cdot 2500 / 4} = 140 \text{ мм.}$$

При этом размер платы панели (без учета периферийной части, предназначенной для организации вывода внешних связей) $l_{\text{п}} = 2kl_{\text{тэз}} = 2 \cdot 1 \cdot 140 = 280$ мм.

Ширину платы ТЭЗ выбирают из условия кратности длине платы панели; $b_{\text{тэз}} = n l_{\text{п}}$ ($n = 1; 1/2; 1/3, \dots$ — коэффициент кратности) и проверяют ее на соответствие длине соединителя L_p по формуле:

$$L_p = 2A + (z/d - 1) a_0 \leq b_{\text{тэз}}, \quad (14.22)$$

где A — размер закраины соединителя, предназначенный для его крепления на плате, обычно $A = 10-15$ мм; z — общее число контактов в соединителе, определяемое в зависимости от функционального объема ТЭЗ для различных n ; d — число

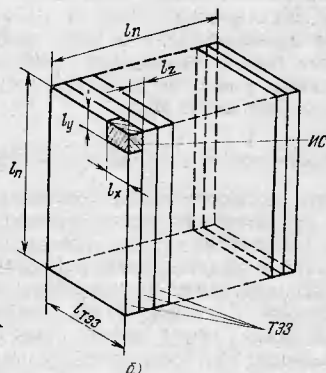
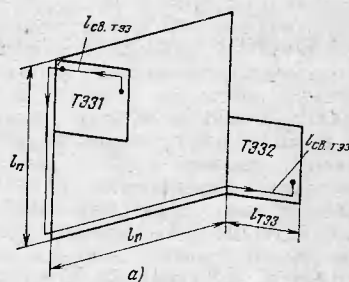


Рис. 14.11. Компоновочные схемы панели

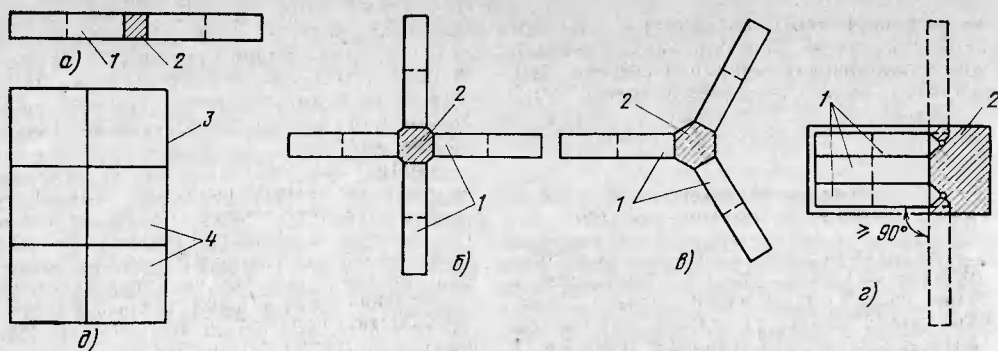


Рис. 14.12. Варианты компоновки рам в стойке (вид в плане):

а — в «линию»; б — в «крест»; в — в «звезду»; г — «книжный» (при трех рамах в стойке); 1 — рама; 2 — кабельный канал; 3 — типовая 6-панельная рама (вид спереди); 4 — панель

рядов контактов в соединителе; a_0 — шаг расположения контактов в соединителе по длине.

Анализ функциональных объемов (числа логических элементов) ТЭЗ при $n = 1; 1/2, 1/3, \dots$ показывает, что наиболее целесообразно выбирать ширину ТЭЗ при $n = 1/2$ или 1 ($b_{\text{ТЭЗ}} = l_{\text{П}}/2$ или $l_{\text{П}}$). В этих случаях соотношение между функциональным объемом, требуемым числом контактов и возможными размерами соединителей для ТЭЗ оптимальное. Так, например, при $n = 1/2$ и $k = 1$ $b_{\text{ТЭЗ}} = l_{\text{П}}/2 = l_{\text{ТЭЗ}} = 140$ мм. Такой размер ТЭЗ при максимальной плотности компоновки позволяет разместить в нем до 60 микросхем средней степени интеграции в корпусах типа ДИП с 16 выводами, что требует применения соединителей на 120—135 контактов. Длина такого соединителя при трехрядном расположении контактов с шагом $a_0 = 2,5$ мм будет $L_{\text{р}} = 130$ мм $< b_{\text{ТЭЗ}}$. Например, при $n = 1$ и $k = 1$ $b_{\text{ТЭЗ}} = l_{\text{П}} = 2l_{\text{ТЭЗ}} = 280$ мм.

Такой размер ТЭЗ позволяет при плотности компоновки, близкой к максимальной, разместить до 140 микросхем (включая резисторные и конденсаторные блоки) средней степени интеграции (например, ИС серии 500) в корпусах типа ДИП с 16 выводами, что требует использования двух соединителей на 120—135 контактов каждый. Длина двух таких соединителей при трехрядном расположении контактов с шагом $a_0 = 2,5$ мм составит $2L_{\text{р}} \approx 260$ мм $\ll b_{\text{ТЭЗ}}$.

Компоновка панелей и рам в стойке

При проектировании старших модульных уровней быстродействующих ЭВМ (рамы и стойки), как и при выборе размеров ТЭЗ и панели, главным является критерий быстродействия. Скорость обмена информацией в стойке будет максимальной, когда длина линий связи в ней будет минимальной при максимально возможном объеме оборудования. Это значит, что пане-

ли и рамы в стойке должны быть размещены с максимально допустимой плотностью. При этом следует учитывать возможность и наиболее целесообразные способы электромонтажа устройств в стойке, требования по охлаждению, возможность и удобство наладки как отдельных устройств, так и ЭВМ в целом, а также возможность серийного производства ЭВМ.

Выбор числа панелей в раме и компоновки рам в стойке осуществляется с использованием компоновочной схемы стойки для случая, когда обмен информацией в ней осуществляется между двумя максимально удаленными друг от друга панелями (а следовательно, и ТЭЗ). В общем случае ТЭЗ в панелях могут быть расположены в различных относительно входа линии связи местах: вблизи входа и в максимально удаленном от входа линии связи углу панели. В качестве худшего может быть принят такой случай, когда оба ТЭЗ на панели расположены в средней ее части, а входы линии связи на разных панелях находятся в диагонально противоположных углах стойки.

Методика выбора оптимального числа панелей в раме и стойке во многом аналогична методике выбора оптимальных габаритных размеров ТЭЗ и панели [1].

Возможно несколько вариантов компоновки рам в стойке (рис. 14.12), например компоновка рам в «звезду» и «книжная» компоновка с использованием поворотных рам. Наиболее целесообразным для построения быстродействующих ЭВМ является вариант «книжной» компоновки рам в стойке (шкафу). При этом для удобства наладки и эксплуатации в стойке должно быть не более трех рам при общем числе панелей 18. В этом случае средняя рама должна быть неподвижной, а две крайние должны быть поворотными с раскрытием на угол не менее 90° .

Одним из существенных преимуществ «книжной» компоновки рам в стойке перед другими вариантами является возможность

значительной экономии полезной площади машинного зала. При «книжном» варианте можно компоновать стойки в системы. Вариантами таких компоновок могут быть компоновка стоек в «линию», «звезду» и в «крест».

Системное быстроедействие и оптимизация конструкций ЭВМ

Конструкции элементов и устройств ЭВМ, методы их монтажа и охлаждения, а также способы организации связей оказывают существенное влияние на технические характеристики ЭВМ и прежде всего на ее быстроедействие. Основная задача разработчиков и конструкторов быстроедействующих ЭВМ заключается в обеспечении максимального системного быстроедействия элементов и устройств ЭВМ.

Системное быстроедействие обрабатывающих логических устройств ЭВМ определяется схемными задержками собственно логических элементов и задержками в линиях связи между ними в реальных конструкциях. В оптимально спроектированной конструкции быстроедействующей ЭВМ должно быть обеспечено примерное равен-

ство между задержками в элементах (схемная задержка) и задержками в линиях связи (конструктивная задержка), т. е. быстроедействие элементной базы должно быть сбалансировано с быстроедействием конструкции ЭВМ.

Конструкция ЭВМ, в которой схемная задержка элементов существенно отличается от конструктивной задержки, не является оптимальной и не обеспечивает максимального системного быстроедействия устройств ЭВМ в целом. Повышение быстроедействия элементной базы должно сопровождаться соответствующим повышением быстроедействия конструкции (снижением конструктивных задержек за счет более плотной компоновки логических элементов в устройствах). Повышение быстроедействия элементной базы без соответствующего повышения плотности компоновки элементов, степени их интеграции и снижения конструктивных задержек не может дать существенного повышения системного быстроедействия ЭВМ в целом. Поэтому задача балансировки быстроедействия элементной базы и конструкции является одной из главных задач электронного конструирования ЭВМ [1, 11, 45].

Условные графические обозначения и назначение выводов микросхем ТТЛ серий К155, К531, К555

Общие правила построения условных графических обозначений приведены в ГОСТ 2.743—82 «Обозначения условные графические в схемах. Элементы цифровой техники». Приведенные условные графические обозначения не привязаны к конкретным сериям микросхем ТТЛ, так как микросхемы с одинаковым функциональным назначением (К155ЛА1, КМ155ЛА1, К531ЛА1П, К555ЛА1, КМ555ЛА1, КР1531ЛА1) имеют одинаковое условное графическое обозначение и назначение выводов.

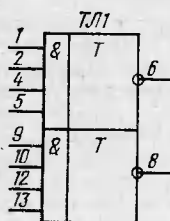


Рис. П1.1

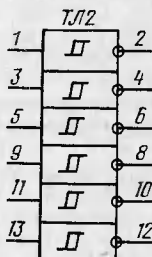


Рис. П1.2

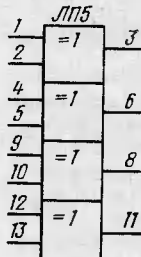


Рис. П1.3



Рис. П1.4

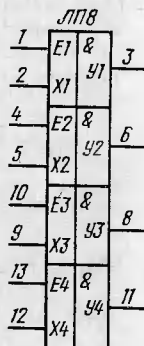


Рис. П1.5

П1.1. 1, 2, 4, 5, 9, 10, 12, 13 — входы; 6, 8 — выходы; 7 — общий; 14 — $U_{п}$; 3, 11 — не задействованы

П1.2. 1, 3, 5, 9, 11, 13 — входы; 2, 4, 6, 8, 10, 12 — выходы; 7 — общий; 14 — $U_{п}$

П1.3. 1, 2, 4, 5, 9, 10, 12, 13 — входы; 3, 6, 8, 11 — выходы; 7 — общий; 14 — $U_{п}$

П1.4. 1, 2, 13, 11, 10, 9 — входы; 5, 4, 3, 12, 8, 6 — выходы; 7 — общий; 14 — $U_{п}$

П1.5. 1, 4, 10, 13 — входы разрешения; 2, 5, 9, 12 — адресные входы; 3, 6, 8, 11 — выходы; 7 — общий; 14 — $U_{п}$

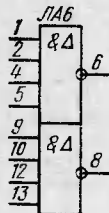


Рис. П1.6

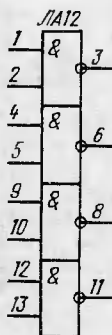


Рис. П1.7

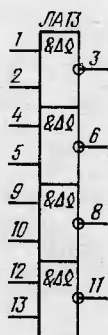


Рис. П1.8

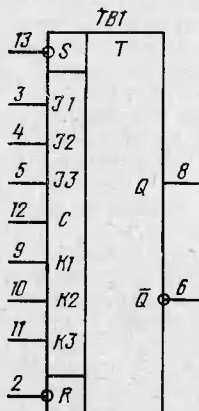


Рис. П1.9

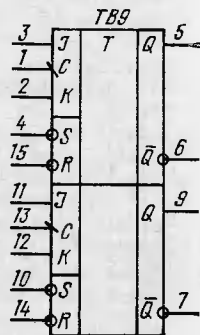


Рис. П1.10

П1.6. 1, 2, 4, 5, 9, 10, 12, 13 — входы; 6, 8 — выходы; 7 — общий; 14 — $U_{п}$; 3, 11 — не задействованы

П1.7. 1, 2, 4, 5, 9, 10, 12, 13 — входы; 3, 6, 8, 11 — выходы; 7 — общий; 14 — $U_{п}$

П1.8. 1, 2, 4, 5, 9, 10, 12, 13 — входы; 3, 6, 8, 11 — выходы; 7 — общий; 14 — $U_{п}$

П1.9. 1 — недействующий; 2 — вход установки 0; 3, 4, 5 — входы разрешения установки 1; 9, 10, 11 — входы разрешения установки 0; 7 — общий; 12 — вход синхронизации; 13 — вход установки 1; 8, 6 — выходы; 14 — $U_{п}$

П1.10. 1, 13 — входы синхронизации; 2, 12 — входы разрешения установки 0; 3, 11 — входы разрешения установки 1; 4, 10 — входы установки 1; 5, 6, 7, 9 — выходы; 8 — общий; 14, 15 — вход установки 0; 16 — $U_{п}$



Рис. П1.11

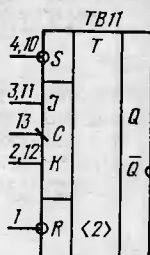


Рис. П1.12

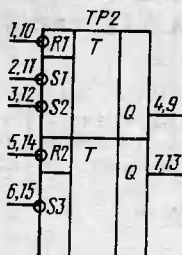


Рис. П1.13

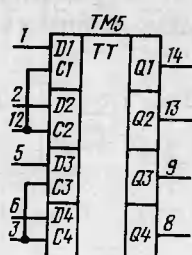


Рис. П1.14

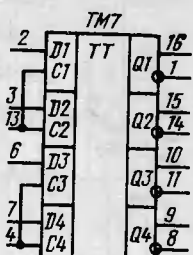


Рис. П1.15

П1.11. 1, 13 — входы синхронизации; 3, 11 — входы разрешения установки 1; 2, 12 — входы разрешения установки 0; 4, 10 — входы установки 1; 7 — общий; 5, 6, 9, 8 — выходы; 14 — U_n

П1.12. 1 — вход установки 0; 2, 12 — входы разрешения установки 0; 3, 11 — входы разрешения установки 1; 4, 10 — входы установки 1; 5, 9, 6, 8 — выходы; 13 — вход синхронизации; 7 — общий; 14 — U_n

П1.13. 1, 10, 5, 14 — входы установки 0; 2, 11, 3, 12, 6, 15 — входы установки 1; 4, 9, 7, 13 — выходы; 8 — общий; 16 — U_n

П1.14. 1, 2, 5, 6 — входы информационные; 3, 12 — входы синхронизации; 14, 13, 9, 8 — выходы; 4 — U_n ; 11 — общий; 7, 10 — не задействованы

П1.15. 2, 3, 6, 7 — входы информационные; 4, 13 — входы синхронизации; 16, 1, 15, 14, 10, 11, 9, 8 — выходы; 12 — общий; 5 — U_n

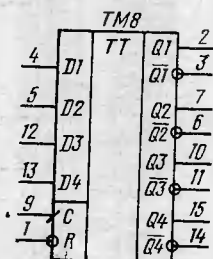


Рис. П1.16

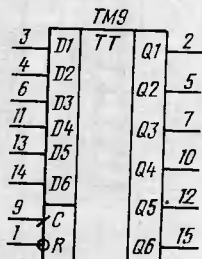


Рис. П1.17

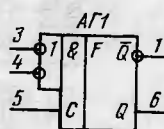


Рис. П1.18



Рис. П1.19

П1.16. 4, 5, 12, 13 — входы информационные; 9 — вход синхронизации; 1 — вход установки 0; 2, 3, 7, 6, 10, 11, 15, 14 — выходы; 8 — общий; 16 — U_n

П1.17. 3, 4, 6, 11, 13, 14 — входы информационные; 9 — вход синхронизации; 1 — вход установки 0; 2, 5, 7, 10, 12, 15 — выходы; 8 — общий; 16 — U_n

П1.18. 1, 6 — выходы; 3, 4 — входы управления; 5 — вход синхронизации; 7 — общий; 9, 10, 11 — подключение времязадающей цепи; 14 — U_n ; 2, 8, 12, 13 — не задействованы

П1.19. 1, 2, 9, 10 — входы; 11 — входы установки 0; 6, 14 — входы подключения внешней емкости; 7, 15 — входы подключения RC; 13, 4, 5, 12 — выходы; 8 — общий; 16 — U_n

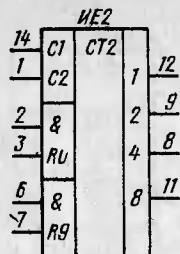


Рис. П1.20

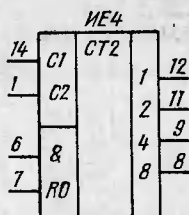


Рис. П1.21

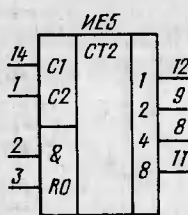


Рис. П1.22

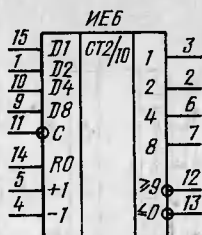


Рис. П1.23

П1.20. 1, 14 — вход счетный; 2, 3 — вход установки 0; 5 — $U_{п}$; 6, 7 — вход установки 9; 12, 9, 8, 11 — выходы; 10 — общий; 4, 13 — не задействованы

П1.21. 1, 14 — входы счетные; 5 — $U_{п}$; 6, 7 — входы установки 0; 12, 11, 9, 8 — выходы; 10 — общий; 2, 3, 4, 13 — не задействованы

П1.22. 1, 14 — входы счетные; 2, 3 — входы установки 0; 12, 9, 8, 11 — выходы; 5 — $U_{п}$; 10 — общий; 4, 6, 7, 13 — не задействованы

П1.23. 15, 1, 10, 9 — входы информационные; 11 — вход предварительной записи; 14 — вход установки 0; 5 — вход прямого счета; 4 — вход обратного счета; 3, 2, 6, 7 — выходы; 8 — общий; 12 — выход прямого переноса; 13 — выход обратного переноса; 16 — $U_{п}$

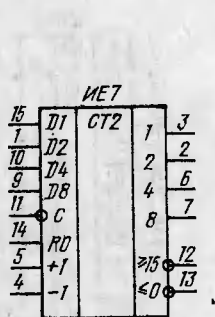


Рис. П1.24

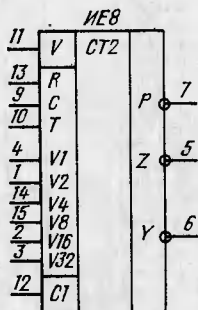


Рис. П1.25

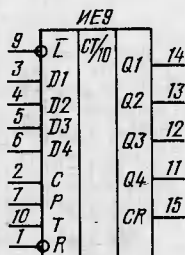


Рис. П1.26

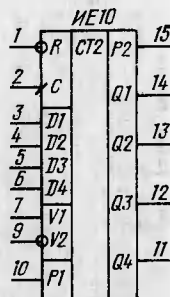


Рис. П1.27

П1.24. 15, 1, 10, 9 — входы информационные; 11 — вход предварительной записи; 14 — вход установки 0; 5 — вход прямого счета; 4 — вход обратного счета; 3, 6, 2, 7 — выходы; 8 — общий; 12 — выход прямого переноса; 13 — выход обратного переноса; 16 — $U_{п}$

П1.25. 11 — вход разрешения счета; 13 — вход установки 0; 9 — вход счетный; T — вход стробирования; 1, 4, 2, 3, 14, 15 — входы умножения; 12 — вход последовательного включения; 7 — вход разрешения счета; 5, 6 — выходы; 8 — общий; 16 — $U_{п}$

П1.26. 1 — вход установки 0; 2 — вход синхронизации; 3, 4, 5, 6 — входы предварительной установки; 7, 9, 10 — входы; 14, 13, 12, 11, 15 — выходы; 8 — общий; 16 — $U_{п}$

П1.27. 1 — вход установки 0; 2 — вход синхронизации; 3, 4, 5, 6 — входы информационные; 7 — вход разрешения счета; 9 — вход разрешения записи; 10 — вход разрешения переноса; 8 — общий; 15 — выход переноса; 11, 12, 13, 14 — выходы разрядов; 16 — $U_{п}$

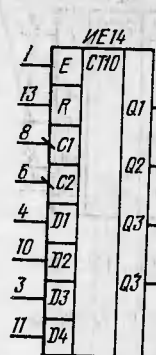


Рис. П1.28



Рис. П1.29

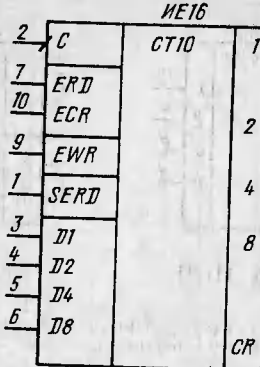


Рис. П1.30

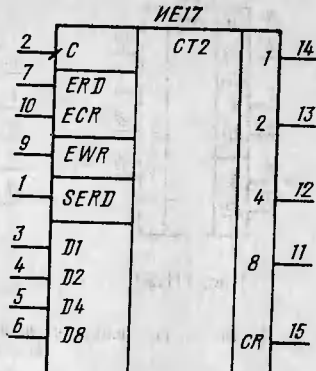


Рис. П1.31

П1.28. 1 — вход разрешения предварительной установки; 2 — выход разряда 3; 3 — вход разряда 3; 4 — вход разряда 1; 5 — выход разряда 1; 6 — вход счетный 2; 7 — общий; 8 — вход счетный 1; 9 — выход разряда 2; 10 — вход разряда 2; 11 — вход разряда 4; 12 — выход разряда 4; 13 — вход установки в 0; 14 — $U_{\text{п}}$

П1.29. 1 — вход разрешения предварительной установки; 2 — выход разряда 3; 3 — вход разряда 3; 4 — вход разряда 1; 5 — выход разряда 1; 6 — вход счетный 2; 7 — общий; 8 — вход счетный 1; 9 — выход разряда 2; 10 — вход разряда 2; 11 — вход разряда 4; 12 — выход разряда 4; 13 — вход установки в 0; 14 — $U_{\text{п}}$

П1.30. 1 — вход направления счета; 2 — тактовый вход; 3, 4, 5, 6 — входы записи; 7 — вход разрешения счета; 8 — общий; 9 — вход разрешения записи; 10 — вход разрешения переноса; 11, 12, 13, 14 — выходы; 15 — выход переноса; 16 — $U_{\text{п}}$

П1.31. 1 — вход направления счета; 2 — тактовый вход C; 3, 4, 5, 6 — входы записи; 7 — вход разрешения счета; 8 — общий; 9 — вход разрешения записи; 10 — вход разрешения переноса; 11, 12, 13, 14 — выходы; 15 — выход переноса; 16 — $U_{\text{п}}$

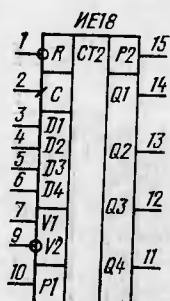


Рис. П1.32

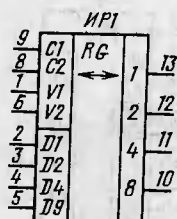


Рис. П1.33

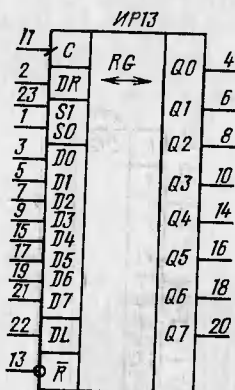


Рис. П1.34

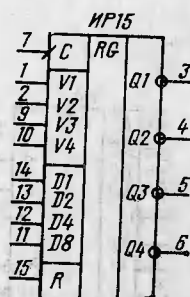


Рис. П1.35

П1.32. 1 — вход установки 0; 2 — вход синхронизации; 3, 4, 5, 6 — входы информационные; 7 — вход разрешения счета; 8 — общий; 9 — вход разрешения предварительной записи; 10 — вход разрешения переноса; 11 — выход разряда 4; 12 — выход разряда 3; 13 — выход разряда 2; 14 — выход разряда 1; 15 — вход переноса; 16 — $U_{\text{п}}$

П1.33. 1 — вход информации; 2 — вход разряда 1; 3 — вход разряда 2; 4 — вход разряда 3; 5 — вход разряда 4; 6 — вход выбора режима; 7 — общий; 8, 9 — входы синхронизации; 10 — выход разряда 4; 11 — выход разряда 3; 12 — выход разряда 2; 13 — выход разряда 1; 14 — $U_{\text{п}}$

П1.34. 1, 23 — входы; 2 — вход сдвига вправо; 3, 5, 7, 9, 15, 17, 19, 21 — входы информационные; 4, 6, 8, 10, 14, 16, 18, 20 — выходы; 1 — вход синхронизации; 12 — общий; 13 — вход сброса; 22 — вход сдвига влево; 24 — $U_{\text{п}}$

П1.35. 1, 2 — управление выходами; 3 — выход разряда 1; 4 — выход разряда 2; 5 — выход разряда 3; 6 — выход разряда 4; 7 — вход синхронизации; 8 — общий; 9, 10 — разрешение данных; 11 — вход разряда 4; 12 — вход разряда 3; 13 — вход разряда 2; 14 — вход разряда 1; 15 — вход установки 0; 16 — $U_{\text{п}}$

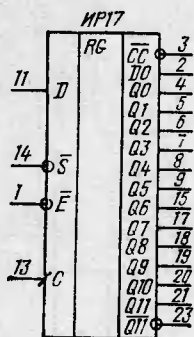


Рис. П.1.36

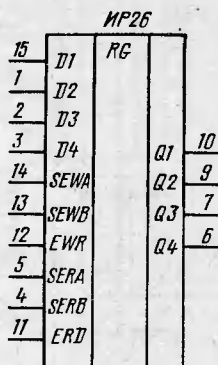


Рис. П.1.37

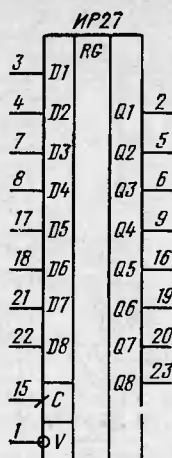


Рис. П.1.38

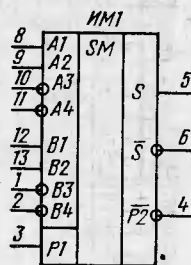


Рис. П.1.39

П.1.36 11 — вход информационный; 13 — вход синхронизации; 14, 1 — входы; 12 — общий; 2—9, 15, 17—23 — выходы; 24 — $U_{п}$; 16, 16, 22 — не задействованы

П.1.37, 1, 2, 3, 15 — входы информационные; 4, 5 — вход выборки чтения; 11 — вход разрешения чтения; 12 — вход разрешения записи; 13, 14 — вход выборки адреса; 8 — общий; 6, 7, 9, 10 — выходы; 16 — $U_{п}$

П.1.38, 1 — вход разрешения записи; 2 — выход информационный разряда 1; 3 — вход информационный разряда 1; 4 — вход информационный разряда 2; 5 — выход информационный разряда 2; 6 — выход информационный разряда 3; 7 — вход информационный разряда 3; 8 — вход информационный разряда 4; 9 — выход информационный разряда 4; 10 — общий; 5 — вход синхронизации; 6 — выход информационный разряда 5; 7 — вход информационный разряда 5; 8 — вход информационный разряда 6; 9 — выход информационный разряда 6; 20 — выход информационный разряда 7; 21 — вход информационный разряда 7; 22 — вход информационный разряда 8; 23 — выход информационный разряда 8; 4 — $U_{п}$; 11, 12, 13, 14 — не задействованы

П.1.39, 1, 2, 10, 11 — входы инверсные слагаемых; 2 — вход инверсный слагаемого 4; 3 — вход переноса; 4 — выход инверсный переноса; 5 — выход суммы; 6 — выход инверсный суммы; 7 — общий; 8, 9, 12, 23 — входы слагаемых; 14 — $U_{п}$

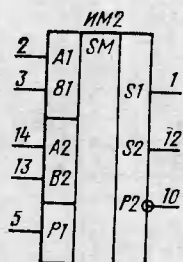


Рис. П.1.40

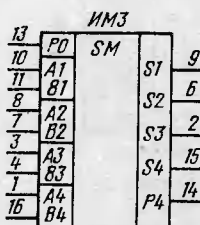


Рис. П.1.41

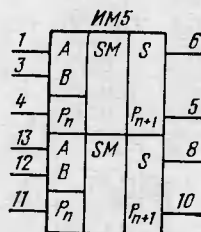


Рис. П.1.42

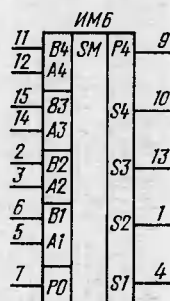


Рис. П.1.43

П.1.40, 1, 12 — выходы суммы; 2, 3, 13, 14 — входы слагаемых; 4 — $U_{п}$; 5 — вход переноса; 10 — выход переноса; 11 — общий; 6—9 — не задействованы

П.1.41, 13 — вход переноса; 10, 11, 8, 7, 3, 4, 1, 16 — входы слагаемых; 12 — общий; 9, 6, 2, 15 — выходы суммы; 5 — $U_{п}$; 14 — выход переноса

П.1.42, 1, 3, 12, 13 — входы информационные; 4, 11 — входы переноса; 7 — общий; 6, 8 — выходы; 5, 10 — выходы переноса; 14 — $U_{п}$; 2, 9 — не задействованы

П.1.43, 2, 3, 5, 6, 11, 12, 14, 15 — входы информационные; 7 — вход переноса; 8 — общий; 9 — выход ускоренного переноса; 1, 4, 10, 13 — выходы; 16 — $U_{п}$

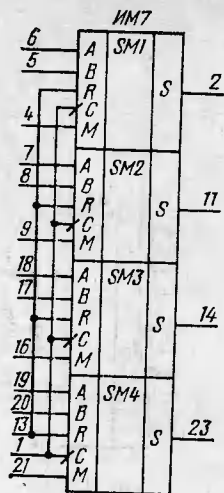


Рис. П1.44

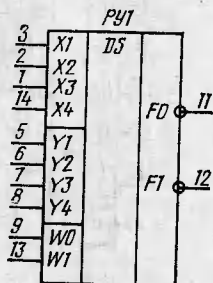


Рис. П1.45

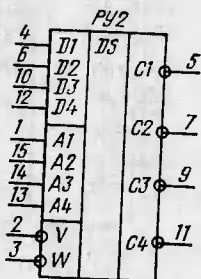


Рис. П1.46

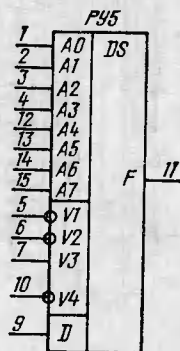


Рис. П1.47

П1.44. 5, 6, 7, 8, 17, 18, 19, 20 — входы информационных; 4, 9, 16, 21 — входы выбора режима; 13 — вход установки 0; 12 — общий; 1 — вход тактовый; 2, 11, 14, 23 — выходы сумматоров 24 — U_n ; 10, 15, 22 — не задействованы

П1.45. 1, 2, 3, 14, 5, 6, 7, 8 — входы адресные; 9 — вход усилителя записи 0; 13 — вход усилителя записи 1; 10 — общий; 11 — выход усилителя считывания 0; 12 — выход усилителя считывания 1; 4 — U_n

П1.46. 4, 6, 10, 12 — входы данных; 1, 15, 14, 13 — входы адресные; 2 — вход разрешения выборки; 3 — вход разрешения записи; 5, 7, 9, 11 — выходы усилителей; 8 — общий; 16 — U_n

П1.47. 1—4, 12—15 — входы адресные; 5—7 — входы разрешения выборки; 10 — вход разрешения записи; 9 — вход информационный; 8 — общий; 11 — выход; 16 — U_n

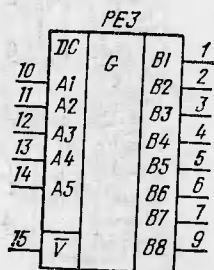


Рис. П1.48

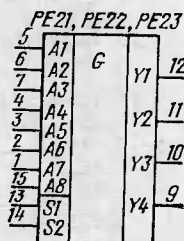


Рис. П1.49

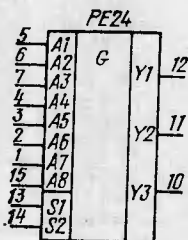


Рис. П1.50

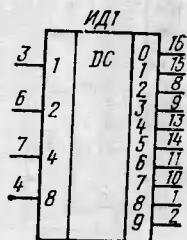


Рис. П1.51

П1.48. 10—14 — входы адресного формирователя; 15 — вход разрешения выборки; 8 — общий; 1—7, 9 — выходы; 16 — U_n

П1.49. 1—7, 15 — входы адресные; 13, 14 — входы разрешения выборки; 8 — общий; 9—12 — выходы; 16 — U_n

П1.50. 1—7, 15 — входы адресные; 13, 14 — входы разрешения выборки; 8 — общий; 10—12 — выходы; 16 — U_n ; 9 — не задействован

П1.51. 3, 6, 7, 4 — входы; 5 — U_n ; 12 — общий; 1, 2, 8—11, 13—16 — выходы

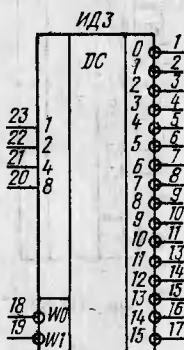


Рис. П1.52

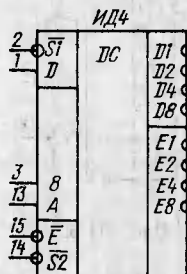


Рис. П1.53

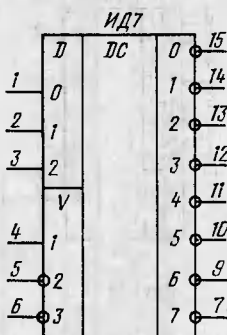


Рис. П1.54

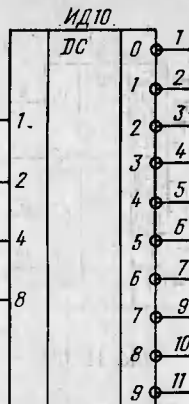


Рис. П1.55

П.1.52. 20—23 — входы информационные; 18, 19 — входы стробирующие; 12 — общий; 1—11, 13—17 — выходы; 24 — $U_{п}$

П.1.53. 1, 15 — входы информационные; 2, 14 — входы стробирующие; 3, 13 — входы адресные; 8 — общий; 4—7, 9—12 — выходы; 16 — $U_{п}$

П.1.54. 1—3 — входы информационные; 4—6 — входы разрешения; 8 — общий; 7, 9—15 — выходы; 16 — $U_{п}$

П.1.55. 12—15 — входы информационные; 8 — общий; 1—7, 9—11 — выходы; 16 — $U_{п}$

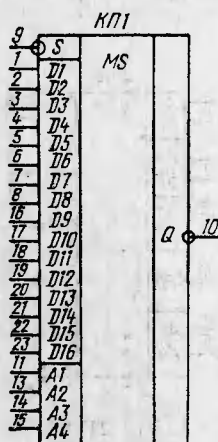


Рис. П1.56

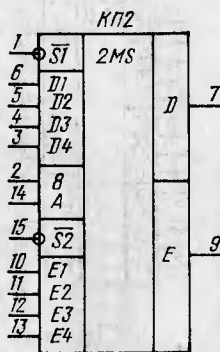


Рис. П1.57

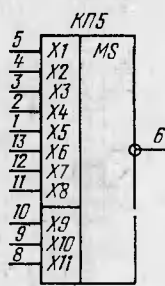


Рис. П1.58

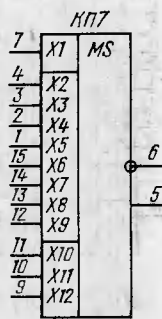


Рис. П1.59

П.1.56. 1—8, 16—23 — входы информационные; 9 — вход стробирующий; 11, 13—15 — входы адресные; 12 — общий; 10 — выход; 24 — $U_{п}$

П.1.57. 1, 15 — входы стробирующие; 3—6, 10—13 — входы информационные; 2, 14 — входы адресные; 8 — общий; 7, 9 — выходы; 16 — $U_{п}$

П.1.58. 1—5, 11—13 — входы информационные; 8—10 — входы адресные; 7 — общий; 6 — выход; 14 — $U_{п}$

П.1.59. 7 — вход стробирующий; 1—4, 12—15 — входы информационные; 9—11 — входы адресные; 8 — общий; 5, 6 — выходы; 16 — $U_{п}$

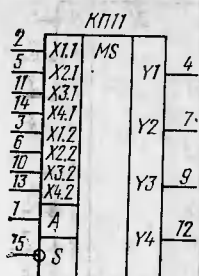


Рис. П1.60

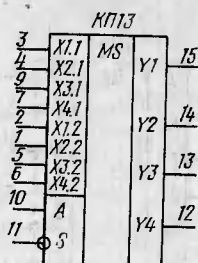


Рис. П1.61

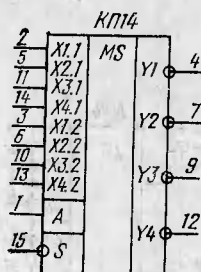


Рис. П1.62

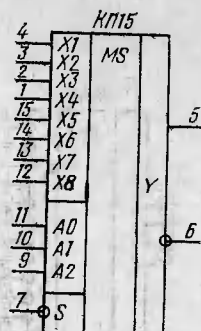


Рис. П1.63

П1.60. 2, 3, 5, 6, 10, 11, 13, 14 — входы информационные; 1 — вход выборки адреса; 15 — вход выбора; 8 — общий; 4, 7, 9, 12 — выходы; 16 — $U_{\text{П}}$

П1.61. 1—6, 7, 9 — входы информационные; 10 — вход выборки адреса; 11 — вход выбора; 8 — общий; 12—15 — выходы; 16 — $U_{\text{П}}$

П1.62. 2, 3, 5, 6, 10, 11, 13, 14 — входы информационные; 1 — вход выборки адреса; 15 — вход выбора; 8 — общий; 4, 7, 9, 12 — выходы; 16 — $U_{\text{П}}$

П1.63. 1—4, 12—15, 9—11 — входы информационные; 7 — вход разрешения; 8 — общий; 5, 6 — выходы; 16 — $U_{\text{П}}$

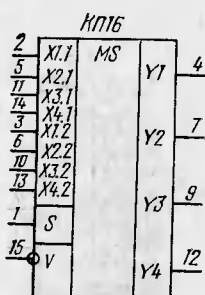


Рис. П1.64

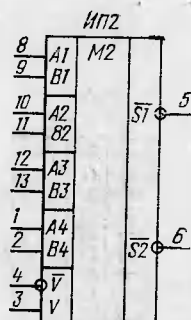


Рис. П1.65



Рис. П1.66

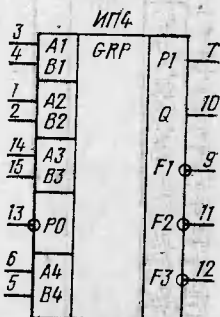


Рис. П1.67

П1.64. 2, 3, 5, 6, 10, 11, 13, 14 — входы информационные; 1 — вход адресный; 15 — вход выбора; 8 — общий; 4, 7, 9, 12 — выходы; 16 — $U_{\text{П}}$

П1.65. 1, 2, 8, 9, 10, 11, 12, 13 — входы информационные; 3 — вход четный; 4 — вход нечетный; 7 — общий; 5 — выход четный; 6 — выход нечетный; 14 — $U_{\text{П}}$

П1.66. 1—2, 18—23 — входы информационные; 7 — вход переноса; 3—6 — входы селектирующие; 8 — вход выбора режима; 12 — общий; 9—11, 13 — выходы образования функции; 15 — выход распространения переноса; 17 — выход образования переноса; 16 — выход переноса; 24 — $U_{\text{П}}$

П1.67. 1, 3, 14, 6 — входы сложения; 2, 4, 15, 5 — входы распространения переноса; 8 — общий; 7 — выход распространения переноса; 10 — выход; 9, 11, 12 — выходы образования переноса; 13 — вход образования переноса; 16 — $U_{\text{П}}$



Рис. П1.68

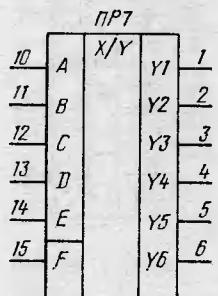


Рис. П1.69

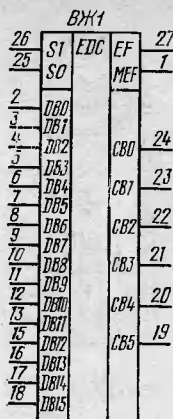


Рис. П1.70

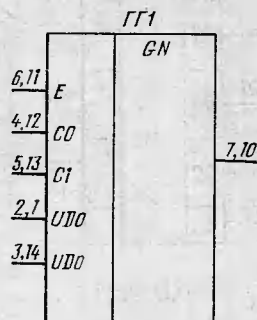


Рис. П1.71

П1.68. 10—14 — входы адресные; 15 — вход разрешения выборки; 8 — общий; 1—7, 9 — выходы; 16 — $U_{п}$

П1.69. 10—14 — входы адресные; 15 — вход разрешения выборки; 8 — общий; 1—6 — выходы; 16 — $U_{п}$; 7, 9 — не задействованы

П1.70. 1 — выход флажка многократной ошибки; 2 — вход — выход разряда 1 информационного слова; 3 — вход — выход разряда 2 информационного слова; 4 — вход — выход разряда 3 информационного слова; 5 — вход — выход разряда 4 информационного слова; 6 — вход — выход разряда 5 информационного слова; 7 — вход — выход разряда 6 информационного слова; 8 — вход — выход разряда 7 информационного слова; 9 — вход — выход разряда 8 информационного слова; 10 — вход — выход разряда 9 информационного слова; 11 — вход — выход разряда 10 информационного слова; 12 — вход — выход разряда 11 информационного слова; 13 — вход — выход разряда 12 информационного слова; 14 — общий; 15 — вход — выход разряда 13 информационного слова; 16 — вход — выход разряда 14 информационного слова; 17 — вход — выход разряда 15 информационного слова; 18 — вход — выход разряда 16 информационного слова; 19 — вход — выход разряда 6 контрольного слова; 20 — вход — выход разряда 5 контрольного слова; 21 — вход — выход разряда 4 контрольного слова; 22 — вход — выход разряда 3 контрольного слова; 23 — вход — выход разряда 2 контрольного слова; 24 — вход — выход разряда 1 контрольного слова; 25, 26 — вход выбора режима; 27 — выход флажка наличия ошибки EF; 28 — $U_{п}$

П1.71. 1—3, 14 — вход; 4, 5, 12, 13 — вход подключения $S_{вн}$; 6, 11 — вход разрешения; 7, 10 — выход; 8, 9 — общий; 15, 16 — $U_{п}$

Приложение 2

Условные графические обозначения и назначение выводов микросхем ЭСЛ серии 500, К1500

Микросхемы серии 500

Для всех микросхем серии 500 напряжение электропитания U_0 (0) подводится к выводам 1, 16 и $U_{п1}$ (−5,2 В) — к выводу 8 за исключением модификаций 500ЛЛ110, 500ЛЕ111, 500ЛЛ210, 500ЛЕ211 (U_0 — к выводам 1, 15, 16 и $U_{п1}$ — к 8), 500ПУ124, 500ПУ125 (U_0 — к выводу 16, $U_{п1}$ — к 8 и $U_{п3}$ (+5 В) — к 9), 500ЛП128 (U_0 — к выводам 1, 9, 16, $U_{п1}$ — к 8 и $U_{п3}$ — к 14), 500ЛП129 (U_0 — к выводам 1, 16, $U_{п1}$ — к 8 и $U_{п3}$ — к 9), 500РУ145, 500РУ410; 500РУ415, 500ТМ173, 500ИМ180, 500РЕ149 (U_0 — к выводу 16 и $U_{п1}$ — к 8), 500ИП181 (U_0 — к выводам 1, 24 и $U_{п1}$ — к 12), 500РУ470 (U_0 — к выводу 18 и $U_{п1}$ — к 9).

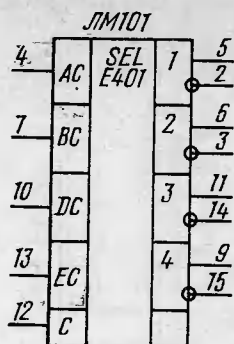


Рис. П2.1

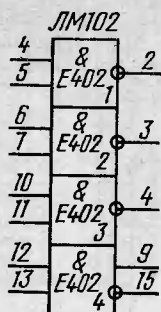


Рис. П2.2

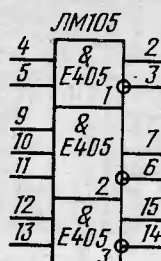


Рис. П2.3

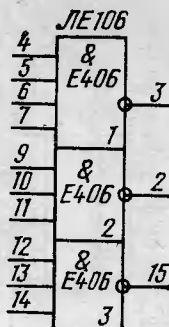


Рис. П2.4

П.2.1. 4, 7, 10, 13 — входы; 12 — стробирующий вход; 5, 6, 9, 11 — прямые выходы; 2, 3, 14, 15 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.2. 4—7, 10, 11, 12, 13 — входы; 2, 3, 14, 15 — инверсные выходы; 9 — прямой выход; 1, 16 — общие; 8 — питание

П.2.3. 4, 5, 9, 10—13 — входы; 2, 7, 15 — прямые выходы; 3, 6, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.4. 4—7, 9—14 — входы; 2, 3, 15 — инверсные выходы; 1, 16 — общие; 8 — питание

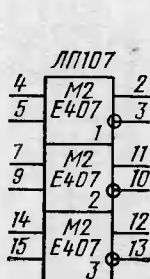


Рис. П2.5

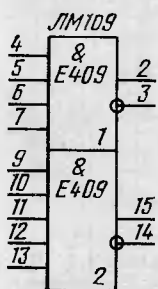


Рис. П2.6

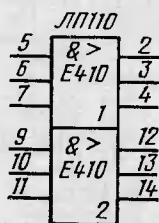


Рис. П2.7

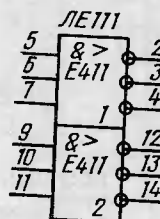


Рис. П2.8

П.2.5. 4, 5, 7, 9, 14, 15 — входы; 2, 11, 12 — прямые выходы; 3, 10, 13 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.6. 4—7, 9, 13 — входы; 2, 15 — прямые выходы; 3, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.7. 5, 6, 7, 9—11 — входы; 2—4, 12—14 — прямые выходы; 1, 15, 16 — общие; 8 — питание

П.2.8. 5—7, 9—11 — входы; 2—4, 12—14 — инверсные выходы; 1, 15, 16 — общие; 8 — питание

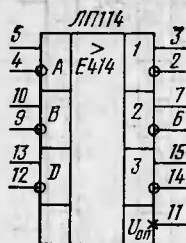


Рис. П2.9

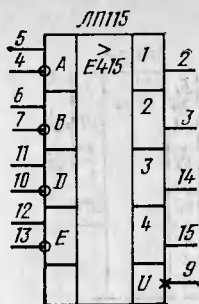


Рис. П2.10

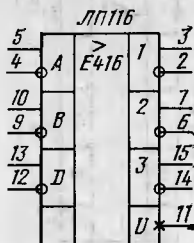


Рис. П2.11

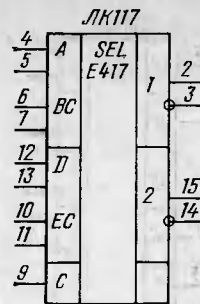


Рис. П2.12

П.2.9. 4, 5, 9, 10, 12, 13 — входы; 3, 7, 15 — прямые выходы; 2, 6, 14 — инверсные выходы; 11 — выход ИОН; 1, 16 — общие; 8 — питание

П.2.10. 4—7, 10—13 — входы; 2, 3, 14, 15 — выходы; 9 — выход ИОН; 1, 16 — общие; 8 — питание

П.2.11. 4, 5, 9, 10, 12, 13 — входы; 3, 7, 15 — прямые выходы; 2, 6, 14 — инверсные выходы; 11 — выход ИОН; 1, 16 — общие; 8 — питание

П.2.12. 4—7, 10—13 — входы; 9 — стробирующий вход; 2, 15 — прямые выходы; 3, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

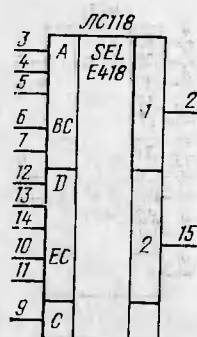


Рис. П2.13

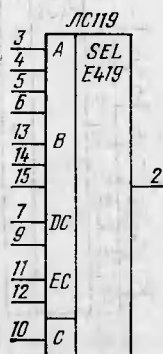


Рис. П2.14

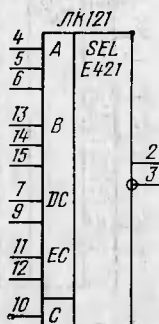


Рис. П2.15

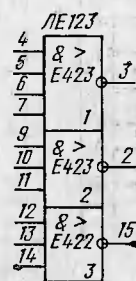


Рис. П2.16

П.2.13. 3—7, 10—14 — входы; 9 — стробирующий вход; 2, 15 — прямые выходы; 1, 16 — общие; 8 — питание

П.2.14. 3—7, 9, 11—15 — входы; 10 — стробирующий вход; 2 — прямой выход; 1, 16 — общие; 8 — питание

П.2.15. 4—7, 9, 11—15 — входы; 10 — стробирующий вход; 2 — прямой выход; 3 — инверсный выход; 1, 16 — общие; 8 — питание

П.2.16. 4—7, 9—14 — входы; 2, 3, 15 — инверсные выходы; 1, 16 — общие; 8 — питание

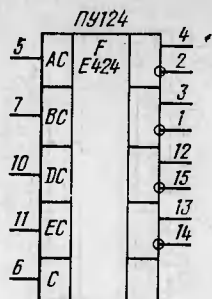


Рис. П2.17

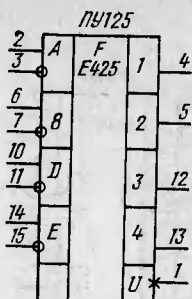


Рис. П2.18

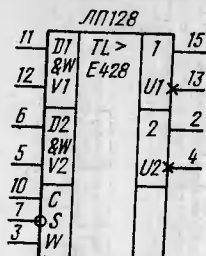


Рис. П2.19

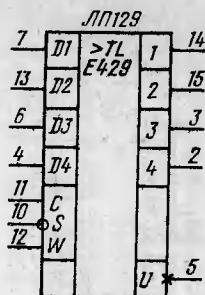


Рис. П2.20

П.2.17. 5, 7, 10, 11 — входы; 6 — стробирующий вход; 3, 4, 12, 13 — прямые выходы; 1, 2, 14, 15 — инверсные выходы; 16 — общий; 9 — питание (+5 В); 8 — питание (-5,2 В)

П.2.18. 2, 3, 6, 7, 10, 11, 14, 15 — входы; 4, 5, 12, 13 — выходы; 1 — выход ИОН; 16 — общий; 9 — питание (+5 В); 8 — питание (-5,2 В)

П.2.19. 6, 11 — входы информации; 3, 5, 12 — входы управления; 10 — вход синхронизации; 7 — вход установки «1»; 2, 15 — выходы; 4, 13 — выходы установки режима работы; 1, 9, 16 — общие; 14 — питание (+5 В; +6 В); 8 — питание (-5,2 В)

П.2.20. 4, 6, 7, 13 — входы информации; 12 — вход управления; 11 — вход синхронизации; 10 — вход установки «1»; 2, 3, 14, 15 — прямые выходы; 5 — выход установки режима работы; 1, 16 — общие; 9 — питание (+5 В); 8 — питание (-5,2 В)

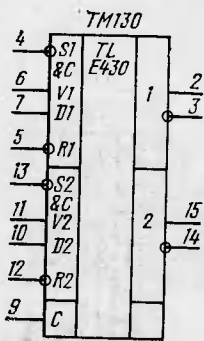


Рис. П2.21

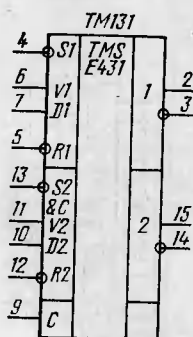


Рис. П2.22

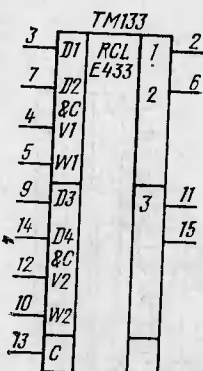


Рис. П2.23

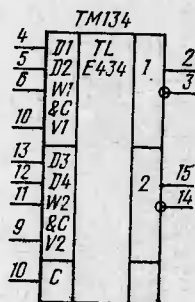


Рис. П2.24

П.2.21. 7, 10 — входы информации; 6, 11 — входы управления; 9 — вход синхронизации; 4, 13 — входы установки в «1»; 5, 12 — входы установки в «0»; 2, 15 — прямые выходы; 3, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.22. 7, 10 — входы информации; 6, 11 — входы управления; 9 — вход синхронизации; 4, 13 — входы установки в «1»; 5, 12 — входы установки в «0»; 2, 15 — прямые выходы; 3, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.23. 3, 7, 9, 14 — входы информации; 4, 5, 10, 12 — входы управления; 13 — вход синхронизации; 2, 6, 11, 15 — прямые выходы; 1, 16 — общие; 8 — питание

П.2.24. 4, 5, 12, 13 — входы информации; 6, 9, 10 — входы управления; 7 — вход синхронизации; 2, 15 — прямые выходы; 3, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

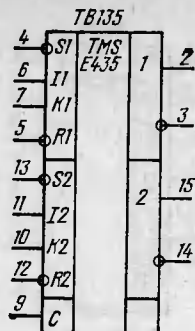


Рис. П2.25

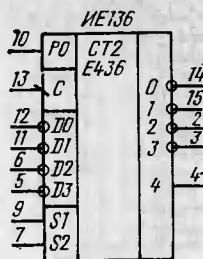


Рис. П2.26

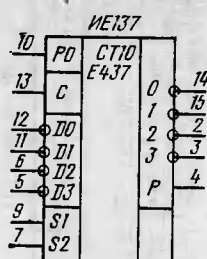


Рис. П2.27

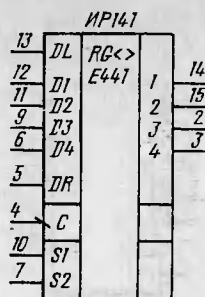


Рис. П2.28

П.2.25. 6, 7, 10, 11 — входы информации; 9 — вход синхронизации; 4, 13 — входы установки в «1»; 5, 12 — входы установки в «0»; 2, 15 — прямые выходы; 3, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.26. 5, 6, 11, 12 — входы информации; 13 — вход синхронизации; 7, 9 — входы управления режимом работы; 10 — вход переноса; 2, 3, 14, 15 — выходы; 4 — выход переноса; 1, 16 — общие; 8 — питание

П.2.27. 5, 6, 11, 12 — входы информации; 13 — вход синхронизации; 7, 9 — входы управления режимом работы; 10 — вход переноса; 2, 3, 14, 15 — выходы; 4 — выход переноса; 1, 16 — общие; 8 — питание

П.2.28. 6, 9, 11, 12 — входы информации; 4 — вход синхронизации; 7, 10 — входы управления режимом работы; 5, 13 — входы переноса; 2, 3, 14, 15 — выходы; 1, 16 — общие; 8 — питание

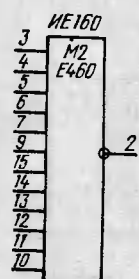


Рис. П2.29

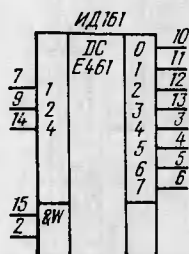


Рис. П2.30

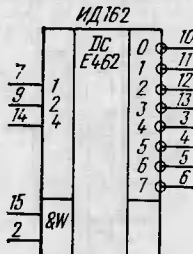


Рис. П2.31

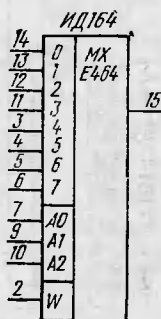


Рис. П2.32

П.2.29. 3—7, 9—15 — входы; 2 — инверсный выход; 1, 16 — общие; 8 — питание

П.2.30. 7, 9, 14 — входы; 2, 15 — входы управления; 3—6, 10—13 — прямые выходы; 1, 16 — общие; 8 — питание

П.2.31. 7, 9, 14 — входы; 2, 15 — входы управления; 3—6, 10—13 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.32. 3—6, 11—14 — входы информации; 7, 9, 10 — входы адреса; 2 — вход управления; 15 — прямой выход; 1, 16 — общие; 8 — питание

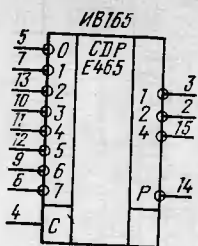


Рис. П2.33

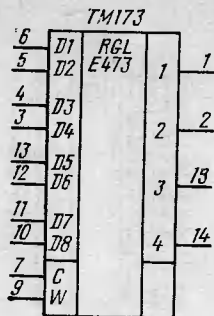


Рис. П2.34

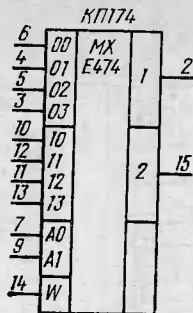


Рис. П2.35

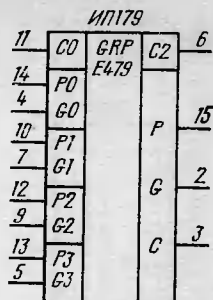


Рис. П2.36

П.2.33. 5—7, 9—13 — входы информации; 4 — вход синхронизации; 2, 3, 15 — выходы; 14 — выход переноса; 1, 16 — общие; 8 — питание

П.2.34. 3—6, 10—13 — входы информации; 7 — вход синхронизации; 9 — вход управления; 1, 2, 14, 15 — прямые выходы; 16 — общий; 8 — питание

П.2.35. 3—6, 10—13 — входы информации; 7, 9 — входы адреса; 14 — вход управления; 2, 15 — прямые выходы; 1, 16 — общие; 8 — питание

П.2.36. 4, 5, 7, 9, 10, 12—14 — входы; 11 — вход переноса; 2, 15 — выходы; 3, 6 — выходы переноса; 1, 16 — общие; 8 — питание

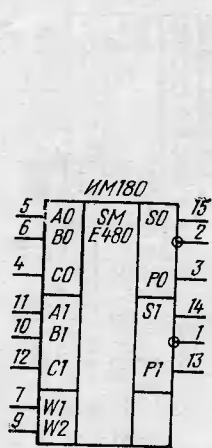


Рис. П2.37

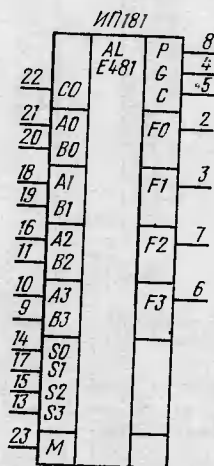


Рис. П2.38



Рис. П2.39

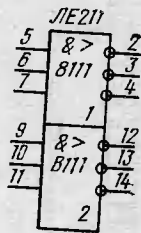


Рис. П2.40

П.2.37. 5, 6, 10, 11 — входы информации; 4, 12 — входы переноса; 7, 9 — входы управления режимом работы; 14, 15 — прямые выходы; 1, 2 — инверсные выходы; 3, 13 — выходы переноса; 16 — общий; 8 — питание

П.2.38. 9—11, 16, 18—21 — входы информации; 13—15, 17, 23 — входы управления режимом работы; 22 — вход переноса; 2, 3, 6, 7 — выходы; 4, 5, 8 — выходы переноса; 1, 24 — общие; 12 — питание

П.2.39. 5—7, 9—11 — входы; 2—4, 12—14 — прямые выходы; 1, 15, 16 — общие; 8 — питание

П.2.40. 5—7, 9—11 — входы; 2—4, 12—14 — инверсные выходы; 1, 15, 16 — общие; 8 — питание

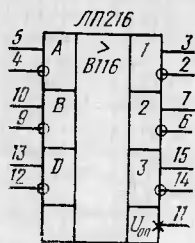


Рис. П2.41

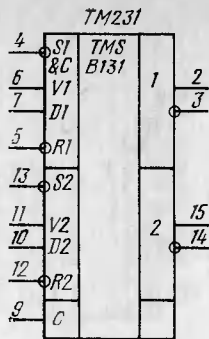


Рис. П2.42

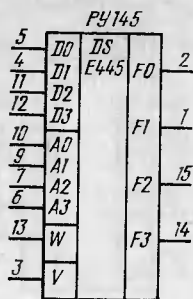


Рис. П2.43

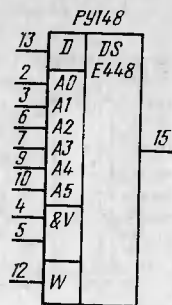


Рис. П2.44

П.2.41. 4, 5, 9, 10, 12, 13 — входы; 3, 7, 15 — прямые выходы; 2, 6, 14 — инверсные выходы; 11 — выход ИОН; 1, 16 — общие; 8 — питание

П.2.42. 7, 10 — входы информации; 6, 11 — входы управления; 9 — вход синхронизации; 4, 13 — входы установки в «1»; 5, 12 — входы установки в «0»; 2, 15 — прямые выходы; 3, 14 — инверсные выходы; 1, 16 — общие; 8 — питание

П.2.43. 4, 5, 11, 12 — входы информации; 6, 7, 9, 10 — входы адреса; 3, 13 — входы управления; 1, 2, 14, 15 — выходы; 16 — общий; 8 — питание

П.2.44. 13 — вход информации; 4, 5, 12 — входы управления; 2, 3, 6, 7, 9, 10 — входы адреса; 15 — выход; 1, 16 — общие; 8 — питание

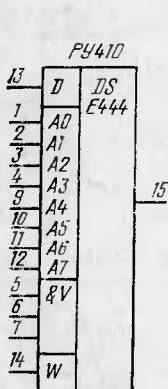


Рис. П2.45

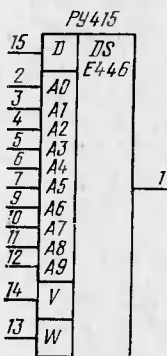


Рис. П2.46

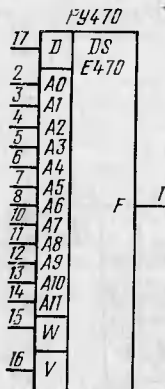


Рис. П2.47

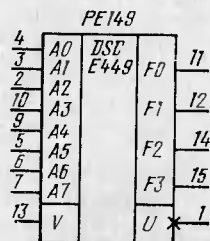


Рис. П2.48

П.2.45. 13 — вход информации; 5—7, 14 — входы управления; 1—4, 9—12 — входы адреса; 15 — выход; 16 — общий; 8 — питание

П.2.46. 1 — выход; 2—7, 9—12 — входы адреса; 13, 14 — входы управления; 15 — вход информации; 16 — общий; 8 — питание

П.2.47. 1 — выход; 2—8, 10—14 — входы адреса; 15, 16 — входы управления; 17 — вход информации; 18 — общий; 9 — питание

П.2.48. 2—7, 9, 10 — входы адреса; 11, 12, 14, 15 — выходы; 13 — вход управления; 1 — выход управления режимом записи; 16 (1) — общие; 8 — питание

Микросхемы серии К1500

Для всех микросхем серии К1500 напряжение электропитания U_0 (0) подводится к выводам 6, 7 и $U_{п1}$ (−4,5 В) — к выводу 18, за исключением модификаций К1500ЛП122 (U_0 — к выводам 1, 6, 7, 13, 19 и $U_{п1}$ — к 18), К1500ВА123 (U_0 — к выводам 1, 3, 5, 7, 9, 11 и $U_{п1}$ — к 18), К1500ПУ124 (U_0 — к выводам 6, 7, 8, $U_{п1}$ — к 18, $U_{п3}$ (+5 В) — к 20), К1500ПУ125 (U_0 — к выводам 6, 7, $U_{п1}$ — к 18, $U_{п3}$ — к 4, 5), К1500РУ415 (U_0 — к выводу 16, $U_{п1}$ — к 8), К1500РУ470 (U_0 — к выводу 18, $U_{п1}$ — к 9), К1500РТ416 (U_0 — к выводу 16, $U_{п1}$ — к 8, при программировании вывод 1 подключается к $U_{п4}$ (+12 В), при чтении — к U_0)

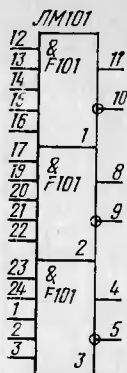


Рис. П2.49

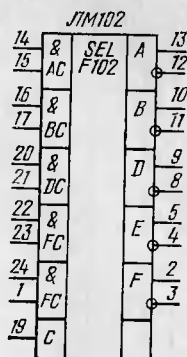


Рис. П2.50

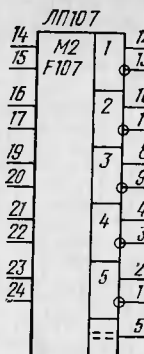


Рис. П2.51

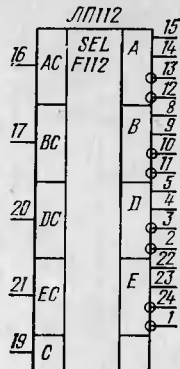


Рис. П2.52

П.2.49. 1—3, 12—17, 19—24 — входы; 4, 8, 11 — прямые выходы; 5, 9, 10 — инверсные выходы; 6, 7 — общие; 18 — питание

П.2.50. 1, 14—17, 20—24 — входы; 19 — стробирующий вход; 2, 5, 9, 10, 13 — прямые выходы; 3, 4, 8, 11, 12 — инверсные выходы; 6, 7 — общие; 18 — питание

П.2.51. 14—17, 19—24 — входы; 2, 4, 8, 10, 12 — прямые выходы; 1, 3, 9, 11, 13 — инверсные выходы; 5 — выход сравнения; 6, 7 — общие; 18 — питание

П.2.52. 16, 17, 20, 21 — входы; 19 — стробирующий вход; 4, 5, 8, 9, 14, 15, 22, 23 — прямые выходы; 1, 2, 3, 10, 11—13, 24 — инверсные выходы; 6, 7 — общие; 18 — питание

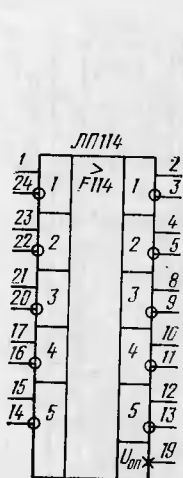


Рис. П2.53

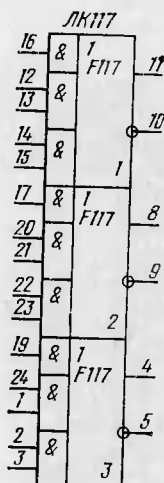


Рис. П2.54

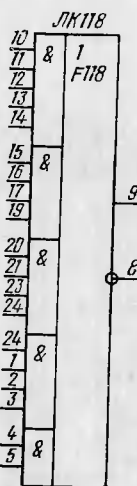


Рис. П2.55

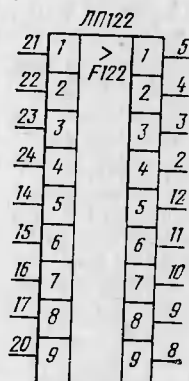


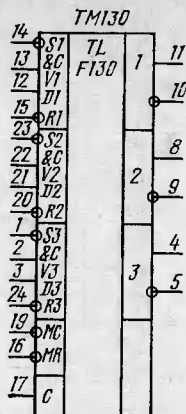
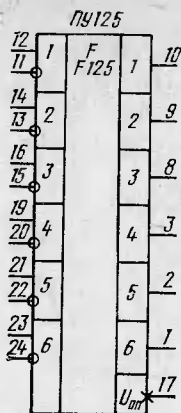
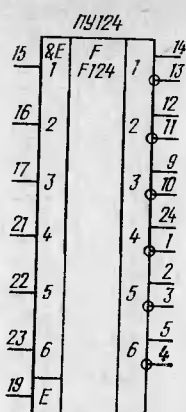
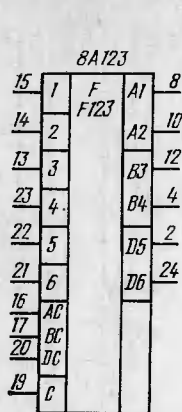
Рис. П2.56

П.2.53. 1, 14—17, 20—24 — входы; 2, 4, 8, 10, 12 — прямые выходы; 3, 5, 9, 11, 13 — инверсные выходы; 19 — выход ИОН; 6, 7 — общие; 18 — питание

П.2.54. 1, 2, 3, 12—17, 19—24 — входы; 4, 8, 11 — прямые выходы; 5, 9, 10 — инверсные выходы; 6, 7 — общие; 18 — питание

П.2.55. 1—5, 10—17, 19—24 — входы; 9 — прямой выход; 8 — инверсный выход; 6, 7 — общие; 18 — питание

П.2.56. 14—17, 20—24 — входы; 2—5, 8—12 — выходы; 1, 6, 7, 13, 19 — общие; 18 — питание

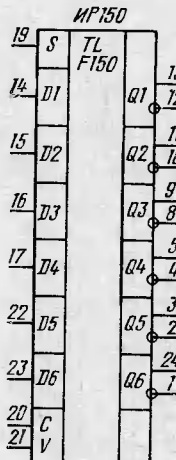
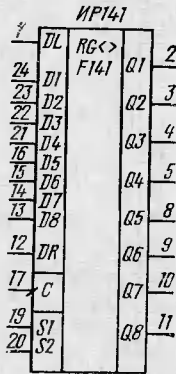
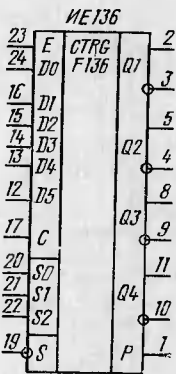
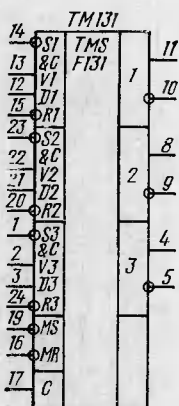


П.2.57. 13—15, 21—23 — входы; 16, 17, 20 — общие входы; 19 — стробирующий вход; 2, 4, 8, 10, 12, 24 — выходы; 1, 3, 5—7, 9, 11 — общие; 18 — питание

П. 258. 15—17, 21—23 — входы; 19 — стробирующий вход; 2, 5, 9, 12, 14, 24 — прямые выходы; 1, 3, 4, 10, 11, 13 — ниверсные выходы; 6, 7, 8 — общие; 18 — питание (—4,5 В); 20 — питание (+5 В)

П.2.59. 11-16, 19-24 — входы; 1-3, 8-10 — выходы; 17 — выход ИОН; 6, 7 — общие; 18 — питание (-4,5 В); 4, 5 — питание (+5 В)

П.2.60. 3, 12, 21 — входы информации; 2, 13, 22 — входы управления; 17 — вход синхронизации; 1, 14, 19, 23 — входы установок в «1»; 15, 16, 20, 24 — входы установок в «0»; 4, 8, 11 — прямые выходы; 5, 9, 10 — инверсные выходы; 6, 7 — общие; 8 — питание



П.2.61. 3, 12, 21 — входы информации; 2, 13, 22 — входы управления; 17 — вход синхронизации; 1, 14, 19, 23 — входы установовки в «1»; 15, 16, 20, 24 — входы установовки в «0»; 4, 8, 11 — прямые выходы; 5, 9, 10 — инверсные выходы; 6, 7 — общие; 18 — питание

П.2.62. 13—16 — входы информации; 17 — вход синхронизации; 18, 24 — входы переноса; 20—23 — входы управления режимом работы; 19 — вход установки в «1»; 2, 5, 8, 11 — прямые выходы; 3, 4, 9, 10 — инверсные выходы; 1 — выход переноса; 6, 7 — общие; 18 — питание

П.2.63. 13–16, 21–24 — входы информации; 17 — вход синхронизации; 1, 12 — входы переисоса; 19, 20 — входы управления режимом работы; 2–5, 8–11 — выходы; 6, 7 — общие; 18 — питание

П.2.64. 14—17, 22, 23 — входы информации; 20 — вход синхронизации; 21 — вход управления; 19 — вход установки в «1»; 3, 5, 9, 11, 13, 24 — прямые выходы; 1, 2, 4, 8, 10, 12 — инверсные выходы; 6, 7 — общие; 18 — питание

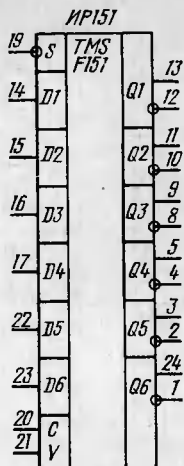


Рис. П2.65

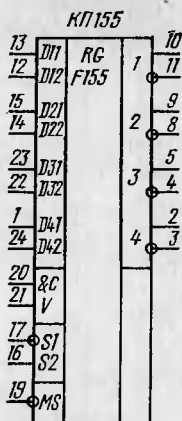


Рис. П2.66

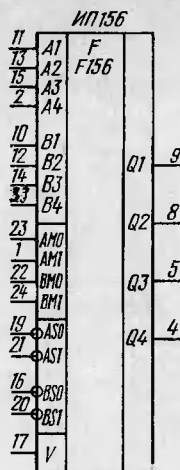


Рис. П2.67

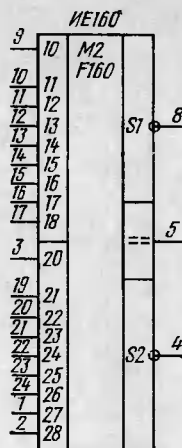


Рис. П2.68

П.2.65. 14—17, 22, 23 — входы информации; 20 — вход синхронизации; 21 — вход управления; 19 — вход установки в «1»; 3, 5, 9, 11, 13, 24 — прямые выходы; 1, 2, 4, 8, 10, 12 — инверсные выходы; 6, 7 — общие; 18 — питание

П.2.66. 1, 12—15, 22—24 — входы информации; 20 — вход синхронизации; 21 — вход управления; 16, 17, 19 — входы установки в «1»; 2, 5, 9, 10 — прямые выходы; 3, 4, 8, 11 — инверсные выходы; 6, 7 — общие; 18 — питание

П.2.67. 2, 3, 10—15 — входы информации; 17 — вход синхронизации; 1, 16, 19, 20—24 — входы управления; 4, 5, 8, 9 — выходы; 6, 7 — общие; 18 — питание

П.2.68. 1—3, 9—17, 19—24 — входы информации; 4, 8 — инверсные выходы; 5 — выход сравнения; 6, 7 — общие; 18 — питание

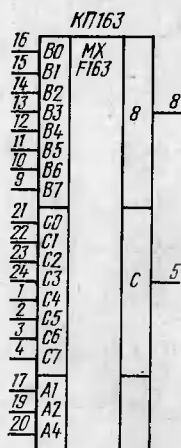


Рис. П2.69

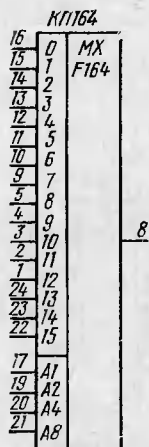


Рис. П2.70

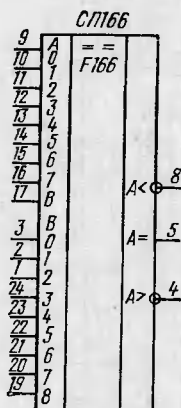


Рис. П2.71

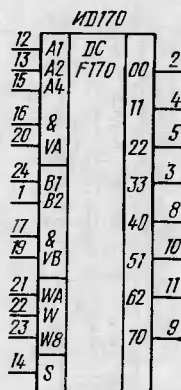


Рис. П2.72

П.2.69. 1—4, 9—16, 21—24 — входы информации; 17, 19, 20 — входы адреса; 5, 8 — выходы; 6, 7 — общие; 18 — питание

П.2.70. 1—5, 9—16, 22—24 — входы информации; 17, 19—21 — входы адреса; 8 — выход; 6, 7 — общие; 18 — питание

П.2.71. 1—3, 9—17, 19—24 — входы информации; 4, 5, 8 — выходы; 6, 7 — общие; 18 — питание

П.2.72. 1, 12, 13, 15—17, 19, 20, 24 — входы информации; 14, 21—23 — входы управления режимом работы; 2—5, 8—11 — выходы; 6, 7 — общие; 18 — питание

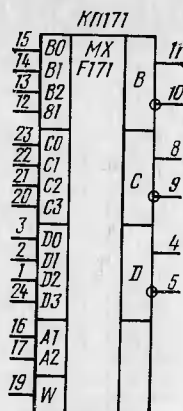


Рис. П2.73

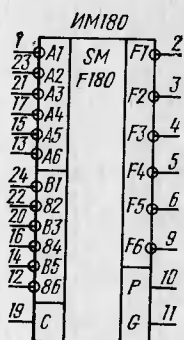


Рис. П2.74

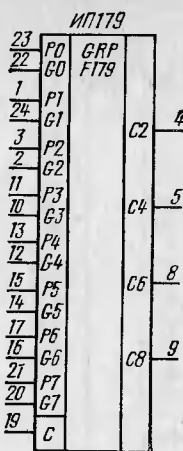


Рис. П2.75

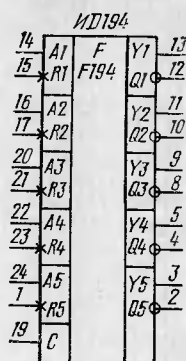


Рис. П2.76

П.2.73. 1—3, 12—15, 20—24 — входы информации; 16, 17 — входы адреса; 19 — вход управления; 4, 8, 11 — прямые выходы; 5, 9, 10 — инверсные выходы; 6, 7 — общие; 18 — питание

П.2.74. 1, 12—17, 20—24 — входы информации; 19 — вход переноса; 2, 3, 4, 5, 8, 9 — выходы; 10, 11 — выходы переноса; 6, 7 — общие; 18 — питание

П.2.75. 1—3, 10—17, 20—24 — входы условий и признаков переноса; 19 — вход переноса; 4, 5, 8, 9 — выходы переноса; 6, 7 — общие; 18 — питание

П.2.76. 14, 16, 20, 22, 24 — входы информации; 19 — вход управления; 1, 15, 17, 21, 23 — входы подключения резисторов; 2, 4, 8, 10, 12 — инверсные выходы информации; 3, 5, 9, 11, 13 — магистральные выходы; 6, 7 — общие; 18 — питание

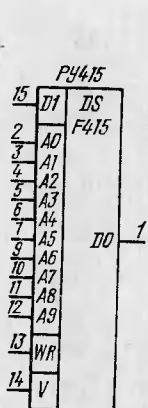


Рис. П2.77

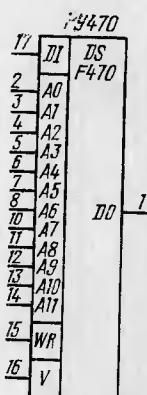


Рис. П2.78

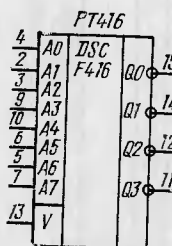


Рис. П2.79

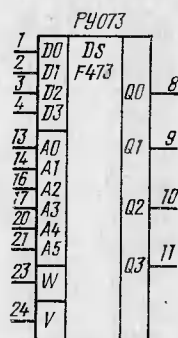


Рис. П2.80

П.2.77. 15 — вход информации; 2—7, 9—12 — входы адреса; 13, 14 — входы управления; 1 — выход; 16 — общий; 8 — питание

П.2.78. 17 — вход информации; 2—8, 10—14 — входы адреса; 15, 16 — входы управления; 1 — выход; 18 — общий; 9 — питание

П.2.79. 2—7, 9, 10 — входы адреса; 13 — вход управления; 11, 12, 14, 15 — инверсные выходы; 16 — общий; 8 — питание

П.2.80. 1—4 — входы информации; 13, 14, 16, 17, 20, 21 — входы адреса; 23, 24 — входы управления; 8, 9—11 — выходы; 6, 7 — общий; 18 — питание

Схемы интерфейса для средств вычислительной техники

Особый класс составляют интерфейсные микросхемы, предназначенные для обмена информацией между устройствами и блоками средств вычислительной техники, передачи данных на периферийные устройства, устройства отображения, индикации, для работы в бесконтактных клавишных пультах ввода информации и др. Ниже приводятся основные электрические параметры в диапазоне температур окружающей среды (динамические параметры приведены при температуре 25 °C) ряда интерфейсных схем.



Рис. ПЗ.1

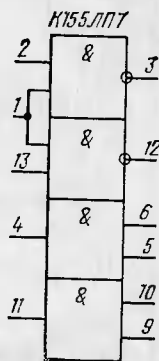


Рис. ПЗ.2

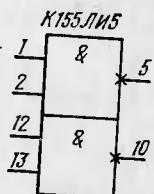


Рис. ПЗ.3

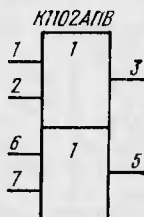


Рис. ПЗ.4

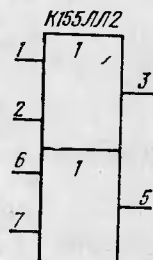


Рис. ПЗ.5

- ПЗ.1. 1—6 — входы; 8 — выход; 7 — общий; 11 — выход контрольный; 14 — питание
 ПЗ.2. 2, 1, 13 — входы; 4, 11 — база; 5, 10 — коллектор; 6, 9 — эмиттер; 7 — общий; 14 — питание
 ПЗ.3. 1, 2, 12, 13 — входы; 5, 10 — выходы; 7 — общий; 14 — питание
 ПЗ.4. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание
 ПЗ.5. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

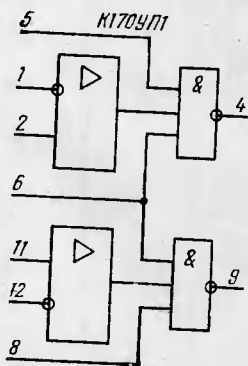


Рис. ПЗ.6

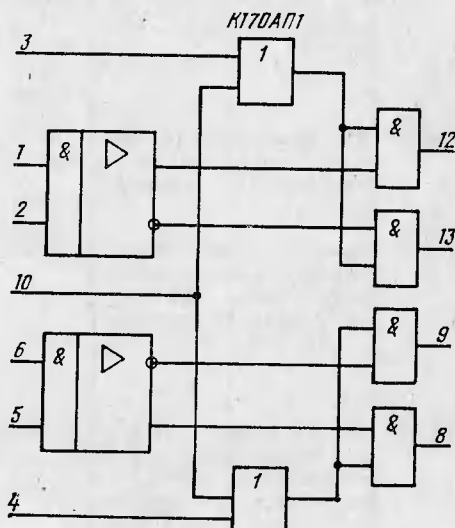


Рис. ПЗ.7

- ПЗ.6. 1, 2, 11, 12 — входы; 4, 9 — выходы; 5, 6, 8 — входы стробирующие; 7 — общий; 13, 14 — питание
 ПЗ.7. 1, 2, 5, 6 — входы; 3, 4, 10 — входы стробирующие; 8, 9, 12, 13 — выходы; 11, 14 — питание

Таблица ПЗ

Тип микро- схемы	Функциональное назначение	$U_{П}$, В	$I_{ПOT}$		$U_{ВЫХ}$	
			$I_{ПOT}^0$, мА	$I_{ПOT}^1$, мА	$U_{ВЫХ}^0$, В	$U_{ВЫХ}^1$, В
			не более		не более	не менее
1	2	3	4	5	6	7
K109ЛИ1	Логический элемент 6И для работы на низкоомную нагрузку	$5 \pm 5\%$	23	16	0,4	2,4 ($R_H = 71,5 \text{ Ом}$)
K155ЛП7	Два двухвходовых логических элемента с общим входом 2И—НЕ и двумя мощными транзисторами	$5 \pm 5\%$	11	4	0,4	—
K155ЛИ5	Два логических элемента 2И с мощным открытым коллекторным выходом	$5 \pm 5\%$	11	65	0,7 0,4	— —
K155ЛА18	Два логических элемента 2И—НЕ с мощным открытым коллекторным выходом	$5 \pm 5\%$	71	14	0,4 0,7	— —
K155ЛЛ2	Два логических элемента 2(2ИЛИ) с мощным открытым коллекторным выходом	$+5 \pm 5\%$	68	11	0,4	—
K170УП1	Два усилителя сигналов для линий связи блоков ЭВМ	$+5 \pm 5\%$	—	30 (вывод 14)	0,4	2,4
K170АП1	Два формирователя сигналов для линий связи	$+5 \pm 5\%$ $-5 \pm 5\%$	35 (вывод 14) —44 (вывод 11)	25 (вывод 13) 35 (вывод 14) —50 (вывод 11)	—	—
K170УП2	Четыре усилителя сигналов для линий связи аппаратуры передачи данных	$\pm 5 \pm 5\%$ (вывод 15) или $+12 \pm 5\%$ (вывод 16)	42 (вывод 15) 48 (вывод 16)	—	0,4	2,4
K170АП2	Два формирователя сигналов для линий связи аппаратуры передачи данных	12 (вывод 8) —12 (вывод 5)	27 (вывод 8) —12 (вывод 5)	20 (вывод 8) —25 (вывод 5)	—5	5
K531АП3	Магистральный буферный 8-канальный усилитель с тремя состояниями выхода, с инверсией	$+5 \pm 5\%$	150	135	0,55	2,4
K531АП4	Магистральный буферный 8-канальный усилитель с тремя состояниями выхода, без инверсии	$5 \pm 5\%$	180	160	0,55	2,4

$I_{\text{ВЫХ}}$		$I_{\text{ВХ}}$		$i_{\text{зд р, нс}}^{1,0}$ не более	$i_{\text{зд р, нс}}^{0,1}$ не более	Функцио- нальный аналог
$I_{\text{ВЫХ}}^0$, мА	$I_{\text{ВЫХ}}^1$, мА	$I_{\text{ВХ}}^0$, мА	$I_{\text{ВХ}}^1$, мА			
не более		не более				
8	9	10	11	12	13	14
24 (К109ЛИ1А)	—	—1,6	0,005	75	90	—
18 (К109ЛИ1Б)	0,1 ($U_{\text{ВЫХ}}=30\text{В}$)	—1,6 (ВЫВОДЫ 2, 13)	0,04 (ВЫВОДЫ 2, 13)	80	120	SN 75450
100		—3,2 (ВЫВОД 1)	0,08 (ВЫВОД 1)			
300		—1,6	0,04	80	120	SN 75451
100	0,1 ($U_{\text{ВЫХ}}=30\text{В}$)					
300						
100	0,1 ($U_{\text{ВЫХ}}=30\text{В}$)	—1,6	0,04	45	45	SN 75452
300						
100	0,1 ($U_{\text{ВЫХ}}=30\text{В}$)	—1,6	0,04	35	35	SN 75453
16	—0,4	—1,6 (ВЫВОДЫ 5, 8)	0,04 (ВЫВОДЫ 5, 8)	25	25	SN 75107
		—3,2 (ВЫВОД 6)	0,08 (ВЫВОД 6)			
6,5 (не менее)	0,1	—1,6	0,04	15	25	SN 75110
15 (не более)		—3,2 (ВЫВОД 10)	0,08 (ВЫВОД 10)			
16	—0,4	—	—	45	50	SN 75154
1,7 (ВЫВОД 6)	—1,7 (ВЫВОД 7)	—1,6 (ВЫВОДЫ 2, 3)	0,01 (ВЫВОДЫ 2, 3)	90	120	SN 75150
		—3,2 (ВЫВОД 1)	0,02 (ВЫВОД 1)			
64	0,05 ($I_{\text{УТ}}$)	—0,4 (ВЫВОДЫ 2, 4, 6, 8, 11, 13, 15, 17)	0,05 (ВЫВОД 1)	7 ($C_{\text{Н}}=$ $=50\text{ пФ,}$ $R_{\text{Н}}=$ $=90\text{ Ом})$	7 ($C_{\text{Н}}=$ $=50\text{ пФ,}$ $R_{\text{Н}}=$ $=90\text{ Ом})$	SN 74S240
		—2,0 (ВЫВОДЫ 1, 19)				
64	0,05 ($I_{\text{УТ}}$)	—0,4 (ВЫВОДЫ 2, 4, 6, 8, 11, 13, 15, 17)	0,05	9 ($C_{\text{Н}}=$ $=50\text{ пФ,}$ $R_{\text{Н}}=$ $=90\text{ Ом})$	9 ($C_{\text{Н}}=$ $=50\text{ пФ,}$ $R_{\text{Н}}=$ $=90\text{ Ом})$	SN 74 S 241
		—2,0 (ВЫВОДЫ 1, 19)				

1	2	3	4	5	6	7
КР559ИП1	Четыре магистральных передатчика	$5 \pm 10 \%$	60	15	0,8	—
КР559ИП2	Четыре магистральных приемника	$5 \pm 10 \%$	54	26	0,5	2,4
КР559ИП3	Магистральный приемопередатчик	$5 \pm 5 \%$	70	70	0,4 (выводы 3, 6, 10, 13) 0,8 (выводы 1, 4, 12, 15)	2,4 (выводы 3, 6, 10, 13)
КР559ИП4	Магистральный передатчик	$5 \pm 5 \%$	60	28	—	2,4 ($U_{\Pi}=4,75$ В) 3,11 ($U_{\Pi}=5$ В; $U_{ВХ}=2$ В)
КР559ИП6	Магистральный приемопередатчик	$5 \pm 5 \%$	85	—	0,5	2,4 (выводы 3, 6, 10, 14) 2,6 (выводы 2, 7, 9, 15)
КР559ИП7	Магистральный приемник	$5 \pm 5 \%$	86	58	0,4	2,6
КР571ХЛ4А, КР571ХЛ4Б	Шесть инвертирующих магистральных элементов с тремя состояниями на входе и выходе	$5 \pm 5 \%$		21	0,4 0,5	2,4
КР571ХЛ5А, КР571ХЛ5Б	Шесть неинвертирующих магистральных элементов с тремя состояниями на входе и выходе	$5 \pm 5 \%$		24	0,4 0,5	2,4
К1102АП2	Сдвоенный формирователь сигналов с тремя состояниями выходов	$5 \pm 5 \%$		65 ($U_{ВХ}=0$ В, $R_{\Pi}=\infty$, $t=25^{\circ}$ C)	0,4	2,4 2,0
К1102АП3	Четырехканальный формирователь — повторитель с тремя состояниями выходов	$5 \pm 5 \%$		90	0,4 0,5	2,4 1,8
К1102АП4	Периферийный формирователь тока с логической функцией 2 — 2ИЛИ — НЕ	$5 \pm 5 \%$	79	17	0,4 0,7	— —
К1102АП5	Периферийный формирователь тока с логической функцией 2 (2И) и изолированным мощным транзистором	$5 \pm 5 \%$	11	4	0,4 (выводы 3, 12) 0,4 (выводы 5, 10) 0,7 (выводы 5, 10)	2,4 — — —
К1102АП6	Периферийный формирователь тока с логической функцией 2 (2И)	$5 \pm 5 \%$	65	11	0,4 0,7	— —

8	9	10	11	12	13	14
70	—	—2,0	0,05	30	25	—
8	—1	0,1	0,2	15	30	—
16 (выводы 3, 6, 10, 13) 70 (выводы 1, 4, 12, 15)	—0,4 (выводы 3, 6, 10, 13)	—2,0	0,06	25 (выводы 2—1, 11—12, 14—15) 40 (выводы 4—6) 39 (выводы 7—1, 9—12) 25	35 (выводы 2—1, 11—12, 14—15) 49 (выводы 4—6) 7—1, 9—12) 35	DEC 8641
—	80—200 $U_{ВХ}^1=4,5 В$ $U_{ВЫХ}^1=2 В$	—1,6	0,04			8T23
16 (выводы 3, 6, 10, 14) 48 (выводы 2, 7, 9, 15)	—0,4 (выводы 3, 6, 10, 14)	—1,6	0,04	30 (выводы 4—2) 50 (выводы 12—2) 35 (выводы 9—10) 30	30 (выводы 4—2) 50 (выводы 12—2) 35 (выводы 9—10) 30	MC3440
16	—0,8	—1,6	0,04 (выводы 1, 2, 4, 5, 6, 11, 12, 15) 0,17 (выводы 3, 10, 14)			8T24
12	—2,6	—0,4	0,02 ($U_{ВХ}=2,7 В$)	16 (КР571ХЛ4А)	15 (КР571ХЛ4А)	74LS368А
24			0,1 ($U_{ВХ}=5,5 В$)	30 (КР571ХЛ4Б)	30 (КР571ХЛ4Б)	
12	—2,6	—0,4	0,02 ($U_{ВХ}=2,7 В$)	22 (КР571ХЛ5А)	16 (КР571ХЛ5А)	74LS367
24				30 (КР571ХЛ5Б)	24 (КР571ХЛ5Б)	
40	—10 —40	—1,6 (выводы 5, 6, 7, 10, 11) —3,2 (вывод 9)	0,04 (выводы 5, 6, 7, 10) 0,08 (вывод 9)	30 ($C_H=$ $=30 пФ$)	30 ($C_H=$ $=30 пФ$)	SN75113
32 40	—5,2 —40	—1,6	0,04	25 ($C_H=$ $=50 пФ$, $R_H=$ $=390 Ом$) 45	25 ($C_H=$ $=50 пФ$, $R_H=$ $=390 Ом$) 45	DS8831
100 300	0,1 ($U_{ВЫХ}=30 В$)	—1,6	0,04			SN75454
16	0,1 ($U_{ВЫХ}=15 В$)	—1,6 (выводы 2, 13) —3,2 (вывод 1)	0,04 (выводы 2, 13) 0,08 (вывод 1)	26 ($C_H=$ $=15 пФ$, $R_H=$ $=51 Ом$)	26 ($C_H=$ $=15 пФ$, $R_H=$ $=51 Ом$)	SN75430
100	—					
300	—					
100 300	0,1 ($U_{ВЫХ}=15 В$)	—1,6	0,04	25	20	SN75431

1	2	3	4	5	6	7	
K1102АП7	Периферийный форми- рователь тока с логиче- ской функцией 2 (2И — НЕ)	$5 \pm 5 \%$	71	14	0,4 0,7	— —	
K1102АП8	Периферийный форми- рователь тока с логиче- ской функцией 2 (2ИЛИ)	$5 \pm 10 \%$	68	11	0,4 0,7	— —	
K1102АП9	Периферийный форми- рователь тока с логиче- ской функцией 2 (2ИЛИ — НЕ)	$5 \pm 10 \%$	79	17	0,4 0,7	— —	
K1102АП11	Периферийный форми- рователь тока с логиче- ской функцией 2 (2И)	$5 \pm 10 \%$	76	11	0,4 0,7	— —	
K1102АП12	Периферийный форми- рователь тока с логиче- ской функцией 2 (2И — НЕ)	$5 \pm 5 \%$	76	17	0,4 0,7	— —	
K1102АП13	Периферийный форми- рователь тока с логиче- ской функцией 2 (2ИЛИ)	$5 \pm 5 \%$	76	11	0,4 0,7	— —	
K1102АП14	Периферийный форми- рователь тока с логиче- ской функцией 2 (2ИЛИ — НЕ)	$5 \pm 5 \%$	85	19	0,4 0,7	— —	

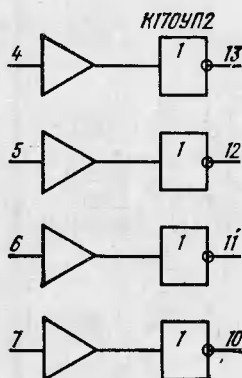


Рис. ПЗ.8

ПЗ.8. 4, 5, 6, 7 — входы; 10—13 — выходы; 8 — общий; 16 — питание; 1—3, 14 — пороговое напряжение

8	9	10	11	12	13	14
100 300	0,1 ($U_{\text{ВЫХ}}=15\text{В}$)	—1,6	0,04	25 ($C_{\text{H}}=$ $=15\text{ пФ},$ $R_{\text{H}}=$ $=51\text{ Ом})$	25	SN 75432
100 300	0,1 ($U_{\text{ВЫХ}}=15\text{В}$)	—1,6	0,04	25 ($C_{\text{H}}=$ $=15\text{ пФ},$ $R_{\text{H}}=$ $=51\text{ Ом})$	20	SN 75433
100 300	0,1 ($U_{\text{ВЫХ}}=15\text{В}$)	—1,6	0,04	25 ($C_{\text{H}}=$ $=15\text{ пФ},$ $R_{\text{H}}=$ $=51\text{ Ом})$	25	SN 75434
100 300	0,1 ($U_{\text{ВЫХ}}=35\text{В}$)	—1,6	0,04	40 ($C_{\text{H}}=$ $=15\text{ пФ},$ $R_{\text{H}}=$ $=50\text{ Ом})$	55	SN 75461
100 300	0,1 ($U_{\text{ВЫХ}}=35\text{В}$)	—1,6	0,04	50 ($C_{\text{H}}=$ $=15\text{ пФ},$ $R_{\text{H}}=$ $=50\text{ Ом})$	65	SN 75462
100 300	0,1 ($U_{\text{ВЫХ}}=35\text{В}$)	—1,6	0,04	40 ($C_{\text{H}}=$ $=15\text{ пФ},$ $R_{\text{H}}=$ $=50\text{ Ом})$	55	SN 75463
100 300	0,1 ($U_{\text{ВЫХ}}=35\text{В}$)	—1,6	0,04	50 ($C_{\text{H}}=$ $=15\text{ пФ},$ $R_{\text{H}}=$ $=50\text{ Ом})$	65	SN 75463

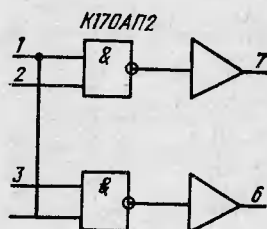


Рис. П3.9

П.3.9. 2, 3 — входы; 1 — вход стробирующий;
6, 7 — выходы; 4 — общий; 8 — питание

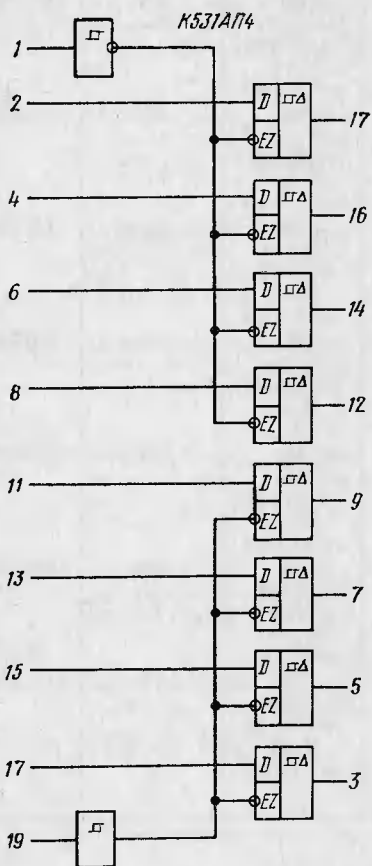


Рис. ПЗ.10

ПЗ.10. 1, 19 — входы разрешения передачи информации; 2, 4, 6, 8, 15, 17, 13, 11 — входы; 3, 5, 7, 9, 16, 18, 14, 12 — выходы; 10 — общий; 20 — питание

Выводы					
1	19	2, 4, 6, 8	18, 16, 14, 12	11, 13, 15, 17	9, 7, 5, 3
0		0	0		
0		1	1		
1		×	Z		
	1			0	0
	1			1	1
	0			×	Z

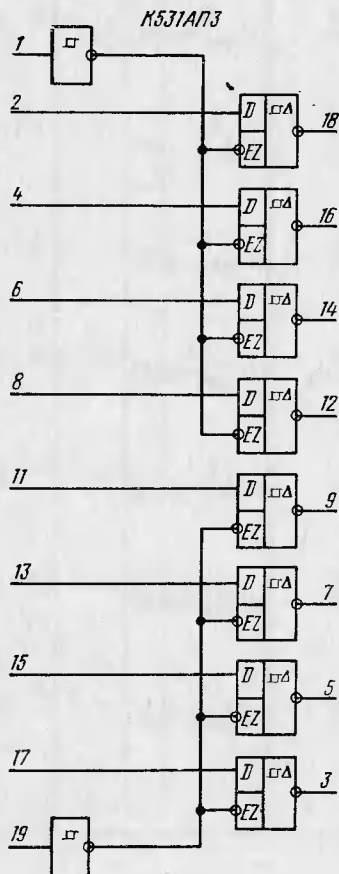


Рис. ПЗ.11

ПЗ.11. 1, 19 — входы разрешения передачи информации; 2, 4, 6, 8, 15, 17, 13, 11 — входы; 3, 5, 7, 9, 16, 18, 14, 12 — выходы; 10 — общий; 20 — питание

Выводы					
1	19	2, 4, 6, 8	18, 16, 14, 12	11, 13, 15, 17	9, 7, 5, 3
0		0	1		
0		1	0		
1		×	Z		
	0			0	1
	0			1	×
	1			×	Z



Рис. ПЗ.12

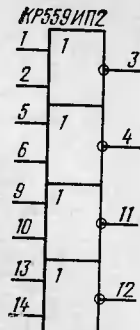
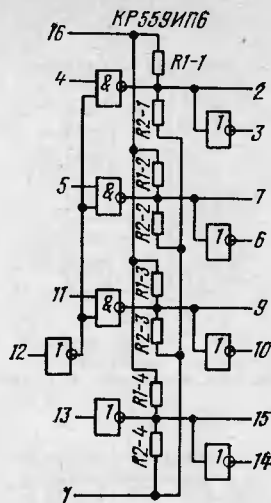


Рис. ПЗ.13

П.3.12. 1, 2, 4, 5, 10, 11, 13, 14 — входы; 3, 6, 9, 12 — выходы; 8 — общий; 16 — питание

П.3.13. 1, 2, 5, 6, 9, 10, 13, 14 — входы; 3, 4, 11, 12 — выходы; 8 — общий; 16 — питание



П.3.16. 4, 5, 11, 13 — входы; 12 — управляющий вход; 2, 7, 9, 15 — входы — выходы; 3, 6, 10, 14 — выходы; 1 — общий; 16 — питание

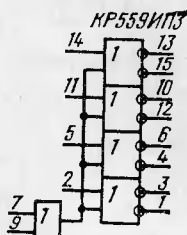


Рис. ПЗ.14



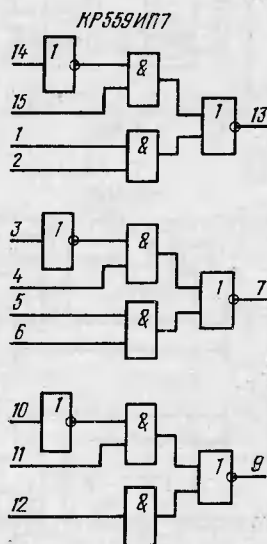
Рис. ПЗ.15

П.3.14. 14, 11, 5, 2, 7, 9 — входы; 15, 12, 4, 1 — входы — выходы; 13, 10, 6, 3 — выходы; 8 — общий; 16 — питание

Входы			Входы — — выходы	Выходы
7	9	14, 11, 5, 2	15, 12, 4, 1	13, 10, 6, 3
×	×	0	1	0
×	×	0	1*	1
0	0	1	0	1
×	1	×	1	0
×	1	×	0*	1
1	Z	×	1	0
1	Z	×	0*	1

*При внешнем входном сигнале лог. 0 на входе — выходе.

П.3.15. 1, 2, 3, 4, 5, 6, 10, 11, 12, 13 — входы; 15 — вход стробирующий; 14 — вход магистральный; 7, 9 — выходы; 8 — общий; 16 — питание



П.3.17. 14, 3, 10 — входы магистральные; 15, 4, 11 — входы стробирующие; 1, 2, 5, 6, 12 — входы логические; 13, 7, 9 — выходы; 8 — общий; 16 — питание

Входы				Выходы
14, 3, 10	15, 4, 11	1, 5, 12	2, 6	13, 7, 9
0	1	×	×	0
×	×	1	1	0
1	×	0	×	1
1	×	×	0*	1
×	0	0	×	1
×	0	×	0*	1

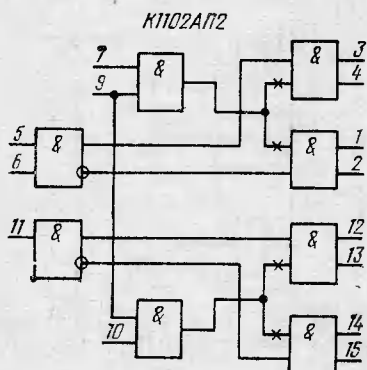
*Такое сочетание сигналов действительно для входов 14, 3, 15, 4, 1, 2, 5, 6.



П.3.18. 2, 4, 6, 10, 12, 14 — входы; 1, 15 — входы управления третьим состоянием; 3, 5, 7, 9, 11, 13 — выходы; 8 — общий; 16 — питание

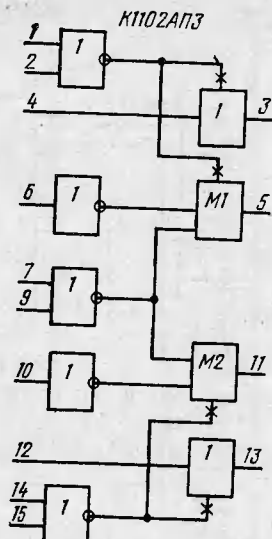


П.3.19. 2, 4, 6, 10, 12, 14 — входы; 1, 15 — входы управления третьим состоянием; 8 — общий; 16 — питание



П.3.20. 5, 6, 11 — входы; 7, 9, 10 — блокировка; 1—4, 12—15 — выходы; 8 — общий; 16 — питание

Входы				Выходы	
Блокировка		Информация		И	НЕ-И
7, 10	9	5, 11	6	3, 4, 12, 13	1, 2, 14, 15
0	×	×	×	Z	Z
0	×	×	×	Z	Z
1	1	×	0	0	1
1	1	1	1	1	0



П.3.21. 4, 6, 10, 12 — входы; 1, 2, 14, 15 — управление выходами; 3, 5, 11, 13 — выходы; 7, 9 — управление режимом; 8 — общий; 16 — питание

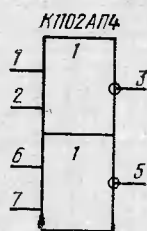


Рис. ПЗ.22

П.3.22. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

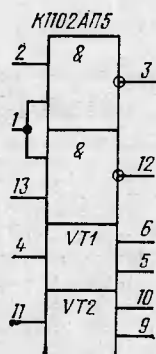


Рис. ПЗ.23

П.3.23. 1, 2, 13 — входы; 3, 12 — выходы; 4, 11 — база; 5, 10 — эмиттер; 7 — общий; 14 — питание

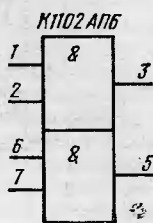


Рис. ПЗ.24

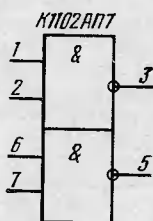


Рис. ПЗ.25

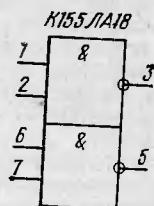


Рис. ПЗ.26

П.3.24. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

П.3.25. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

П.3.26. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание



Рис. ПЗ.27



Рис. ПЗ.28

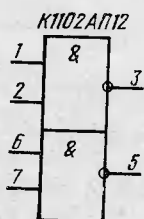


Рис. ПЗ.29

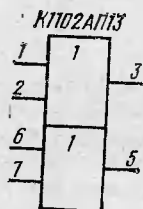


Рис. ПЗ.30

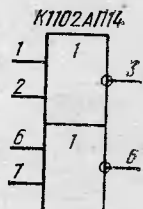


Рис. ПЗ.31

П.3.27. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

П.3.28. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

П.3.29. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

П.3.30. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

П.3.31. 1, 2, 6, 7 — входы; 3, 5 — выходы; 4 — общий; 8 — питание

Приложение 4

Схемы индикации, управления реле, генераторов

С помощью микросхем ТТЛ допускается осуществлять управление различного рода электрорадиоэлементами как непосредственно от микросхем, так и использованием усилительных каскадов, питаемых от дополнительных источников.

Маломощные устройства типа индикаторных лампочек, светодиодов, небольших реле можно питать непосредственно от микросхем. Как правило, для непосредственного управления электрорадиоэлементами используются микросхемы с открытым коллекторным выходом как с типичной (стандартной) для каждой серии микросхем нагрузочной способностью, так и с повышенной нагрузочной способностью. Применение микросхем с открытым коллекторным выходом расширяют возможности интегральной схемотехники при осуществлении стыковок систем на основе микросхем с электрорадиоэлементами, линиями связи, схемами индикации и т. п., позволяет строить различного рода генераторы, формирователи сигналов и др.

К ИС ТТЛ с открытым коллекторным выходом со стандартной нагрузочной способностью относят: К155ЛА8, К155ЛН2, К155ЛА10, К155ЛА13, К155ИД10, К555ЛА9, К555ЛН2, К555ЛА10, К555ЛА13, К555ИД10, К531ЛА9П, К531ЛН2П, К531ЛА13П.

Микросхемы с открытым коллекторным выходом и повышенной выходной мощностью включают в свой состав: К155ЛП9, К155ЛА7, К155ЛИ5, К155ЛЛ2, К155ЛА18, К555ЛА7, К555ЛИ2, К555ЛИ4, К555ЛЛ3, К531ЛА7П.

Для обеспечения работы электрорадиоэлементов с большими токами и напряжениями от микросхем, используются дополнительные схемы сопряжения с использованием транзисторов, подключаемых к выходу микросхем.

Ряд микросхем ТТЛ разработан специально для непосредственного сопряжения с определенным видом нагрузки. Выходные каскады этих микросхем обеспечивают повышенный нагрузочный ток или напряжение выхода. Например, микросхема дешифратора К155ИД1 с высоковольтным выходом служит для непосредственного управления индикаторной лампой тлеющего разряда с холодным катодом и не требует дополнительной схемы сопряжения. Микросхемы К155ИД10, К555ИД10 используются для непосредственного управления индикаторами с лампами накаливания. На приведенных рисунках даны оптимальные варианты схем сопряжения микросхем с электрорадиоэлементами. При проектировании схем сопряжения отличных от приведенных, необходимо тщательно следить, чтобы не были превышены допустимые токи нагрузки микросхем. Масса дополнительных источников питания должна быть надежно соединена с массой источника питания микросхем в определенной точке.

Для построения на основе микросхем ТТЛ схем генераторов, формирователей импульсов, как правило, используются схемы с открытым коллекторным выходом, при этом необходимо тщательно выбирать номиналы резисторов и конденсаторов подключаемых к выходу ЛЭ ТТЛ, чтобы не был превышен допустимый выходной ток логического нуля (с учетом тока перезарядки емкости) и обеспечены логические уровни напряжения.

Для обеспечения большей точности частоты и ее стабильности, генераторы импульсов на ИС ТТЛ можно строить с использованием кварцевых резонаторов.

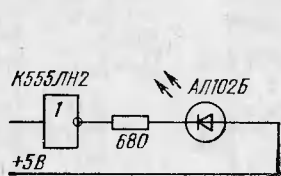


Рис. П4.1

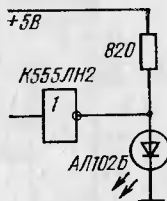


Рис. П4.2

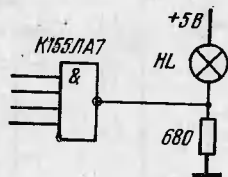


Рис. П4.3

П4.1. Схема индикации с применением светодиода при включении от высокого уровня напряжения

П4.2. Схема индикации с применением светодиода при включении от низкого уровня напряжения

П4.3. Согласование микросхемы К155ЛА7 с лампой накаливания. HL — лампа накаливания СМН-6,3-20

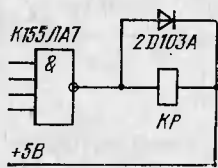


Рис. П4.4

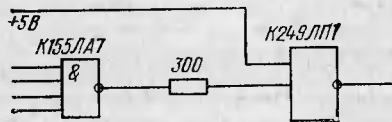


Рис. П4.5

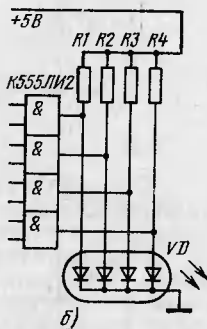
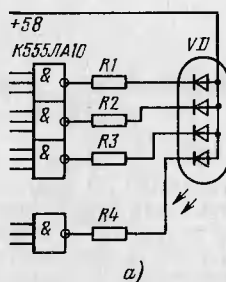


Рис. П4.6

П4.4. Согласование микросхемы К155ЛА7 с реле типа РЭС 64А. КР — реле РЭС 65А

П4.5. Включение микросхемы К249ЛП1

П4.6. Схема индикации с применением линейных шкал:

а — VD — линейная шкала АЛС 362В (красный цвет индикации), R1—R4 — резистор 750 Ом; б — VD — линейная шкала АЛС 362Ж (желтый цвет индикации), АЛС 362М (зеленый цвет индикации); R1—R4 — резистор 750 Ом

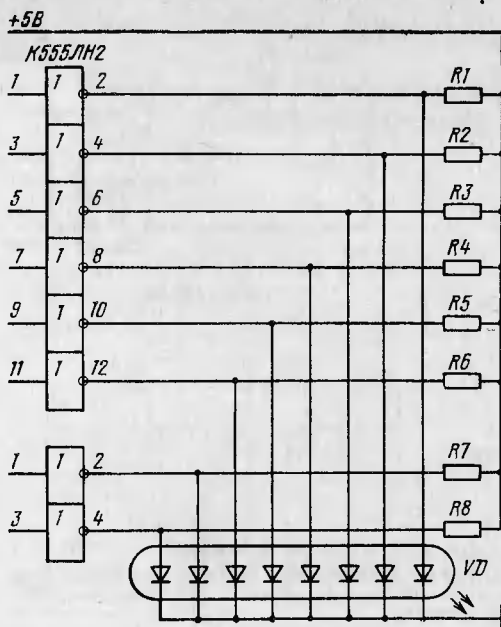


Рис. П4.7

П4.7. Схема индикации с применением знакового индикатора

VD — знаковый индикатор АЛ 304А; R1—R8 — резистор 1 кОм

П4.8. Согласование ИС К555ЛН2 с лампой накаливания:

EL — лампа накаливания СМН-10-55; VT — транзисторная сборка КТ 209Б

П4.9. Согласование микросхемы К155ЛА8 с реле типа РЭС 48:

КР — реле РЭС 48

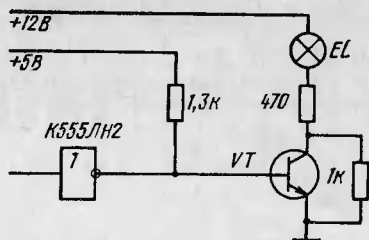


Рис. П4.8

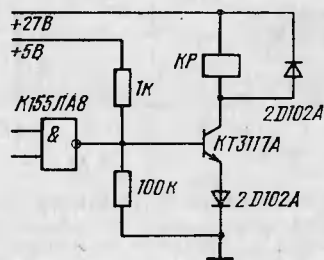


Рис. П4.9

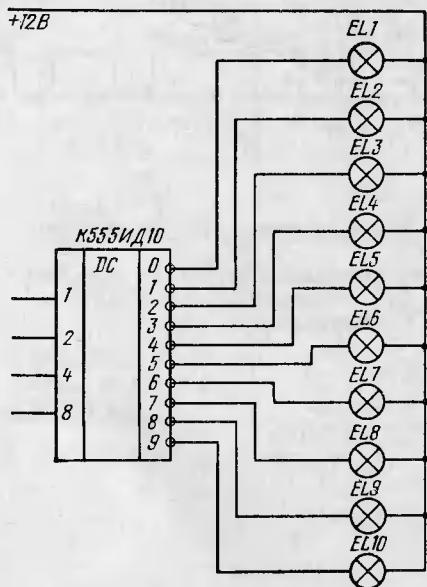


Рис. П4.10

П4.10. Согласование ИС К555ИД10 с лампой накаливания:

EL1—EL10 — лампа накаливания СМН-12-5

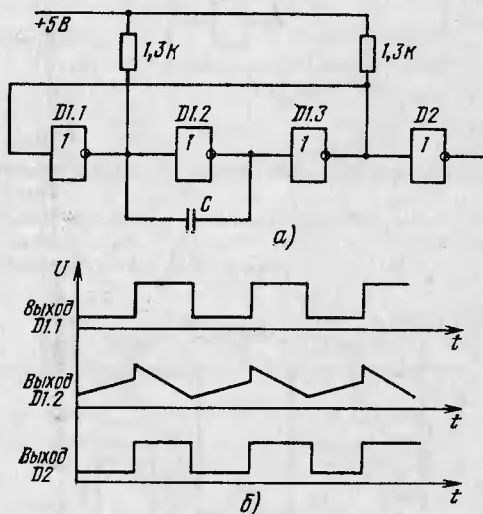


Рис. П4.11

П4.11. Генератор прямоугольных импульсов (1 вариант):

а — схема электрическая, D1 — микросхема К555ЛН2, D2 — микросхема К555ЛН1, C — конденсатор выбирается в зависимости от выходной длительности импульса (не более 0,003 мкФ); б — временная диаграмма генератора

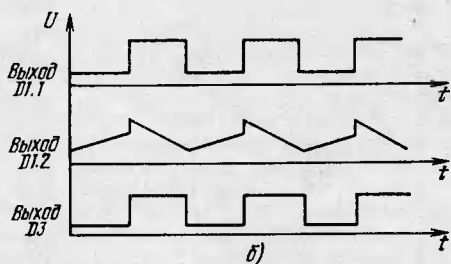
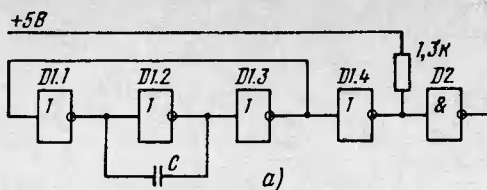


Рис. П4.12

П4.12. Генератор прямоугольных импульсов (II вариант):

a — схема электрическая, *D1* — микросхема К555ЛН2, *D2* — микросхема К555ЛА1, *C* — конденсатор выбирается в зависимости от выходной длительности импульса (не более 1 мкФ); *б* — временная диаграмма генератора

П4.13. Схема формирования коротких импульсов по отрицательному фронту входного сигнала

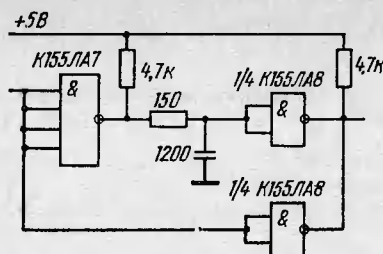


Рис. П4.13

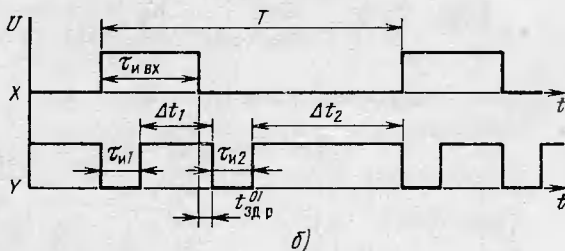
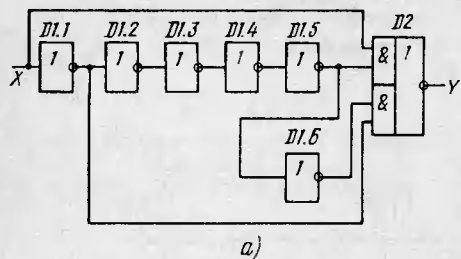


Рис. П4.14

Формирователь импульсов по положительному и отрицательному фронтам входного сигнала:

a — схема электрическая, *D1* — микросхема К555ЛН1, *D2* — микросхема К555ЛР11; *б* — временная диаграмма; $\Delta t_1 = \tau_{и вх} - \tau_{и1} + t_{зд р}^{0,1}$; $\Delta t_2 = T - \tau_{и вх} - \tau_{и2} - t_{зд р}^{0,1}$; $\tau_{и1} \approx \tau_{и2} = n t_{зд р}^{1,0} + (n-1) t_{зд р}^{1,0}$; *n* — четное число элементов участвующих в задержке сигнала

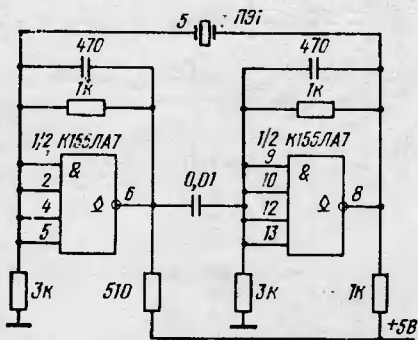
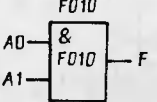
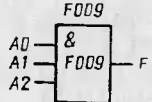
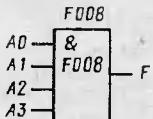
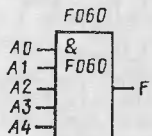
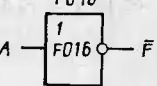
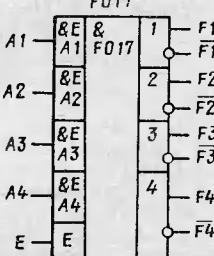
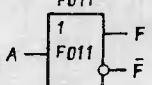


Рис. П4.15

Кварцевый генератор:
ПЭ1 — резонатор ПВ-18Е4-1536 кГц

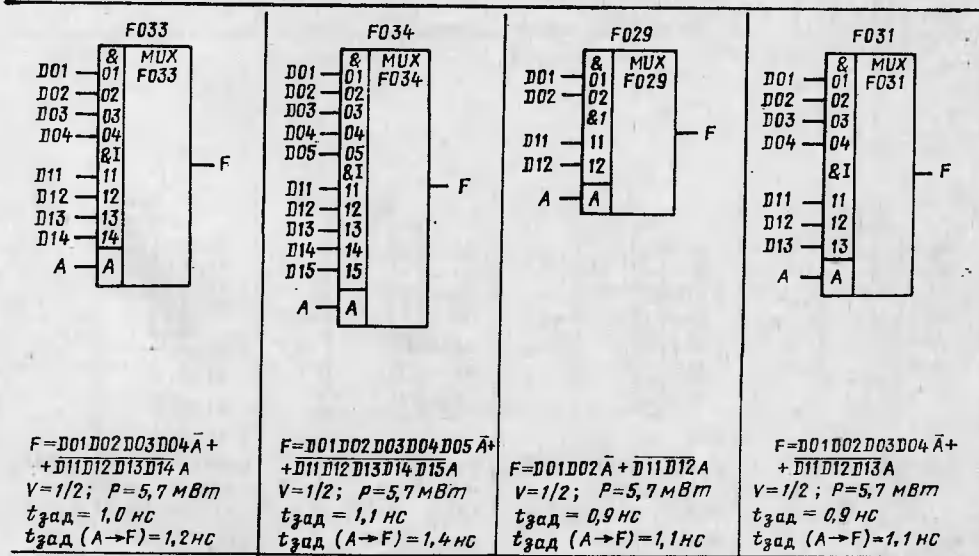
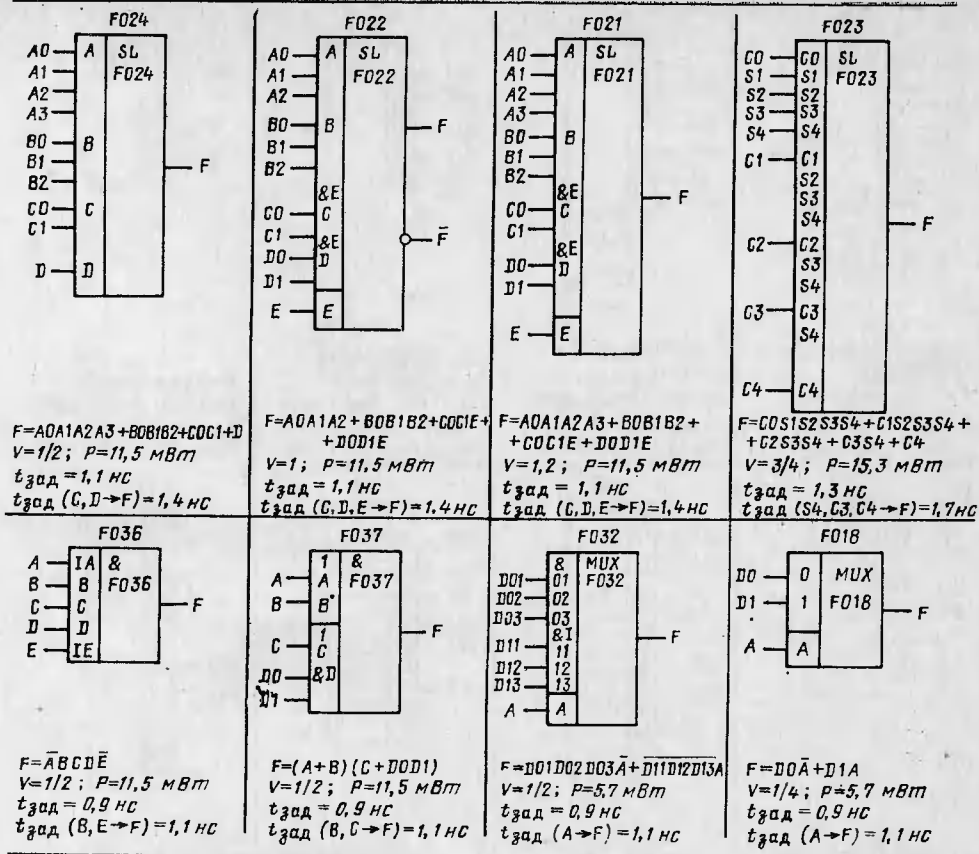
Расширенная библиотека * функциональных ячеек БМК-И300
для проектирования ЕС ЭВМ «Ряд-3»

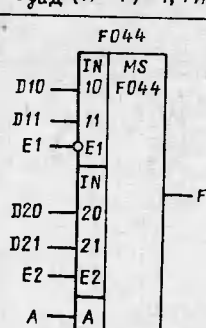
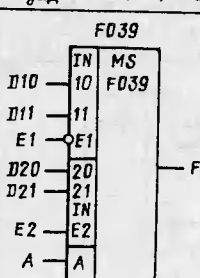
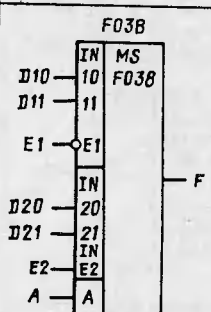
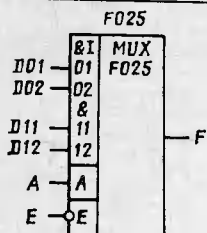
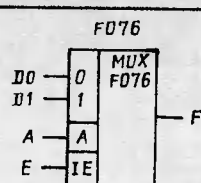
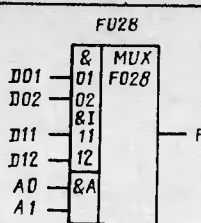
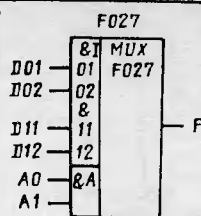
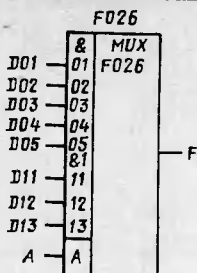
 $F = A0A1$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $F = A0A1A2$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $F = A0A1A2A3$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $F = A0A1A2A3A4$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$
 $\bar{F} = \bar{A}$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $F_i = A_i E$ $V=1; P=15,3 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $\bar{F} = A0A1$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $\bar{F} = A0A1A2$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$
 $\bar{F} = A0A1A2A3$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $F = A$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $F = A0A1$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$	 $F = A0A1A2$ $V=1/4; P=3,8 \text{ мВт}$ $t_{\text{зад}}=0,9 \text{ нс}$

* При разработке состава библиотеки ФЯ, ориентированного на реализацию функций ИС серии 500, были использованы результаты Л. А. Оборотовой, И. А. Тесли, А. Н. Комарова.

F005 $F = A0A1A2A3$ $V=1/4; P=3,8 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$	F007 $F = A0A1A2A3A4$ $V=1/4; P=3,8 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$	F061 $F = A+B$ $V=1,4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$	F068 $F = A0A1+B$ $V=1/4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$
F069 $F = A0A1+B0B1$ $V=1,4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$	F035 $\bar{F} = A0A1+B0B1$ $V=1/4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$	F063 $F = A0A1+B0B1$ $V=1/4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$	F064 $F = A0A1A2+B0B1$ $V=1/4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$

F070 $\bar{F} = A0A1A2+B0B1$ $V=1/4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow \bar{F}) = 1,1 \text{ нс}$	F019 $F = A0A1A2+B0B1$ $V=1/4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$	F020 $F = A0A1A2+B0B1B2$ $V=1/4; P=5,7 \text{ МВт}$ $t_{3ад} = 0,9 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,1 \text{ нс}$	F048 $F = A0A1+B0B1+C0C1$ $V=1/2; P=9,5 \text{ МВт}$ $t_{3ад} = 1,1 \text{ нс}$ $t_{3ад} (C \rightarrow F) = 1,4 \text{ нс}$
F065 $\bar{F} = A0A1+B0B1$ $V=1/2; P=9,5 \text{ МВт}$ $t_{3ад} = 1,1 \text{ нс}$ $t_{3ад} (B \rightarrow F) = 1,4 \text{ нс}$	F066 $F = A0A1A2+B0B1+C$ $V=1/2; P=9,5 \text{ МВт}$ $t_{3ад} = 1,1 \text{ нс}$ $t_{3ад} (C \rightarrow F) = 1,4 \text{ нс}$	F067 $F = A0A1+B0B1+C0C1+D0D1$ $V=1/2; P=11,5 \text{ МВт}$ $t_{3ад} = 1,1 \text{ нс}$ $t_{3ад} (C, D \rightarrow F) = 1,4 \text{ нс}$	F062 $\bar{F} = A0A1+B0B1+C0C1+D0D1$ $V=1/2; P=11,5 \text{ МВт}$ $t_{3ад} = 1,1 \text{ нс}$ $t_{3ад} (B, D \rightarrow \bar{F}) = 1,4 \text{ нс}$



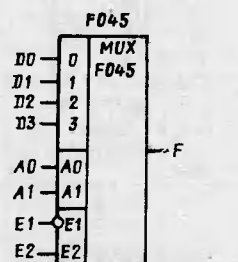
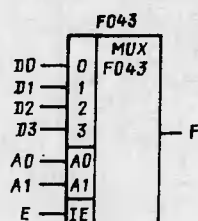
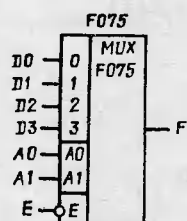
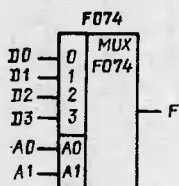


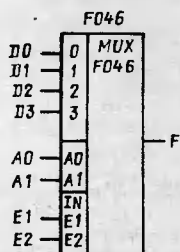
$F = D01D02\bar{A} + D11D12A + E$
 $V = 1/2; P = 9,5 \text{ MBm}$
 $t_{\text{зад}} = 1,1 \text{ HC}$
 $t_{\text{зад}} (A \rightarrow F) = 1,4 \text{ HC}$

$F = (D10\bar{A} + D11A + E1) \times (D20\bar{A} + D21A + E2)$
 $V = 3/4; P = 17,2 \text{ MBm}$
 $t_{\text{зад}} = 1,1 \text{ HC}$
 $t_{\text{зад}} (A \rightarrow F) = 1,4 \text{ HC}$

$F = (D10\bar{A} + D11A + E1) \times (D20\bar{A} + D21A + E2)$
 $V = 3/4; P = 17,2 \text{ MBm}$
 $t_{\text{зад}} = 1,1 \text{ HC}$
 $t_{\text{зад}} (A \rightarrow F) = 1,4 \text{ HC}$

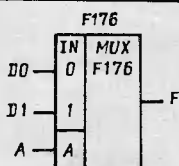
$F = (D10\bar{A} + D11A + E1) \times (D20\bar{A} + D21A + E2)$
 $V = 3/4; P = 17,2 \text{ MBm}$
 $t_{\text{зад}} = 1,1 \text{ HC}$
 $t_{\text{зад}} (A \rightarrow F) = 1,4 \text{ HC}$





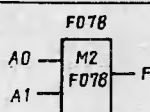
$$F = D0\overline{A0}\overline{A1} + D1A0\overline{A1} + D2\overline{A0}A1 + D3A0A1 + \overline{E1} + \overline{E2}$$

$V=1; P=23,0 \text{ мВт}$
 $t_{\text{зад}} = 1,3 \text{ нс}$
 $t_{\text{зад}} (A0, E1 \rightarrow F) = 1,7 \text{ нс}$



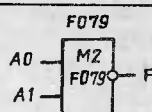
$$F = \overline{D0}\overline{A} + D1A$$

$V=1/4; P=5,7 \text{ мВт}$
 $t_{\text{зад}} = 0,9 \text{ нс}$
 $t_{\text{зад}} (A \rightarrow F) = 1,1 \text{ нс}$



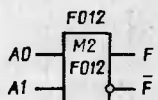
$$F = A0 \oplus A1$$

$V=1/4; P=5,7 \text{ мВт}$
 $t_{\text{зад}} = 0,9 \text{ нс}$
 $t_{\text{зад}} (A1 \rightarrow F) = 1,1 \text{ нс}$



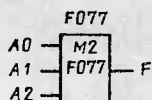
$$\overline{F} = A0 \oplus A1$$

$V=1/4; P=5,7 \text{ мВт}$
 $t_{\text{зад}} = 0,9 \text{ нс}$
 $t_{\text{зад}} (A1 \rightarrow F) = 1,1 \text{ нс}$



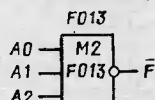
$$F = A0 \oplus A1$$

$V=1/4; P=5,7 \text{ мВт}$
 $t_{\text{зад}} = 0,9 \text{ нс}$
 $t_{\text{зад}} (A1 \rightarrow F) = 1,1 \text{ нс}$



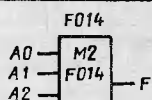
$$F = A0 \oplus A1 \oplus A2$$

$V=1/2; P=9,5 \text{ мВт}$
 $t_{\text{зад}} = 1,1 \text{ нс}$
 $t_{\text{зад}} (A2 \rightarrow F) = 1,4 \text{ нс}$



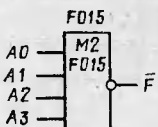
$$\overline{F} = A0 \oplus A1 \oplus A2$$

$V=1/2; P=9,5 \text{ мВт}$
 $t_{\text{зад}} = 1,1 \text{ нс}$
 $t_{\text{зад}} (A \rightarrow \overline{F}) = 1,4 \text{ нс}$



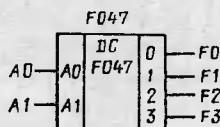
$$F = A0 \oplus A1 \oplus A2 \oplus A3$$

$V=1/2; P=11,5 \text{ мВт}$
 $t_{\text{зад}} = 1,1 \text{ нс}$
 $t_{\text{зад}} (A2, A3 \rightarrow F) = 1,4 \text{ нс}$



$$\overline{F} = A0 \oplus A1 \oplus A2 \oplus A3$$

$V=1/2; P=11,5 \text{ мВт}$
 $t_{\text{зад}} = 1,1 \text{ нс}$
 $t_{\text{зад}} (A2, A3 \rightarrow \overline{F}) = 1,4 \text{ нс}$



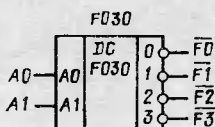
$$F0 = \overline{A0} \overline{A1}$$

$$F1 = A0 \overline{A1}$$

$$F2 = A0 A1$$

$$F3 = A0 \overline{A1}$$

$V=1/2; P=5,7 \text{ мВт}$
 $t_{\text{зад}} = 0,9 \text{ нс}$
 $t_{\text{зад}} (A1 \rightarrow F) = 1,1 \text{ нс}$



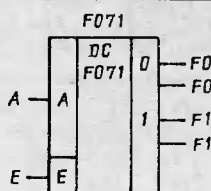
$$\overline{F0} = \overline{A0} \overline{A1}$$

$$\overline{F1} = A0 \overline{A1}$$

$$\overline{F2} = A0 A1$$

$$\overline{F3} = A0 \overline{A1}$$

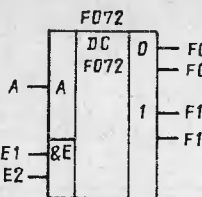
$V=1; P=19,1 \text{ мВт}$
 $t_{\text{зад}} = 1,1 \text{ нс}$



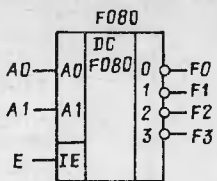
$$F0 = \overline{A} E$$

$$F1 = A E$$

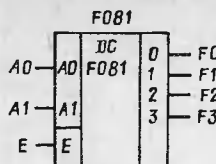
$V=1/2; P=5,7 \text{ мВт}$
 $t_{\text{зад}} = 0,9 \text{ нс}$
 $t_{\text{зад}} (E \rightarrow F) = 1,1 \text{ нс}$



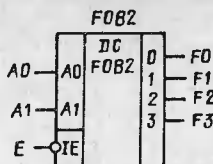
$F0 = \bar{A}E1E2$
 $F1 = AE1E2$
 $V=1/2; P=5,7 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(E \rightarrow F) = 1,1 \text{ HC}$



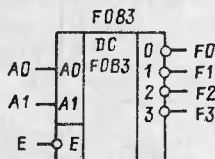
$F0 = \bar{A}0\bar{A}1 + E$
 $F1 = A0\bar{A}1 + E$
 $F2 = A0A1 + E$
 $F3 = \bar{A}0A1 + E$
 $V=1; P=19,1 \text{ MBT}$
 $t_{\text{зад}} = 1,1 \text{ HC}$
 $t_{\text{зад}}(E \rightarrow F) = 1,4 \text{ HC}$



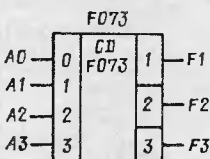
$F0 = \bar{A}0\bar{A}1E$
 $F1 = A0\bar{A}1E$
 $F2 = A0A1E$
 $F3 = \bar{A}0A1E$
 $V=1/2; P=9,5 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(E \rightarrow F0-F3) = 1,1 \text{ HC}$



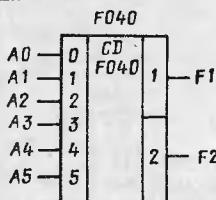
$F0 = \bar{A}0\bar{A}1\bar{E}$
 $F1 = A0\bar{A}1\bar{E}$
 $F2 = \bar{A}0A1\bar{E}$
 $F3 = A0A1\bar{E}$
 $V=1/2; P=9,5 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(E \rightarrow F0-F3) = 1,1 \text{ HC}$



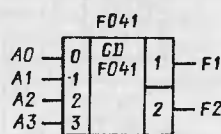
$F0 = \bar{A}0\bar{A}1 + E$
 $F1 = A0\bar{A}1 + E$
 $F2 = \bar{A}0A1 + E$
 $F3 = A0A1 + E$
 $V=1; P=19,1 \text{ MBT}$
 $t_{\text{зад}} = 1,1 \text{ HC}$
 $t_{\text{зад}}(E \rightarrow F0-F3) = 1,4 \text{ HC}$



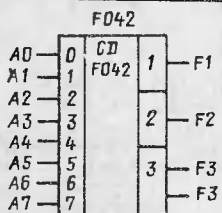
$F1 = \bar{A}0 + A1(A2 + A3)$
 $F2 = A0A1 + A2A3$
 $F3 = A0A1A2A3$
 $V=1; P=21,0 \text{ MBT}$
 $t_{\text{зад}}(A0 \rightarrow F1, F2) = 0,9 \text{ HC}$
 $t_{\text{зад}}(A1-A3 \rightarrow F1, F2) = 1,2 \text{ HC}$
 $t_{\text{зад}}(A0-A3 \rightarrow F3) = 0,9 \text{ HC}$



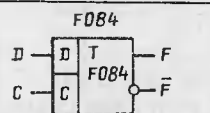
$F1 = \bar{A}0A1A2A3 + A4A5$
 $F2 = A0A1A2A3A4 + A5$
 $V=1/2; P=11,5 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(A4, A5 \rightarrow F) = 1,1 \text{ HC}$



$F1 = \bar{A}0A1 + A2A3$
 $F2 = \bar{A}0 + A1(A2 + A3)$
 $V=3/4; P=17,2 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(A1-A3 \rightarrow F) = 1,1 \text{ HC}$

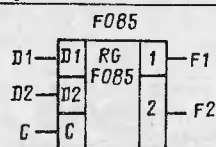


$F1 = A0A1A2A3$
 $F2 = A0A1A2A3A4A5A6 + A7$
 $F3 = A0A1A2A3A4A5 + A6A7$
 $V=1; P=19,1 \text{ MBT}$
 $t_{\text{зад}} = 1,1 \text{ HC}$
 $t_{\text{зад}}(A6, A7 \rightarrow F1-F3) = 1,4 \text{ HC}$



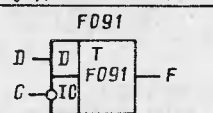
C	D	F^{n+1}
1	1/0	D
0	X	F^n

$V=1/2; P=9,6 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(C \rightarrow F) = 1,1 \text{ HC}$



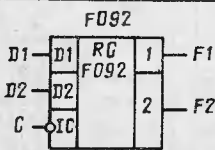
C	D_i	F_i^{n+1}
1	1/0	D_i
0	X	F_i^n

$V=1/2; P=17,2 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(C \rightarrow F_i) = 1,1 \text{ HC}$



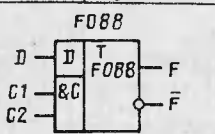
C	D	F^{n+1}
0	1/0	D
1	X	F^n

$V=1/4; P=9,6 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(C \rightarrow F) = 1,1 \text{ HC}$



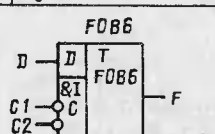
C	D_i	F_i^{n+1}
0	1/0	D_i
1	X	F_i^n

$V=1/2; P=17,2 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(C \rightarrow F_i) = 1,1 \text{ HC}$



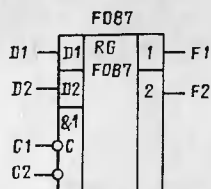
C	D	F^{n+1}
0	1/0	D
1	X	F^n

$C = C1C2$
 $V=1/2; P=9,6 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(C1, C2 \rightarrow F) = 1,1 \text{ HC}$



C	D	F^{n+1}
1	1/0	D
0	X	F^n

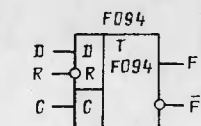
$C = (\bar{C}1 + \bar{C}2)$
 $V=1/4; P=9,6 \text{ MBT}$
 $t_{\text{зад}} = 0,9 \text{ HC}$
 $t_{\text{зад}}(C1, C2 \rightarrow F) = 1,1 \text{ HC}$



C	D_i	F_i^{n+1}
1	1/0	D_i
0	X	F_i^n

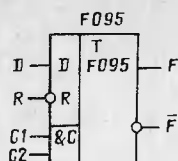
$$C = \overline{C1} + \overline{C2}$$

$V = 1/2$; $P = 17,2$ МВт
 $t_{\text{зад}} = 0,9$ нс
 $t_{\text{зад}}(C1, C2 \rightarrow F) = 1,1$ нс



R	C	D	F^{n+1}
1	1	1/0	D
1	0	X	F^n
0	0	X	D

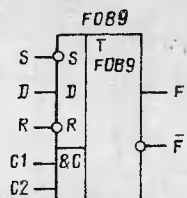
$V = 1/2$; $P = 9,6$ МВт
 $t_{\text{зад}} = 0,9$ нс
 $t_{\text{зад}}(C \rightarrow F) = 1,1$ нс



R	C	D	F^{n+1}
1	1	1/0	D
1	0	X	F^n
0	0	X	D

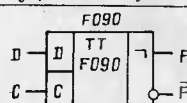
$$C = C1C2$$

$V = 1/2$; $P = 9,6$ МВт
 $t_{\text{зад}} = 0,9$ нс
 $t_{\text{зад}}(C1, C2 \rightarrow F) = 1,1$ нс



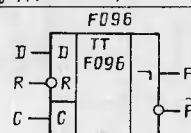
R	S	C	D	F^{n+1}
1	1	1	1/0	D
1	1	0	X	F^n
1	0	0	X	1
0	1	0	X	0
0	0	0	X	H/C

$C = C1C2$
 H/C-неопределенное состояние
 $V = 1/2$; $P = 9,6$ МВт
 $t_{\text{зад}} = 0,9$ нс
 $t_{\text{зад}}(C1, C2 \rightarrow F) = 1,1$ нс



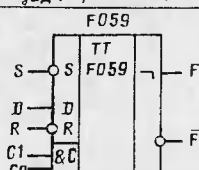
C	D	F^{n+1}
1	X	F^n
0	X	F^n
1→0	1/0	D

$V = 1/2$; $P = 17,2$ МВт
 $t_{\text{зад}} = 1,1$ нс



R	C	D	F^{n+1}
1	1	X	F^n
1	0	X	F^n
1	1→0	1/0	D
0	X	X	0

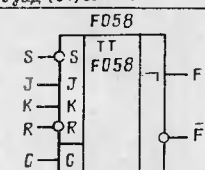
$V = 3/4$; $P = 17,2$ МВт
 $t_{\text{зад}} = 1,1$ нс



R	S	C	D	F^{n+1}
1	1	1	X	F^n
1	1	0	X	F^n
1	1	1→0	1/0	D
1	0	X	X	1
0	1	X	X	0
0	0	X	X	H/C

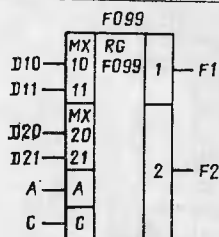
$$C = C1C2$$

$V = 3/4$; $P = 17,2$ МВт
 $t_{\text{зад}} = 1,1$ нс



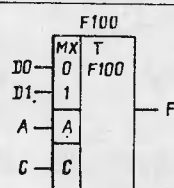
R	S	J	K	C	F^{n+1}
1	1	1	1	1→0	F^n
1	1	0	1	1→0	0
1	1	1	0	1→0	1
1	1	0	0	1→0	F^n
1	0	X	X	X	1
0	1	X	X	X	0
0	0	X	X	X	H/C

$V = 1$; $P = 28,7$ МВт
 $t_{\text{зад}}(C, S \rightarrow F) = 2,0$ нс
 $t_{\text{зад}}(R \rightarrow F) = 1,1$ нс



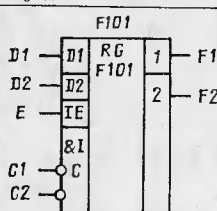
C	D_i	F_i^{n+1}
1	1/0	D_i
0	X	F_i^n

$D_i = D_{0i} \bar{A} + D_{1i} A$
 $V = 1$; $P = 30,6$ МВт
 $t_{\text{зад}}(D \rightarrow F_i) = 1,8$ нс
 $t_{\text{зад}}(C \rightarrow F_i) = 1,2$ нс
 $t_{\text{зад}}(A \rightarrow F_i) = 2,0$ нс



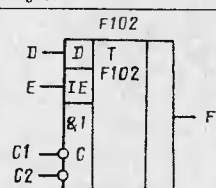
C	D	F^{n+1}
1	1/0	D
0	X	F^n

$D = D0 \bar{A} + D1 A$
 $V = 1/2$; $P = 17,2$ МВт
 $t_{\text{зад}}(D \rightarrow F) = 1,8$ нс
 $t_{\text{зад}}(C \rightarrow F) = 1,1$ нс
 $t_{\text{зад}}(A \rightarrow F) = 2,0$ нс



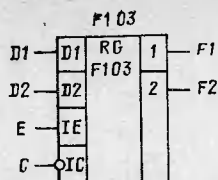
C	D_i	F_i^{n+1}
1	1/0	D_i
0	X	F_i^n

$C = \overline{C1} + \overline{C2}$
 $F_i = \overline{F_i^{n+1}} E$
 $V = 1$; $P = 24,9$ МВт
 $t_{\text{зад}}(D \rightarrow F_i) = 1,8$ нс
 $t_{\text{зад}}(C \rightarrow F_i) = 1,1$ нс
 $t_{\text{зад}}(A \rightarrow F_i) = 2,0$ нс



C	D	F^{n+1}
1	1/0	D
0	X	F^n

$C = \overline{C1} + \overline{C2}$
 $F = F^{n+1} E$
 $V = 1/2$; $P = 13,4$ МВт
 $t_{\text{зад}}(D \rightarrow F) = 1,8$ нс
 $t_{\text{зад}}(C \rightarrow F) = 2,0$ нс
 $t_{\text{зад}}(E \rightarrow F) = 0,9$ нс



C	D _i	F _i ⁿ⁺¹
1	1/0	D _i
0	x	F _i ⁿ

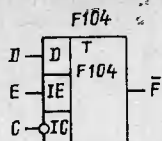
$$F_i = \overline{F_i^{n+1}} E$$

$$V=1; P=24,9 \text{ МВт}$$

$$t_{\text{зад}} (D \rightarrow F_i) = 1,8 \text{ нс}$$

$$t_{\text{зад}} (C \rightarrow F_i) = 2,0 \text{ нс}$$

$$t_{\text{зад}} (E \rightarrow F_i) = 0,9 \text{ нс}$$



C	D	F ⁿ⁺¹
1	1/0	D
0	x	F ⁿ

$$F = \overline{F^{n+1}} E$$

$$V=1/2; P=13,4 \text{ МВт}$$

$$t_{\text{зад}} (D \rightarrow F) = 1,8 \text{ нс}$$

$$t_{\text{зад}} (C \rightarrow F) = 2,0 \text{ нс}$$

$$t_{\text{зад}} (E \rightarrow F) = 0,9 \text{ нс}$$

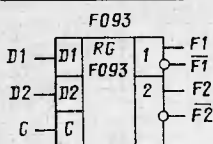


C	D	F ⁿ⁺¹
1	1/0	D
0	x	F ⁿ

$$V=1/4; P=9,6 \text{ МВт}$$

$$t_{\text{зад}} = 0,9 \text{ нс}$$

$$t_{\text{зад}} (C \rightarrow F) = 1,1 \text{ нс}$$

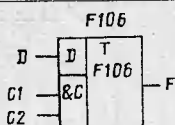


C	D _i	F _i ⁿ⁺¹
1	1/0	D _i
0	x	F _i ⁿ

$$V=1; P=17,2 \text{ МВт}$$

$$t_{\text{зад}} = 0,9 \text{ нс}$$

$$t_{\text{зад}} (C \rightarrow F_i) = 1,1 \text{ нс}$$



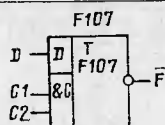
C	D	F ⁿ⁺¹
1	1/0	D
0	x	F ⁿ

$$C = C1C2$$

$$V=1/2; P=9,6 \text{ МВт}$$

$$t_{\text{зад}} = 0,9 \text{ нс}$$

$$t_{\text{зад}} (C \rightarrow F) = 1,1 \text{ нс}$$



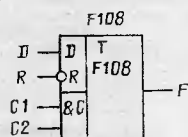
C	D	F ⁿ⁺¹
1	1/0	D
0	x	F ⁿ

$$C = C1C2$$

$$V=1/2; P=9,6 \text{ МВт}$$

$$t_{\text{зад}} = 0,9 \text{ нс}$$

$$t_{\text{зад}} (C1,2 \rightarrow F) = 1,1 \text{ нс}$$



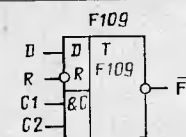
R	C	D	F ⁿ⁺¹
1	1	1/0	D
1	0	x	F ⁿ
0	0	x	0

$$C = C1C2$$

$$V=1/2; P=9,6 \text{ МВт}$$

$$t_{\text{зад}} = 0,9 \text{ нс}$$

$$t_{\text{зад}} (C1,2 \rightarrow F) = 1,1 \text{ нс}$$



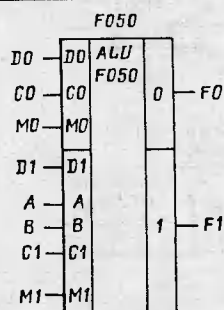
R	C	D	F ⁿ⁺¹
1	1	1/0	D
1	0	x	F ⁿ
0	0	x	1

$$C = C1C2$$

$$V=1/2; P=9,6 \text{ МВт}$$

$$t_{\text{зад}} = 0,9 \text{ нс}$$

$$t_{\text{зад}} (C1,2 \rightarrow F) = 1,1 \text{ нс}$$



$$F0 = \overline{M0C0} \oplus D0$$

$$F1 = M1(A + BC1) \oplus D1$$

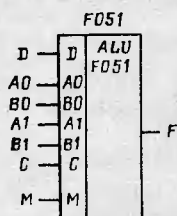
$$V=1; P=19,1 \text{ МВт}$$

$$t_{\text{зад}} (C0, M0 \rightarrow F0) = 0,9 \text{ нс}$$

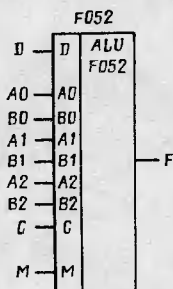
$$t_{\text{зад}} (D0, D1 \rightarrow F0,1) = 1,1 \text{ нс}$$

$$t_{\text{зад}} (B, C1 \rightarrow F1) = 1,8 \text{ нс}$$

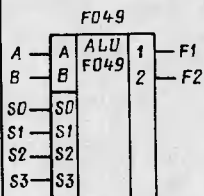
$$t_{\text{зад}} (A, M1 \rightarrow F1) = 2,0 \text{ нс}$$



$F = M(A1 + A0B1 + B0B1C) \oplus D$
 $V = 3/4; P = 19,1 \text{ MBm}$
 $t_{\text{гад}}(C, A0, B0, B1 \rightarrow F) = 2,2 \text{ HC}$
 $t_{\text{гад}}(M, A1 \rightarrow F) = 2,5 \text{ HC}$
 $t_{\text{гад}}(D \rightarrow F) = 1,1 \text{ HC}$

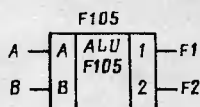


$F = M(A2 + A1B2 + A0B1B2 + B0B1B2C) \oplus D$
 $V = 3/4; P = 21,0 \text{ MBm}$
 $t_{\text{гад}} = 2,2 \text{ HC}$



$F1 = A + BS0 + \bar{B}S1$
 $F2 = A\bar{B}S2 + ABS3$
 $V = 1/2; P = 13,4 \text{ MBm}$
 $t_{\text{гад}}(B \rightarrow F0, F1) = 1,1 \text{ HC}$
 $t_{\text{гад}} = 0,9 \text{ HC}$

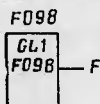
S0	S1	S2	S3	F1	F2
0	0	0	0	A	0
1	0	0	0	A+B	0
0	1	0	0	A+B	0
1	1	0	0	1	0
0	0	1	0	A	A
1	0	1	0	A+B	A
0	1	1	0	A+B	A
1	1	1	0	1	A
0	0	0	1	A	AB
1	0	0	1	A+B	AB
0	1	0	1	A+B	AB
1	1	0	1	1	AB
0	0	1	1	A	A
1	0	1	1	A+B	A
0	1	1	1	A+B	A
1	1	1	1	1	A



$F1 = A\bar{B} + \bar{A}B$
 $F2 = AB$
 $V = 1/4; P = 5,7 \text{ MBm}$
 $t_{\text{гад}}(A \rightarrow F1, F2) = 0,9 \text{ HC}$
 $t_{\text{гад}}(B \rightarrow F1, F2) = 1,1 \text{ HC}$



$F = 0$
 $V = 1/4; P = 3,8 \text{ MBm}$



$F = 1$
 $V = 1/4; P = 3,8 \text{ MBm}$

1. **Основы** построения технических средств ЕС ЭВМ на интегральных микросхемах/В. В. Саморуков, В. М. Микитин, В. А. Павлычев и др. Под ред. Б. Н. Файзулаева. — М.: Радио и связь, 1981. — 288 с.
2. **Интегральные микросхемы:** Справочник/Б. В. Тарабрин, Л. Ф. Лунин, Ю. Н. Смирнов и др.; Под ред. Б. В. Тарабрина. — М.: Радио и связь, 1984—528 с.
3. **Аналоговые и цифровые интегральные схемы:** Справочное пособие/С. В. Якубовский, Н. А. Барканов, Л. И. Нисельсон и др. Под ред. С. В. Якубовского. — М.: Радио и связь, 1984, — 432 с.
4. **Элементы ЭВМ на полупроводниковых приборах/** Т. Л. Альховская, Е. И. Гальперин, В. И. Геворкян и др.; Под ред. Е. И. Гальперина. — М.: Сов. радио, 1969. — 558 с.
5. **Левин В. К., Файзулаев Б. Н.** Анализ передачи импульсных сигналов в цепочке односторонних формирующих каскадов. — Радиотехника, 1966, т. 21, № 4, с. 58—61.
6. **Ефимов И. Е., Козырь И. Я.** Основы микроэлектроники. — М.: Высшая школа, 1983. — 272 с.
7. **Алексенко А. Г., Шагурин И. И.** Микросхемотехника. — М.: Радио и связь, 1982. — 416 с.
8. **Шагурин И. И.** Транзисторно-транзисторные логические схемы. — М.: Сов. радио. 1974. — 160 с.
9. **Скарлетт Дж.** Транзисторно-транзисторные логические интегральные схемы и их применение: Пер. с англ./Пер. В. Л. Левина, Л. С. Ходоша. Под ред. Б. И. Ермолаева. — М.: Мир. 1974. — 288 с.
10. **Мейзда Ф.** Интегральные схемы. Технология и применение: Пер. с англ./Пер. И. И. Короткевича, В. Г. Микуцкого. Под ред. Е. И. Гальперина. — М.: Мир, 1981. — 280 с.
11. **Ломов Ю. С., Файзулаев Б. Н., Микитин В. М.** Влияние конструкции на быстродействие ЭВМ. — Вопросы радиоэлектроники, Сер. ЭВТ, 1984, вып. 7, с. 16—29.
12. **Проектирование** цифровых систем на компонентах микропрограммируемых БИС/С. С. Булгаков, В. М. Мещеряков, В. В. Новоселов — М.: Радио и связь, 1984. — 240 с.
13. **Березенко А. И., Корягин Л. Н., Назарьян А. Р.** Микропроцессорные комплекты повышенного быстродействия. — М.: Радио и связь, 1981. — 168 с.
14. **Наумов Ю. Е., Аваев Н. А., Бедрековский М. А.** Помехоустойчивость устройств на интегральных схемах. — М.: Сов. радио, 1975. — 216 с.
15. **Мик Дж., Брик Дж.** Проектирование микропроцессорных устройств с разрядно-модульной организацией: Пер. с англ. /Пер. В. И. Гуревича, В. М. Кисельникова, С. А. Кузнецова. — М.: Мир, 1984. — 480 с.
16. **Кононов Б. Н.** Применение нелинейной обратной связи для устранения насыщения полупроводниковых триодов в импульсных схемах. — Радиотехника и электроника, 1957, № 10.
17. **Анализ и расчет интегральных схем.** Ч. 2. Логические интегральные схемы: Пер. с англ./Д. Линн, Ч. Майер, Д. Гамильтон и др.; Под ред. Б. И. Ермолаева. — М.: Мир, 1969. — 387 с.
18. **MECL High-Speed Integrated Circuits** Motorola Inc. USA, 1978.
19. **Файзулаев Б. Н.** Переходные процессы в транзисторных каскадах. — М.: Связь, 1968.
20. **ECL Data Book.** — Fairchild Camera and Instrument Corp. USA. — 1977.
21. **Филиппов А. Г., Белкин О. С.** Проектирование логических узлов ЭВМ. — М.: Сов. радио, 1974. — 344 с.
22. **Блад В. Р.** Семейство ЭСЛ процессорных секций с высокой плотностью элементов. — Электроника, 1979, № 3, с. 23—24.
23. **Лебедева С. Н.** Микропроцессорный комплект быстродействующих БИС серии К1800. — Электронная промышленность, 1983, вып. 9, с. 7—11.
24. **Арбайтис В., Седаскас С. Ю., Беляускас В. Б.** Быстродействующие АЛУ К1800ВС1. — Электронная промышленность, 1983, вып. 9, с. 42—43.
25. **Лебедева С. Н., Пятраускас А. В. В.** Микросхема синхронизации К1800ВБ2. — Электронная промышленность, 1983, вып. 4, с. 19—20.
26. **Горбачев А. А., Саморуков В. В.** Помехозащищенность и область работоспособности быстродействующих ЭСЛ микросхем серии К500. — Вопросы радиоэлектроники. Сер. ЭВТ, 1980, вып. 8, с. 84—91.
27. **Пупин А. А., Разумов Ю. И.** Базовые кристаллы и тенденции их развития. — Зарубежная электронная техника, 1979, № 8, с. 3—44.
28. **Жуковский В. А., Кушнер Ю. К., Бубенинников А. Н.** Биполярные матричные БИС — элементарно-конструктивная база высокопроизводительных ЭВМ четвертого поколения. — Зарубежная радиоэлектроника, 1979, № 11, с. 3—21.
29. **Саморуков В. В., Свиридов В. Н., Хохлюшкин А. В.** Выбор логического элемента быстродействующих матричных

БИС.— Вопросы радиоэлектроники. Сер. ЭВТ, 1977, вып. 3, с. 92—105.

30. Немудров В. Г., Лебедев В. И., Гладков В. Н., Иванов Ю. П. Быстродействующие БИС на переключателях тока. — М.: Радио и связь, 1982.

31. Hartmann R. LSI Gate Arrays Outage Standard Logic. — Electronic Design, 1981, № 5, p. 107—112.

32. Nively T. Subnanosecond ECL Gate Array. — Progress. Fairchild J. of Semiconductor, 1978, v. 6, N 3, p. 3—9.

33. Романов Ф. И., Шахнов В. А. Конструкционные системы микро-ЭВМ. — М.: Радио и связь, 1983.

34. Ларионов А. М., Левин В. К., Пржиялковский В. В., Фатеев А. Е. Технические и эксплуатационные характеристики моделей ЭВМ Единой системы. — Управляющие системы и машины, 1973, № 3, с. 77—90.

35. Ларионов А. М., Левин В. К., Ермлаев Б. И., Файзулаев Б. Н., Фатеев А. Е. Конструктивно-технологическая и элементная база ЕС ЭВМ. — Управляющие системы и машины, 1973, № 4, с. 132—140.

36. Файзулаев Б. Н., Малярский Н. М., Микитин В. М. Конструктивно-технологическая база ЕС ЭВМ. — Вопросы радиоэлектроники. Сер. ЭВТ, 1973, вып. 5, с. 10—22.

37. Система документации Единой системы ЭВМ/Под ред. А. М. Ларионова. — М.: Статистика, 1976. — 328 с.

38. Конструирование функциональных узлов ЭВМ на интегральных схемах/Б. И. Ермолаев, В. И. Вартанян, И. В. Дудоров и др.; Под ред. Б. И. Ермолаева. — М.: Сов. радио, 1978. — 200 с.

39. Landman B. S., Russo R. L. On a Pin Versus Block Relationship for Partitions of Logic Graphs. — IEEE Trans., 1971, v. C-20, p. 1469—1479.

40. Russo R. L. On the Tradeoff between Logic Performance and Circuit to Pin Ratio for LSI. — IEEE Trans., 1972, v. C-21, p. 147—153.

41. Микитин В. М., Макаров В. Ю., Юшин Ю. Ф. Метод компоновки элементов и его применение при проектировании узлов ЭВМ. — Вопросы радиоэлектроники. Сер. ЭВТ, 1984, вып. 7, с. 106—115.

42. Каменский В. В., Микитин В. М. Определение средней длины связи на печатных платах с большими интегральными схемами. — Вопросы радиоэлектроники. Сер. ЭВТ, 1982, вып. 16, с. 100—105.

43. Файзулаев Б. Н., Павлычев В. А., Дабки В. А. Оценка длины линий связи в логических цепях ЭВМ. — Вопросы радиоэлектроники. Сер. ЭВТ, 1982, вып. 16, с. 95—99.

44. Пржиялковский В. В., Ломов Ю. С., Файзулаев Б. Н. Проблемы и пути технической реализации высокопроизводительных ЭВМ на основе БИС. — Управляющие системы и машины, 1980, № 6, с. 15—23.

45. Файзулаев Б. Н. Проблема быстрого действия элементной базы ЭВМ. — Микроэлектроника и полупроводниковые приборы/Под ред. А. А. Васенкова и Я. А. Федотова. — М.: Радио и связь, 1981, вып. 6, с. 2—35.

46. Колеснева С. Н., Махонин О. Н., Переверзев В. А. Логические ЭСЛ схемы серии К1500. — Электронная промышленность, 1984, № 6, с. 35—36.

Оглавление

Предисловие	3	4.5. Магистральные линии связи	89
РАЗДЕЛ I.		4.6. Защита от статического электричества	91
ОБЩИЕ СВЕДЕНИЯ О ЦИФРОВЫХ МИКРОСХЕМАХ	4	Глава 5.	
Глава 1.		Типовые функциональные узлы	92
Особенности работы логических элементов	4	5.1. Триггеры	92
1.1. Совместимость входных и выходных сигналов	4	5.2. Преобразователи кодов	93
1.2. Нагрузочная способность	5	5.3. Счетчики	96
1.3. Квантование (формирование) сигналов	5	5.4. Регистры	108
1.4. Помехоустойчивость	6	5.5. Сумматоры	113
1.5. Работоспособность в широкой области допусков на параметры	7	5.6. Дешифраторы	115
1.6. Затухание переходных процессов за время одного такта	8	5.7. Схемы сравнения	116
Глава 2.		5.8. Другие функциональные устройства	117
Основные характеристики и параметры логических элементов	9	Глава 6.	
2.1. Основные характеристики логических элементов	9	Микропроцессорные БИС	130
2.2. Основные параметры логических элементов	12	6.1. Микропроцессорный комплект БИС серии К589	130
2.3. Условные обозначения серий цифровых микросхем	14	6.2. Микропроцессорный комплект БИС серии КР1302	139
РАЗДЕЛ II.		6.3. Микропроцессорный комплект БИС серии К1804	150
МИКРОСХЕМЫ НА ОСНОВЕ ТРАНЗИСТОРНО-ТРАНЗИСТОРНОЙ ЛОГИКИ	17	РАЗДЕЛ III.	
Глава 3.		МИКРОСХЕМЫ НА ОСНОВЕ ЭМИТТЕРНО-СВЯЗАННОЙ ЛОГИКИ	163
Характеристики и параметры микросхем серий К155, К555, К531, КР1531, КР1533	17	Глава 7.	
3.1. Электрические схемы и принципы работы	17	Характеристики и параметры микросхем серий 500	163
3.2. Типовые характеристики и параметры	20	7.1. Общие сведения	163
3.3. Зависимость типовых характеристик и параметров от режимов и условий эксплуатации	24	7.2. Электрические схемы и принцип работы логических элементов	163
3.4. Функциональный состав	25	7.3. Особенности технологии	166
Глава 4.		7.4. Типовые характеристики и параметры микросхем	167
Рекомендации по применению ТТЛ микросхем	69	7.5. Зависимость характеристик и параметров микросхем от режимов и условий эксплуатации	170
4.1. Особенности применения логических элементов ТТЛ	69	7.6. Конструкции корпуса и тепловые параметры микросхем	171
4.2. Обеспечение помехоустойчивости	75	7.7. Функциональный состав микросхем	173
4.3. Способы повышения помехоустойчивости	83	7.8. Резисторные, резисторно-конденсаторные и конденсаторные блоки	185
4.4. Правила электромонтажа ИС ТТЛ	86	Глава 8.	
		Характеристики и параметры микросхем серии К1500	190
		8.1. Электрические схемы и принцип работы	190
		8.2. Типовые характеристики и параметры	193
		8.3. Функциональный состав	195

8.4. Конструкция корпусов и тепловые параметры	205
8.5. Резисторно-конденсаторные блоки КС-1Р	207
Глава 9.	
Рекомендации по применению ЭСЛ микросхем	208
9.1. Особенности применения ИС серии 500	208
9.2. Особенности применения ИС серии К1500	217
Глава 10.	
Типовые функциональные узлы	222
10.1. Типовые функциональные узлы на основе ИС серии 500	222
10.2. Типовые функциональные узлы на основе СИС серии К1500	234
Глава 11.	
Микропроцессорные БИС	240
11.1. Микропроцессорный комплект БИС ЭСЛ серии К1800	240
11.2. Арифметическо-логическое устройство	241
11.3. Микросхема микропрограммного управления	248
11.4. Синхронизатор	257
11.5. Микросхема управления оперативной памятью	261
11.6. Двухнаправленный транслятор уровней сигналов	266
11.7. Двухадресная память	267
11.8. Двухнаправленный магистральный транслятор	272
11.9. Программируемый сдвигатель	273
Глава 12.	
Быстродействующие матричные БИС	277
12.1. Общие сведения	277
12.2. Матричные БИС серии К1520ХМ1	279
12.3. Матричные БИС серии К1520ХМ2	283
РАЗДЕЛ IV.	
ТИПОВЫЕ КОНСТРУКЦИИ ЭВМ НА МИКРОСХЕМАХ	288
Глава 13.	
Системы типовых конструкций ЭВМ	288
13.1. Типовые конструкции микро-ЭВМ	288

13.2. Типовые конструкции СМ ЭВМ	294
Конструктивное исполнение и применение типовых конструкций СМ ЭВМ	295
13.3. Типовые конструкции ЕС ЭВМ	304
Конструкции ИС	306
Конструкции типовых элементов замены	307
Типовые конструкции панелей	313
Типовые конструкции рам	316
Типовые конструкции стоек	319

Глава 14.

Особенности электронного конструирования и компоновки узлов ЭВМ	320

14.1. Расчет внешних связей. Соотношение Рейта	321
14.2. Расчет внутренних связей	324
14.3. Расчет средней длины связи в типовых конструкциях узлов ЭВМ	325
14.4. Трассировочная способность печатных плат	326
14.5. Конструкции печатных плат	328
Параметры элементов печатного монтажа и их расчет	328
Структура и расчет многослойных печатных плат	330
14.6. Выбор габаритных размеров и методов компоновки типовых конструкций ЭВМ	334
Габаритные размеры и функциональный объем ТЭЗ и панели	334
Компоновка панелей и рам в стойке	336
Системное быстродействие и оптимизация конструкций ЭВМ	337

Приложение 1. Условные графические обозначения и назначение выводов микросхем ТТЛ серий К155, К531, К555	338

Приложение 2. Условные графические обозначения и назначение выводов микросхем ЭСЛ серии 500, К1500	346

Приложение 3. Схемы интерфейса для средств вычислительной техники	357

Приложение 4. Схемы индикации, управления реле, генераторов	367

Приложение 5. Расширенная библиотека функциональных ячеек БМК-ИЗ00 для проектирования ЕС ЭВМ «Ряд-3»	371

Список литературы	380

Справочное издание

РУСЛАН ВАСИЛЬЕВИЧ ДАНИЛОВ, СТАЛИНА АНДРЕЕВНА ЕЛЬЦОВА, ЮРИЙ ПАВЛОВИЧ
ИВАНОВ, ЕВГЕНИЙ ФЕДОРОВИЧ МЕЩАНКИН, ВЛАДИМИР МИХАЙЛОВИЧ МИКИТИН,
ИВАН ФОМИЧ ОСИПОВ, ВЯЧЕСЛАВ ВЛАДИМИРОВИЧ САМОУКОВ, БОРИС ВЛАДИ-
МИРОВИЧ ТАРАБРИН, БОРИС НУРУЛЛАЕВИЧ ФАЙЗУЛАЕВ

**ПРИМЕНЕНИЕ ИНТЕГРАЛЬНЫХ МИКРОСХЕМ В ЭЛЕКТРОННОЙ
ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКЕ**

Заведующий редакцией Ю. Н. Рысев
Редакторы: Е. В. Вязова, М. М. Лисина
Художественный редактор Н. С. Шенин
Технический редактор Г. З. Кузнецова
Корректор Л. С. Глаголева

ИБ № 1473

Сдано в набор 26.11.85. Подписано в печать 14.11.86. Т-18798. Формат 70×100/16.
Бумага **тип. № 3**. Гарнитура литературная. Печать офсетная. Усл. печ. л. 31,2
Усл. кр.-отт. 31,2. Уч.-изд. л. 39,45. Доп. тираж 100.000 экз. (1-й завод 1—50.000 экз.). Изд. № 21153
Зак. № 1160. Цена 2 р. 30 к.
Издательство «Радио и связь», 101000 Москва, Почтамт, а/я 693

Московская типография № 4 Союзполиграфпрома при Государственном комитете СССР по делам
издательств, полиграфии и книжной торговли.
129041, Москва, Б. Переяславская, 46